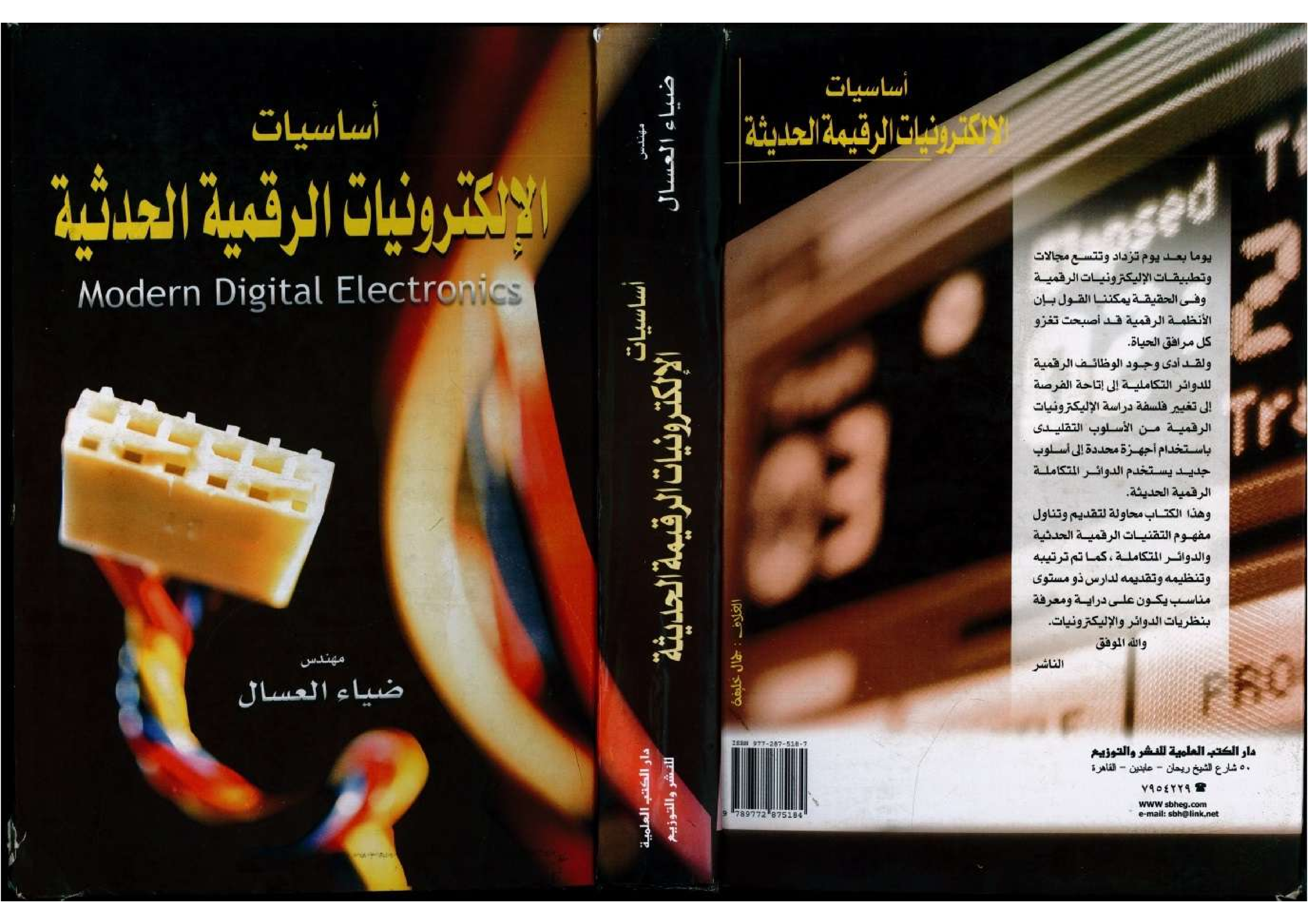


أساسيات
الإلكترونيات الرقمية الحديثة
Modern Digital Electronics
مهندس
ضياء العسال
مهندس
ضياء العسال
أساسيات
الإلكترونيات الرقيمة الحديثة
دار الكتب العلمية
للنشر والتوزيع
أساسيات
الإلكترونيات الرقيمة الحديثة
يوما بعد يوم تزداد وتتسع مجالات
وتطبيقات الإليكترونيات الرقمية
وفى الحقيقة يمكننا القول بأن
الأنظمة الرقمية قد أصبحت تغزو
كل مرافق الحياة.
ولقد أدى وجود الوظائف الرقمية
للدوائر التكاملية إلى إتاحة الفرصة
إلى تغيير فلسفة دراسة الإليكترونيات
الرقمية من الأسلوب التقليدى
باستخدام أجهزة محددة إلى أسلوب
جديد يستخدم الدوائر المتكاملة
الرقمية الحديثة.
وهذا الكتاب محاولة لتقديم وتناول
مفهوم التقنيات الرقمية الحدثية
والدوائر المتكاملة ، كما تم ترتيبه
وتنظيمه وتقديمه لدارس ذو مستوى
مناسب يكون على دراية ومعرفة
بنظريات الدوائر والإليكترونيات.
والله الموفق
الناشر
الغلاف : جمال خليفة
ISBN 977-287-518-7
9 789772 875184
دار الكتب العلمية للنشر والتوزيع
٥٠ شارع الشيخ ريحان - عابدين - القاهرة
☎ ٧٩٥٤٢٢٩
WWW sbheg.com
e-mail: sbh@link.net

أساسيات الإلكترونيات الرقمية الحديثة

مهندس

ضياء العسال



رقـــم الإيـــداع: 2005-8859

الترقيـــم الدولـــى: 977-287-518-7

© حقوق النشر والطبع والتوزيع محفوظة لدار الكتب العلمية للنشر والتوزيع / 2005

لا يجوز نشر جزء من هذا الكتاب أو إعادة طبعه أو اختصاره بقصد الطباعة أو اختزان مادته العلمية أو نقله بأى طريقة سواء كانت إلكترونية أو ميكانيكية أو بالتصوير أو خلاف ذلك دون موافقة خطيه من الناشر مقدماً.

دار الكتب العلمية للنشر والتوزيع

50 شارع الشيخ ريحان - الدور الأول - شقة 12

عابدين - القاهرة ☎: 7954229

WWW.sbheg.com

e-mail:sbh@link.net

تمهيد

يمكن رؤية القوة الهائلة والفائدة العظيمة للإليكترونيات الرقمية Digital electronics من خلال المنتجات الصناعية والإستهلاكية الواسعة الإنتشار فى كل أنحاء العالم، كالمعدات والماكينات الصناعية الأتوماتيكية والحاسبات والمعالجات الدقيقة Microprocessors والآلات الحاسبة والساعات الرقمية والألعاب التليفزيونية .. إلخ، والتى يبنى أساس عملها على أساسيات الإليكترونيات الرقمية .

ويوما بعد يوم تزداد وتتسع مجالات وتطبيقات الإليكترونيات الرقمية، وفى الحقيقة يمكننا القول بأن الأنظمة الرقمية قد اصبحت تغزو كل مرافق الحياة .

ولقد كان إختراع الدوائر المتكاملة Integrated circuits ICs واحدا من أهم الأسباب التى أدت إلى نمو وتطور تكنولوجيا الإليكترونيات الرقمية، حيث أدى تطور هذا الإختراع إلى زيادة إمكانية تصنيع وإبتكار المزيد من الدوائر الرقمية المعقدة، مثل المعالجات الدقيقة، ووحدات الذاكرة Memory unites .. إلخ، وذلك على شرائح السليكون الصغيرة جدا .

كما أن المعالجات الدقيقة كانت ذات تأثير فعال فى تطوير معظم المعدات التى نتناولها فى حياتنا وخلال وقت قصير، كما كان لها الفضل الأكبر فى الكثير من المخترعات التى لم نكن نسمع عنها حتى وقت قريب .

ولقد أصبح محتمًا على جميع القائمين الذين يعملون فى مجال تصميم وتطوير وإختبار وصيانة الأنظمة الإلكترونية أن يتعلموا الأسس التى تبنى عليها الأجهزة والأنظمة الرقمية الحديثة .

ولقد أدى وجود الوظائف الرقمية المعقدة للدوائر التكاملية إلى إتاحة الفرصة إلى تغيير فلسفة دراسة الإليكترنيات الرقمية من الأسلوب التقليدى باستخدام أجهزة محددة إلى أسلوب جديد يستخدم الدوائر المتكاملة الرقمية الحديثة، فعلى سبيل المثال فقد أصبح التفكير فى التقليل من عدد البوابات Gates عند تصميم دائرة رقمية من الأشياء الغير مهمة، حيث يمكن أن يتوافر عدد من هذه البوابات المماثلة والتى

يمكن أن تؤدى نفس الغرض على شريحة واحدة من دائرة تكاملية IC، أو بالأحرى فإن الإتجاه يسير إلى تقليل عدد الحزم Packages للدوائر المتكاملة نفسها .

وعلى هذا فيجب اليوم على العاملين فى مجال تصميم الأنظمة الرقمية أن يكونوا على درجة من التمكن وعلى دراية كبيرة بأساسيات تشغيل واستخدام الدوائر المتكاملة المتاحة من أجل الحصول على أحسن تصميم للنظام وخاصة من وجهة نظر قيمة التكلفة وحجم النظام المصمم وقدرة التغذية المطلوبة وسرعة التشغيل .. إلخ .

ومن هذا المنظور تمت فى هذا الكتاب محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذى مستوى مناسب يكون على دراية ومعرفة بنظريات الدوائر والإليكترونيات .

ففى الفصل الأول تم تناول المفاهيم الأساسية للإليكترونيات الرقمية ومميزات الأنظمة الرقمية والدوائر الرقمية الأساسية، كما تناولنا أنظمة الأعداد الرقمية المختلفة والشفرات الشائع إستخدامها فى الأنظمة الرقمية فى الفصل الثانى، أما فى الفصل الثالث فقد تمت مناقشة أشباه الموصلات من وجهة نظر تطبيقاتها فى مجال الدوائر الرقمية، ومنها تم تناول العائلات المنطقية فى الفصل الرابع، وكيفية المواءمة بين الدوائر التكاملية من نفس العائلة، أو بين مختلف العائلات .

ثم تم الإنتقال بعد ذلك إلى الفصل الخامس والذى تعاملنا فيه مع الطرق التقليدية فى تصميم الدوائر التوافقية، كما تمت تغطية تصميم المنطق التوافقى باستخدام الدوائر المتكاملة ذات النطاق المتوسط MSI، والتى تكتسب أهمية كبيرة فى تصميم الأنظمة الرقمية فى إعتبارات بساطة التصميم والتكلفة البسيطة وحيز الإشغال والقدرة المطلوبة ...إلخ .

وفى الفصل السادس تمت الدراسة التفصيلية لوحدة البناء الرئيسية للدوائر التتابعية وهى القلابات ومنه إنتقلنا إلى تصميم المنطق التتابعى، أما فى الفصل السابع فقد تحدثنا عن دوائر التوقيت وأهميتها وتطبيقاتها والتى تعتبر من أساسيات الأنظمة الرقمية، وحيث أن المحولات من التناظرى إلى الرقمى ومن الرقمى إلى

التناظرى تكون جزءاً هاماً فى الكثير من الأنظمة الرقمية فقد تم التطرق إليها أيضا فى ذلك الفصل، كما تم تناول بعض التقنيات الشائعة فى هذه المحولات .

وفى الفصل الثامن تم إعطاء فكرة مبسطة عن الذاكرات من نوع أشباه الموصلات، والتى تلعب دوراً هاما فى الأنظمة الرقمية الحديثة، كما قدمنا أيضاً فكرة عن أجهزة المنطق القابلة للبرمجة PLDs، مثل مصفوفات المنطق القابل للبرمجه Programmable logic arrays (PLAs)، ومنطق المصفوفة القابل للبرمجه Programmable array logic (PAL) ، وفى النهاية تم تناول أساسيات المعالجات الدقيقة فى الفصل التاسع بطريقة تجعل هذا الجهاز المعقد Sophisticated قريباً إلى الفهم للمبتدئين، كما تم إختيار المعالج الدقيق من طراز إنتل 8085A بتقنية 8-بت كنموذج لدراسة المعالجات الدقيقة من ناحية التركيب البنائى والتشغيل والبرمجة وذلك بشئ من التفصيل وبطريقة يصبح بعدها من السهل معرفة المعالجات الدقيقة الأخرى.

وأمل ان يتعلم مستخدم هذا الكتاب الكثير منه، كما أنصح بعدم الإنتقال إلى فصل جديد قبل الفراغ من الفصل السابق له، فقط بشئ من الصبر والتؤودة وأنا على يقين من أنه بإعادة قراءة الجزء الغير مفهوم مرة ثانية وثالثة ستتوصل عزيزى إلى النتيجة المرجوة كما يحتوى الكتاب على عدة تدريبات فى نهاية كل فصل لقياس فهمك لمحتويات الفصل، فحاول فيها جميعا قدر إستطاعتك، وفى النهاية أقول وبعد تَعَلم بعض الشئ عن الإليكترونيات الرقمية، لاتتوقف عند هذا الحد ولكن يمكنك الإلتحاق ببعض المستويات الأعلى لدراسة هذا العلم وأيضا دراسة الحاسبات والبرمجة.


الفصل الأول
مفاهيم أساسية

1 - 1 مقدمة :

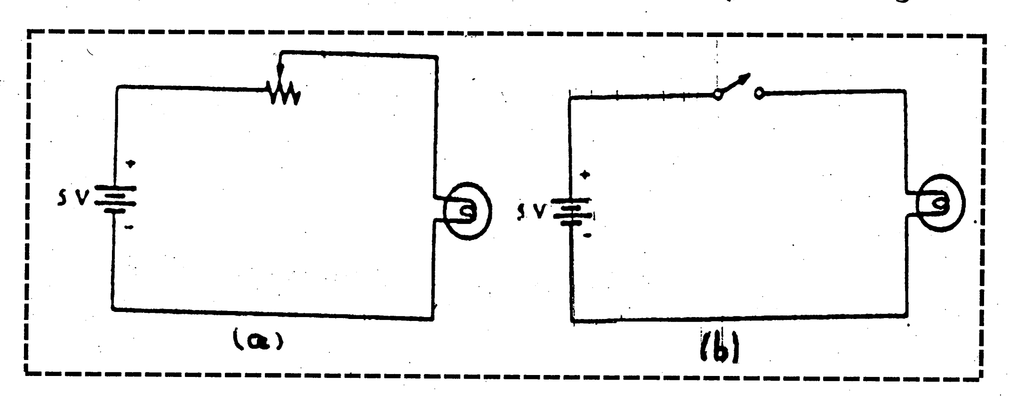
من الواضح أن الكثير منا قد أصبح الآن على دراية كبيرة بتأثير وفضل الحاسبات الرقمية الحديثة وأجهزة الإتصالات والآلات الحاسبة والساعات الرقمية .. إلخ على المجتمع، ولقد كان لإختراع الدوائر المتكاملة والتى كانت التطوير المذهل لأشباه الموصلات Semiconductors واحداً من الأسباب الرئيسية التى أدت إلى هذه الثورة من المخترعات التى تتزايد فى السنوات الحالية، وما لاشك فيه أن الكثير منا ليس على دراية واسعة بالأساسيات التى يبنى عليها عمل وتشغيل هذه الأجهزة على الرغم من أنها تشكل دور رئيسى فى حياتنا اليومية.

ويمكننا القول أن عمل هذه الأجهزة يبنى على أساسيات التقنيات الرقمية Digital techniques، كما تسمي الأنظمة التى يبنى عليها عمل هذه الأجهزة بالأنظمة الرقمية Digital systems .

فبعضنا على دراية بالمكبرات الإليكترونية Electronic amplifiers والمستخدمة فى تكبير الإشارات الإليكترونية Electronic signals والتى تكون على شكل إشارات مستمرة تأخذ أى قيمة فى مدى معين والتى تعرف بالإشارات التناظرية Analog signals، كما تعرف الدوائر الإليكترونية المختصة بتكبير ومعالجة مثل هذه الإشارات بالدوائر التناظرية Analog circuits، كما تعرف الأنظمة المتصلة بهذه الدوائر بالأنظمة التناظرية Analog systems .

على الجانب الآخر وفى الآلة الحاسبة الإليكترونية مثلاً، فإن الدخل يكون عبارة عن إشارتين كهربيتين محددتين أو ذات مستويين، إحداهما تسمى بـ "الإشارة ذات المستوى المنخفض" LOW، وتسمى الأخرى بـ"الإشارة ذات المستوى العالى" HIGH، وحيث تتخذ الإشارة الكهربية أحد هذين المستويين، ومن هنا تكون قيمة الإشارة الفعلية غير حقيقية طالما أنه قد تم تحديدها أن تكون LOW أو HIGH، وهذا النوع من الإشارات يعرف بالإشارات الرقمية Digital signals، كما أن الدوائر الإليكترونية المختصة بتكبير ومعالجة هذه الإشارات تعرف بالدوائر الرقمية Digital circuits، كما تعرف الأنظمة المتصلة بهذه الدوائر بالأنظمة الرقمية Digital systems، وتعتبر الآلة الحاسبة الرقمية مثال من أمثلة هذه الأنظمة الرقمية.

ويمكن توضيح الفرق بين الإشارة التناظرية والإشارة الرقمية من المثال التالى. ففى دائرة المصباح الكهربى المبين فى شكل (a-1-1) يمكن تغيير شدة إضاءة المصباح بتغيير شدة التيار المار فى الدائرة عن طريق التحكم فى المقاومة المتغيرة، أما فى شكل (b-1-1) فيتم إضاءة أو إطفاء المصباح عن طريق غلق أو فتح المفتاح، ففى الدائرة الأولى يكون جهد المصباح تناظريا حيث تتغير قيمته بتغير قيمة المقاومة ويبلغ هذا الجهد التناظرى أقصاه عندما يصبح مساوياً لجهد البطارية، فمن هنا نرى أن حالة المصباح تتغير تغيراً تناظرياً، بينما فى الدائرة الثانية يكون للمصباح حالتين فقط، الأولى عند غلق المفتاح فيضاء المصباح ويكون جهد المصباح مساوياً لجهد البطارية، ويقال على هذه الحالة "الحالة العالية" HIGH، أو الحالة المنطقية 1، أما الحالة الثانية فتكون عند فتح المفتاح فينطفئ المصباح ويكون جهد المصباح مساوياً للصفر، ويقال على هذه الحالة "الحالة المنخفضة" LOW، أو الحالة المنطقية 0 .



شكل (1-1) تمثيل الجهود التناظرية والرقمية

ولقد أدى تطوير تكنولوجيا أشباه الموصلات والتقدم فى التقنيات الرقمية إلى الثورة الهائلة التى نشهدها حاليا فى عالم الإليكترونيات الرقمية منذ ظهور أول شريحة والتى تعرف بالمعالج الدقيق Microprocessor وذلك عام 1971، ومنذ ذلك الحين إكتسبت الأنظمة الرقمية أهمية وقوة هائلة، وفى خلال وقت وجيز أصبح لايوجد أى مجال من مجالات المعرفة فى حياتنا إلا ويتأثر بالتطبيقات والنظريات الرقمية.

وفيما يلى بعض الأسباب الأساسية التى أدت إلى إنتشار التقنيات والأنظمة الرقمية :

1- عمليات التشغيل فى الدوائر الرقمية بسيطة، ويمكن فهمها بسهولة.

2- الأجهزة المستخدمة فى الدوائر الرقمية تعمل عامة من خلال واحدة من حالتين هما الغلق ON، أو الفتح OFF ومن خلال عمليات تشغيل بسيطة.

3- تحتاج المعرفة بالتقنيات الرقمية إلى دراسة جبر بوول Boolean algebra وهى دراسة بسيطة يمكن تعليمها بسهولة للطلاب فى المرحلة ماقبل الجامعية.

4- تحتاج دراسة الدوائر الرقمية إلى مفاهيم بسيطة يمكن تعلمها بسهولة فى المراحل الأولى من التعليم الجامعى.

5- يوجد العديد من شرائح الدوائر المتكاملة التى يمكنها تنفيذ عمليات مختلفة، وهذه الدوائر ذات إعتمادية عالية ودقيقة، كما تمتاز بصغر حجمها وسرعاتها العالية فى التشغيل، كما يتاح أيضا العديد من شرائح الدوائر المتكاملة المبرمجة.

6- تُصنف شرائح الدوائر المتكاملة فى عائلات، تشترك كل عائلة فى الكثير من الخواص الكهربية المتشابهة، وهذا يؤدى إلى تبسيط عملية تصميم وتطوير الأنظمة الرقمية، كما يقلل هذا من المشاكل الناتجة من عدم تحقيق المواءمة المطلوبة، كما أن إتاحة عدد من هذه العائلات يكون مبنياً على تقنيات مختلفة، والتى تسمح بتحسين تصميم النظام من ناحية متطلبات قدرة التغذية وسرعة التشغيل.

7- تمتاز هذه الأنظمة بقلة تأثير التقلبات والتغيرات على خواص العناصر وأعمارها، بالإضافة إلى ضعف تأثير الحرارة والضوضاء وغيرها على الدوائر الرقمية.

8- قدرة الدوائر الرقمية على التذكر أو الذاكرة Memory، مما يجعل هذه الدوائر مناسبة فى الحاسبات والآلات الحاسبة والساعات والتليفونات ...إلخ.

9- سهولة عرض البيانات والمعلومات بطريقة مناسبة ودقيقة ومريحة باستخدام التقنيات الرقمية .

2-1 الإشارات الرقمية :

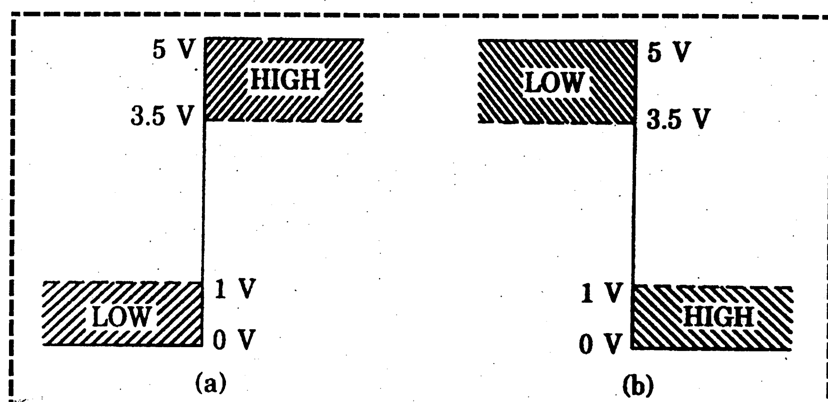
وكما ذكر من قبل أن الإشارات الرقمية Digital signals تكون ذات قيمتين أو ذات مستويين محددين، ويوجد تمثيلان مختلفان للإشارات الرقمية كما هو مبين فى شكل (2-1)، وفى كلتا الحالتين يوجد مستويان محددان يتم التعبير عنهما بـــ "منخفض" LOW، و"عالى" HIGH .

وفى شكل (a-2-1) يشار للمستوى المنخفض بـــ: LOW، بينما يشار للمستوى العالى بـــ: HIGH، وتسمى الأنظمة التى تستخدم هذا التمثيل بالأنظمة المنطقية الموجبة Positive logic system، على العكس فى شكل (b-1-1) حيث يشار للمستوى المنخفض بـــ HIGH، بينما يشار للمستوى العالى بـــ LOW، وتسمى الأنظمة التى تستخدم هذا التمثيل بالأنظمة المنطقية السالبة Negative logic system .

ونلاحظ من الشكل أن قيمة جهد المستوى (سواء أكان العالى أم المنخفض) غير ثابت، بل أنه يأخذ مدى معين، وكما فى مثالنا هذا فإن مدى الجهد الذى يتراوح من 3.5 إلى 5 فولت يعتبر ذو مستوى عالى فى الأنظمة المنطقية الموجبة، ويكون ذا مستوى منخفض فى الأنظمة المنطقية السالبة، بالمثل فإن مدى الجهد الذى يتراوح من 0 إلى 1 فولت يعتبر ذو مستوى منخفض فى الأنظمة المنطقية الموجبة، ويكون ذا مستوى عالى فى الأنظمة المنطقية السالبة.

ويجب الإشارة هنا بأن قيم الجهود فى المثال السابق لاتنطبق على جميع أنواع الدوائر حيث تختلف هذه القيم حسب العائلات المنطقية المختلفة كما هو مبين فى الفصل الرابع، كما يجب الإشارة أيضا أنه سيتم التعامل فى كتابنا هذا مع الأنظمة المنطقية الموجبة Positive logic system مالم يذكر خلاف ذلك.

ويمكن أيضا تمثيل مستويى الإشارات العالى والمنخفض بالمقياس الرقمى الثنائى Binary digit وهو 1 و 0 على الترتيب، ويطلق على كل من الرقمين 1 أو 0 إسم بت Bit (وهو إختصار للمصطلح Binary digit). وحيث أن الإشاره الرقمية أصبحت تأخذ أحد المستويين 1 أو 0، فإن النظام الثنائى للأعداد Binary number system يمكن استخدامه فى تحليل وتصميم الأنظمة الرقمية (أنظر الفصل الثانى)، كما يمكن الإشارة إلى الحالتين بـــ: "فتح–غلق"ON OFF، أو بـــ: "حقيقى–زائف" .Flase–True



شكل (2-1) تمثيل الإشارة الرقمية

a- منطق موجب b-منطق سالب

ولقد كان للعالم جورج بوول George Boole الفضل فى تقديم مفهوم النظام الثنائى للأعداد وتطوير المفهوم الجبرى لهذا النظام والمعروف بـــ "جبر بوول Boolean algebra"، والذى كان المدخل الرئيسى للبدء فى تصميم المكونات المادية الرقمية .

3-1 الدوائر المنطقية الأساسية :

بصرف النظر عن تعقيدات النظام الرقمى، إلا أنه فى هذا النظام يتم تنفيذ عمليات أساسية قليلة، كما يتم تأدية هذه العمليات مرات عديدة فى النظام الرقمى، ومن هذه العمليات الأساسية: العملية AND، والعملية OR، والعملية NOT، والعملية FLIP-FLOP، وفى هذا الفصل سوف يتم مناقشة العمليات الأساسية AND، و OR، وNOT، أما العملية FLIP-FLOP والتى تمثل عنصر الذاكرة الأساسى المستخدم فى تخزين المعلومات الثنائية، فسيتم شرحها فى فصل منفصل .

1-3-1 العملية AND :

ويوضح شكل (3-1) دائرة AND حيث يوجد مداخل عددها N ($N \geq 2$)، ومخرج واحد، ويتم تطبيق الدخول الرقمية عند الأطراف التى يرمز لها A، و B، و ....، و N، أما الأطراف الأخرى (وهى غير موجودة فى الشكل) فيتم توصيلها بالأرض،

ويتم الحصول على الخرج من خلال الطرف الذى يرمز له Y وهو خرج رقمى أيضا.

ويمكن تعريف العملية AND كالتالى :

يكون الخرج مساويا 1، إذا كانت وفقط كانت كل الدخول مساوية 1.

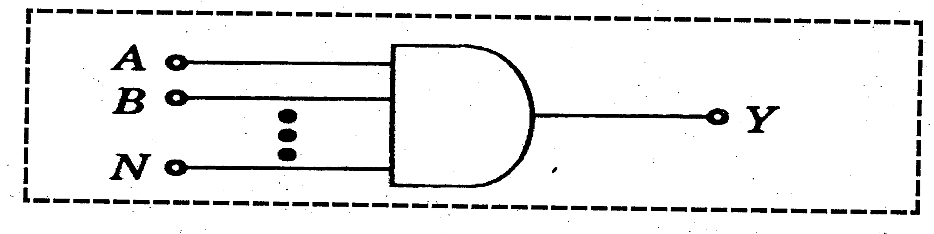
ويمكن التعبير عن ذلك بالعلاقة :

$$Y = A \text{ AND } B \text{ AND } C \text{ AND } \ldots\ldots \text{ AND } N$$
$$= A . B . C . \ldots . N$$
$$= A B C \ldots N \qquad (1\text{-}1)$$

حيث :

A، و B، و ....، و N تمثل متغيرات الدخول .

Y تمثل متغير الخرج .



شكل (1-3) الرمز القياسى للبوابة AND

وهذه المتغيرات مأخوذة بنظام المقياس الثنائى، أى يكون كل متغير أحد إحتمالين 1 أو 0 فقط، والتى يمكن التعبير عنها بما يسمى بالمتغيرات المنطقية Logical variables.

وتعرف المعادلة (1-1) بمعادلة بوول، أو المعادلة المنطقية للبوابة AND.

ويعود اللفظ "بوابة" Gate إلى التشابه بين عمل الدائرة المنطقية والبوابة، فعلى سبيل المثال فإن العملية AND لاتفتح (أى لاتعطى خرجا) إلا إذا كانت كل الدخول موجودة أى تكون ذات مستوى 1.

جدول الحقيقة Truth table :

هو تمثيل لجميع إحتمالات الدخول المختلفة والخرج المقابل لكل إحتمال من هذه الإحتمالات، حيث يكون لكل دخل أحد إحتمالين إما 1 أو 0، كما يكون عدد الإحتمالات مساوياً : 2^N، حيث N تمثل عدد الدخول .

ونفرض بوابة AND لها دخلين A و B، والخرج هو Y، فيمثل جدول (1-1) جدول الحقيقة لهذه البوابة، وتكون المعادلة المنطقية للبوابة AND على الصورة :

$$Y = A B$$

وتقرأ هكذا : " Y تساوى A آند B " .

جدول (1-1)

الدخول		الخرج
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

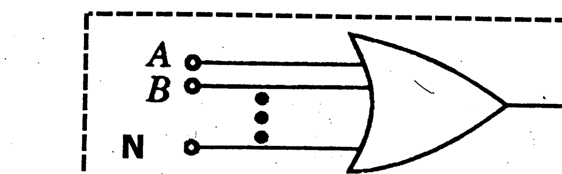
ومن الجدول نجد أننا أمام دخلين، وتكون إحتمالات الدخول هى:($2^N = 2^2 = 4$)، كما نجد من الصف الأخير أن الخرج يكون مساويا: 1 إذا كان كلا الدخلين مساويا : 1 ، أما فى الصفوف الثلاثة الأولى فنجد أن الخرج يكون مساويا: 0 طالما كان أحد الدخلين على الأقل مساوياً: 0 .

1-3-2 العملية OR :

ويوضح شكل (1-4) عملية أو بوابة OR حيث يوجد مداخل عددها N (حيث : $N \geq 2$) ، ومخرج واحد .

ويمكن تعريف العملية OR كالتالى :

يكون الخرج مساويا : 1، إذا كان أحد الدخول على الأقل مساوياً :1 .



شكل (1-4) الرمز القياسى للبوابة OR

ويمكن التعبير عن ذلك بالعلاقة :

Y = A OR B OR C OR ...... OR N

= A + B + C + ...+ N (1-2)

ويمثل جدول (1-2) جدول الحقيقة لبوابة OR لها دخلين: A و B، والخرج: Y، وتكون المعادلة المنطقية على الصورة:

Y = A + B

وتقرأ هكذا: "Y تساوى A أو B ".

جدول (1-2)

الدخول		الخرج
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

ونجد أن الخرج يكون دائما مساويا:1 طالما كان أحد الدخلين على الأقل مساويا: 1 كما هو واضح فى الصفوف الثلاثة الأخيرة، أما فى الصف الأول فنجد أن الخرج يكون مساويا 0 لأن كلا الدخلين يكون مساويا : 0 .

1-3-3 العملية NOT :

ويوضح شكل (1-5) عملية أو بوابة NOT والتى تسمى أيضا العاكس أو عملية النفى Inverter، وهى ذات مدخل واحد هو: A، ومخرج واحد هو: Y، ويكون الخرج

دائما عكس الدخل، بمعنى أنه إذا كان الدخل مساويا:1، يكون الخرج مساويا: 0، والعكس صحيح .

شكل (1-5) الرمز القياسى للبوابة NOT

ويمكن التعبير عن ذلك بالعلاقة :

Y = NOT A

$=\bar{A}$ (1-3)

ويمثل جدول (1-3) جدول الحقيقة لبوابة NOT لها دخل A، والخرج هو Y، وتقرأ المعادلة المنطقية هكذا: " Y تساوى عكس A ".

جدول (1-3)

الدخل	الخرج
A	Y
0	1
1	0

ويجب ملاحظة أن وجود الدائرة الصغيرة، والتى تسمى بالفقاعة Bubble، تتخذ دائما للتعبير عن عكس المنطق فى الدوائر المنطقية.

1-4 العمليتان الإضافيتان NAND و NOR :

يمكن تحقيق أو تنفيذ أى تعبير منطقى باستخدام العمليات الثلاث السابقة AND، وOR، وNOT، ومن هذه العمليات الثلاث تم إستنتاج عمليتين إضافيتين أخريين هما: العملية NAND، والعملية NOR، واللتان أصبحتا محببتين وواسعتى الاستخدام، والسبب فى ذلك يرجع فى أنه يمكن تحقيق أى تعبير منطقى باستخدام العديد من أحداهما فقط، ومن هنا أيضاً جاءت تسميتهما بـــ "البوابات العمومية" Universal gates .

1-4-1 العملية NAND :

هى بوابة واحدة تجمع بين بوابتين هما: بوابة AND متبوعة ببوابة NOT، كما هو موضح فى شكل (1-6-a) ومن هنا جاءت تسميتها NAND، حيث يمكن توضيح العلاقة الحاكمة كما يلى :

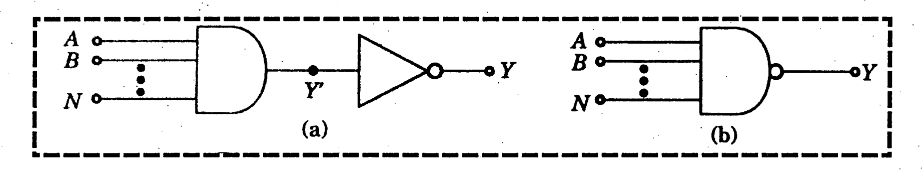
1- خرج البوابة AND وهو Y′ يمكن كتابتة باستخدام العلاقة (1-1) كالتالى :

$$Y' = A\,B \;\dots\; N \qquad (1\text{-}4)$$

2- خرج البوابة NOT وهو Y يمكن كتابتة باستخدام العلاقة (1-3) كالتالى :

$$Y = \overline{Y}' = (\overline{AB...N}) \qquad (1\text{-}5)$$

ويبين شكل (1-6-b) تمثيل العملية أو البوابة NAND، وحيث تمثل الدائرة الصغيرة المرسومة فى نهاية البوابة NAND عملية NOT.



شكل (1-6) البوابة NAND

ويمثل جدول (1-4) جدول الحقيقة لبوابة NAND لها مدخلين هما: A وB، ومخرج واحد هو: Y، وتكون المعادلة المنطقية هى :

$$Y = \overline{AB}$$

وتقرأ هكذا : " Y تساوى عكس A آند B " .

جدول (1-4)

الدخول		الخرج
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

وكما ذكرنا فى بداية هذا القسم، يمكن بناء العمليات الأساسية الثلاث (AND، وOR، وNOT) باستخدام بوابات NAND فقط كما فى شكل (1-7) كالآتى :

1- الحصول على بوابة NOT :

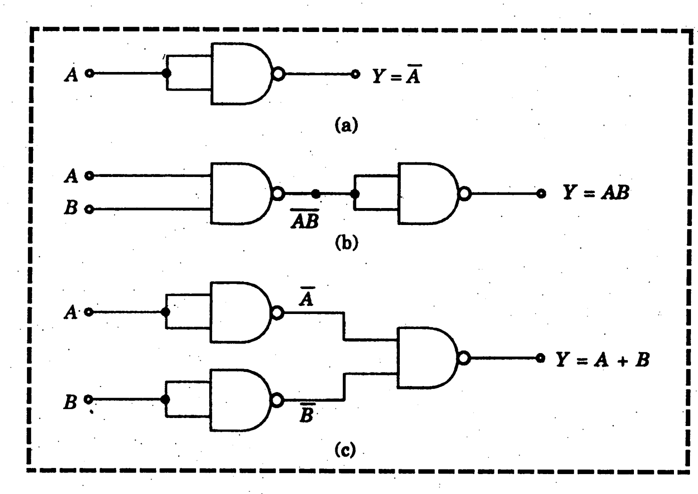
يستخدم فى ذلك بوابة NAND كما فى شكل (1-7-a) وذلك بتحويل مدخليها إلى مدخل واحد A والحصول على الخرج Y كالآتى:

$$Y = \bar{A}$$

2- الحصول على بوابة AND :

يستخدم فى ذلك بوابتين NAND كما فى شكل (1-7-b) ، حيث تستخدم البوابة الأولى كبوابة NAND دخلاها A و B ويكون خرجها $\overline{AB}$ ، ثم تستخدم البوابة الثانية كبوابة NOT ، فنحصل على الخرج Y كالآتى :

$$Y = A\,B$$



شكل (1-7) تحقيق العمليات الأساسية باستخدام بوابات NAND

3- الحصول على بوابة OR:

يستخدم فى ذلك 3 بوابات NAND كما فى شكل (1-7-c) حيث تستخدم إثنتين منهم كبوابتين NOT يكون دخل الأولى A وخرجها $\bar{A}$، ودخل الثانية B وخرجها $\bar{B}$، ثم تستخدم البوابة الثالثة كبوابة NAND، فنحصل على الخرج Y كالآتى:

$$Y = A + B$$

2-4-1 العملية NOR :

هى بوابة واحدة تجمع بين بوابتين هما : بوابة OR متبوعة ببوابة NOT، كما هو موضح فى شكل (1-8-a) ومن هنا جاءت تسميتها NOR حيث يمكن توضيح العلاقة الحاكمة كما يلى:

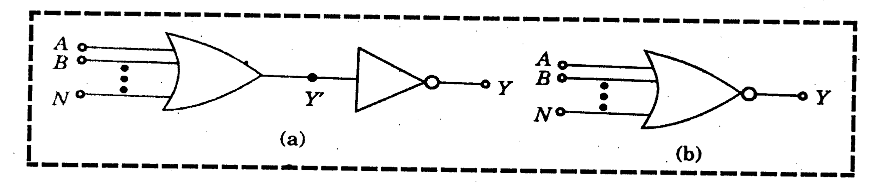
1- خرج البوابة OR وهو Y′ يمكن كتابتة باستخدام العلاقة (1-2) كالتالى:

$$Y' = A + B + \ldots + N \qquad (1\text{-}6)$$

2- خرج البوابة NOT وهو Y يمكن كتابتة باستخدام العلاقة (1-3) كالتالى:

$$Y = \overline{Y'} = (\overline{A + B + \ldots N}) \qquad (1\text{-}7)$$

ويبين شكل (1-8-b) تمثيل العملية أو البوابة NOR، وحيث تمثل الدائرة الصغيرة المرسومة فى نهاية البوابة NOR عملية عكس NOT.



شكل (1-8) البوابة NOR

ويمثل جدول (1-5) جدول الحقيقة لبوابة NOR لها مدخلين هما : A و B ، ومخرج واحد هو : Y ، وتكون المعادلة المنطقية هى :

$$Y = \overline{A + B}$$

وتقرأ هكذا : " Y تساوى عكس A أو B " .

جدول (1-5)

الدخول		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

كما يمكن بناء العمليات الأساسية الثلاث باستخدام بوابات NOR فقط كما فى شكل (1-9) كالآتى :

1- الحصول على بوابة NOT :

يستخدم فى ذلك بوابة NOR كما فى شكل (1-9-a) وذلك بتحويل مدخليها إلى مدخل واحد A والحصول على الخرج Y كالآتى :

$$Y = \bar{A}$$

2- الحصول على بوابة OR :

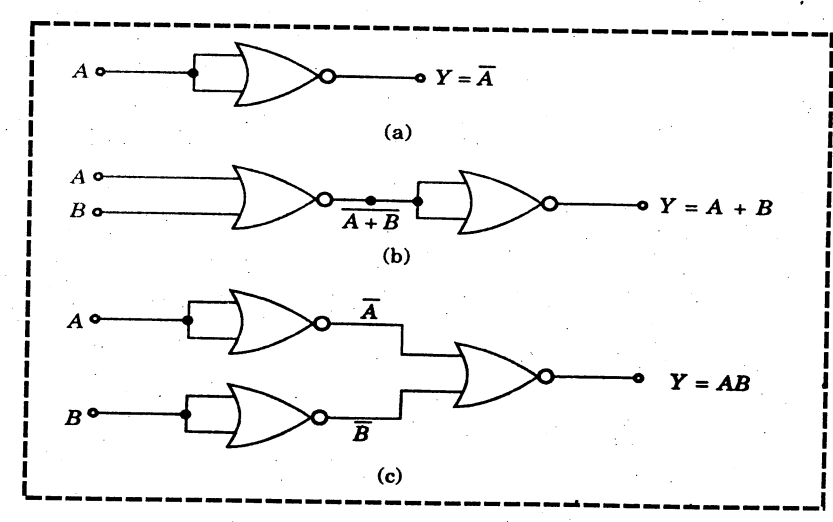
يستخدم فى ذلك بوابتين NOR كما فى شكل (1-9-b) ، حيث تستخدم البوابة الأولى كبوابة OR يكون دخلاها A و B ويكون خرجها $\overline{A + B}$، ثم تستخدم البوابة الثانية كبوابة NOT ، فنحصل على الخرج Y كالآتى :

$$Y = A + B$$

3- الحصول على بوابة AND :

يستخدم فى ذلك 3 بوابات NOR كما فى شكل (1-9-c) حيث تستخدم إثنتين منهم كبوابتين NOT يكون دخل الأولى A وخرجها $\bar{A}$ ، ودخل الثانية B وخرجها $\bar{B}$، ثم تستخدام البوابة الثالثة كبوابة NOR ، فنحصل على الخرج Y كالآتى :

$$Y = A\,B$$

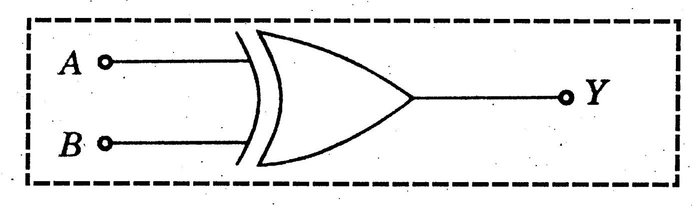


شكل (1-9) تحقيق العمليات الأساسية باستخدام بوابات NOR

5-1 العمليتان EX-OR ، و EX-NOR :

1-5-1 العملية Exclusive-OR:

العملية الإستبعادية EX-OR تستخدم بتوسع كبير فى الدوائر الرقمية، وهى لا تعتبر من البوابات الأساسية أو العمومية، ويبين شكل (1-10) رمز البوابة EX-OR.



شكل (1-10) رمز البوابة EX-OR

كما يبين جدول (1-6) جدول الحقيقة للبوابة EX-OR، وتكون العلاقة المنطقية على الصورة :

$$Y = A B = A \oplus B$$

جدول (1-6)

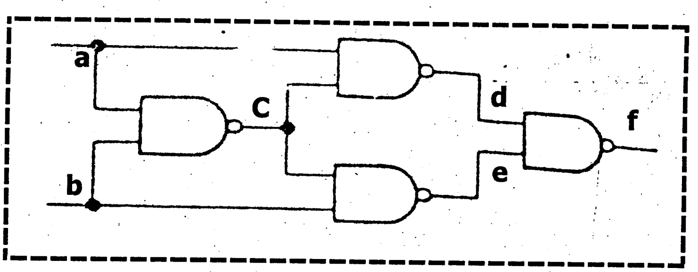
الدخول		الخرج
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

وبمقارنة هذا الجدول بجدول الحقيقة للبوابة OR نجد ان الصفوف الثلاثة الأولى فى الجدولين متشابهه ، بينما يختلف الصف الرابع ، وصفة "الإستبعادية" جاءت من كون العملية تستبعد الحالة : Y = 1 ، عندما يكون : A = B = 1 والتى تستوعبها العملية OR .

ومن أحد التطبيقات الهامة لهذه البوابة استخدامها للمقارنة بين إشارتين منطقيتين Digital signal حيث نحصل على خرج البوابة : 1 إذا كانت الإشارتين مختلفتين

(أى تكون إحداهما 1 والأخرى 0)، بينما نحصل على خرج البوابة : 0 إذا كانت الإشارتين متشابهتين (سواء أكان كلاهما مساوياً 0 ، أو 1).

ويمكن بناء العملية EX-OR باستخدام 4 بوابات NAND، كما هو مبين فى شكل (1-11).



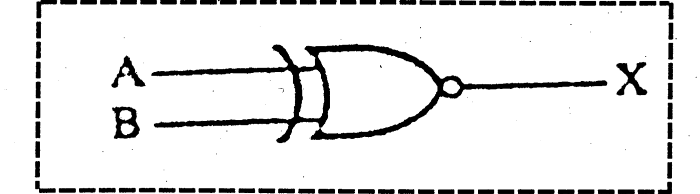
شكل (1-11) تحقيق العملية EX-OR باستخدام بوابات NAND

ويمكن التحقق من الدائرة كالآتى :

حيث يتم التأكد من تحقيق الصف الرابع من جدول الحقيقة ، فيكون المنطق 1 هو الدخل عند كل من a، و b، ومنه يكون منطق عند النقطة c هو : 0، ثم يكون منطق كل من النقطتين d، و e هو: 1، وفى النهاية يصبح الخرج عند النقطة f هو: 0، (وهذا يحقق الصف الرابع من جدول الحقيقة) .

2-5-1 العملية الإستبعادية Exclusive-NOR :

العملية الإستبعادية EX-NOR، هى عملية عكس العملية EX-OR ، فيمكن تصورها على أنها مكونة من عمليتين منطقيتين متتاليتين ، الأولى عملية EX-OR، والثانية عملية عكس NOT، وهى لا تعتبر من البوابات الأساسية أو العمومية ، ويبين شكل (1-12) رمز البوابة EX-NOR .



شكل (1-12) رمز البوابة EX-NOR

كما يبين جدول (1-7) جدول الحقيقة للبوابة EX-NOR، وتكون العلاقة المنطقية على الصورة:

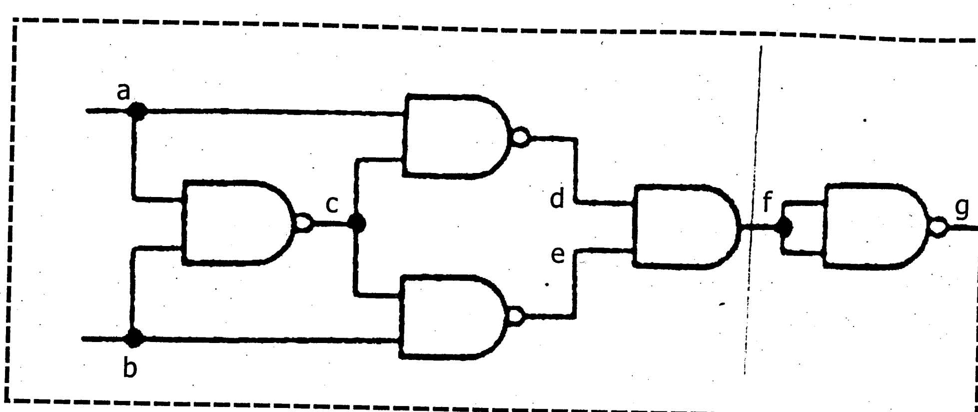
$$Y = A \Theta B$$

جدول (1-7)

الدخول		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

ويمكن بناء العملية EX-NOR باستخدام 5 بوابات NAND ، كما هو مبين فى شكل (1-13), ويمكن التحقق من الدائرة كالآتى :

حيث يتم التأكد من تحقيق الصف الرابع من جدول الحقيقة ، فيكون المنطق 1 هو الدخل عند كل من a ، و b ، ومنه يكون منطق عند النقطة c هو: 0 ، ثم يكون منطق كل من النقطتين d ، و e هو: 1 ، ويكون الخرج عند النقطة f هو: 0 ، وفى النهاية يصبح الخرج عند النقطة g هو: 1 (وهذا يحقق الصف الرابع من جدول الحقيقة).



شكل (1-13) تحقيق العملية EX-NOR باستخدام بوابات NAND

1-6 جبر بوول :

كما تم مناقشته من قبل، نجد أن الإشارات الرقمية تكون محددة، أى تكون بإحدى قيمتين 1 أو 0، ويعرف النظام الرقمى الذى يبنى عليه هذين الرقمين باسم النظام الثنائى للأعداد Binary number system ، وقد قام العالم جورج بوول George Boole بتقديم مفهوم النظام الثنائى للأعداد وتطوير المفهوم الجبرى لهذا النظام والمعروف باسم "جبر بوول" Boolean algebra، والذى على أساسه بنيت جميع الأنظمة الرقمية .

ويتم تمثيل هذه المتغيرات التى على الشكل الثنائى بحروف A و B و X و Y و .....، وحيث يكون لأى متغير منها فى أى وقت أحد القيمتين : إما 1 أو 0 .

ويبيَن جدول (1-8) "نظريات بول الجبرية" .

ملاحظات على نظريات بول :

1- يلاحظ أن كل النظريات ذات الرقم الزوجى مأخوذة من النظريات ذات الرقم الفردى التى قبلها، وذلك بالتغيير المتبادل بين الإشارتين (+)، و(.)، وكذلك التغيير المتبادل بين الرقمين 1 و0 ، وتعرف مثل هذه النظريات بالنظريات المزدوجة Dual theorems.

2- النظريات من 1 إلى 8 تشتمل على متغير واحد فقط أى A، كما أنه يمكن إثباتها بالتعويض عن إحتمالات هذا المتغير (1 أو 0)، فمثلا بخصوص النظرية (1-1) :

$A + 0 = A$

بوضع $A = 0$، يصبح الطرف الأيسر($0 + 0$) مساويا: 0، أى مساويا للطرف الأيمن.

وبوضع $A = 1$ ، يصبح الطرف الأيسر ($1 + 0$) مساويا : 1 ، أى مساويا للطرف الأيمن .

وبذلك يتم إثبات النظرية .

3- النظريات من 9 إلى 20 تشتمل على أكثر من متغير ، ويمكن إثباتها عن طريق إنشاء جدول الحقيقة ، فمثلا بخصوص النظرية (1-10) :

جدول (1-8)

رقم النظرية	النظرية
1-1	$A + 0 = A$
2-1	$A . 1 = A$
3-1	$A + 1 = 1$
4-1	$A . 0 = 0$
5-1	$A + A = A$
6-1	$A . A = A$
7-1	$A + \bar{A} = 1$
8-1	$A . \bar{A} = 0$
9-1	$A . (B + C) = AB + AC$
10-1	$A + BC = (A + B) (A + C)$
11-1	$A + AB = A$
12-1	$A (A + B) = A$
13-1	$A + \bar{A} B = (A + B)$
14-1	$A (\bar{A} + B) = AB$
15-1	$AB + \overline{AB} = A$
16-1	$(A + B).(A + \bar{B}) = A$
17-1	$AB + \bar{A} C = (A + C) (\bar{A} + B)$
18-1	$(A + B) . (\bar{A} + C) = AC + \bar{A} B$
19-1	$AB + \bar{A} C + BC = AB + \bar{A} C$
20-1	$(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C)$
21-1	$\overline{A.BC} ..... = \bar{A} + \bar{B} + \bar{C} + ...$
22-1	$\overline{A + B + C} + ... = \bar{A}.\bar{B}.\bar{C}.....$

$A + B C = (A + B) . (A + C)$

يتم إنشاء جدول الحقيقة (1-9)

جدول (1-9)

A	B	C	B C	A + BC	A + B	A + C	(A + B) (A + C)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

ويكون عدد التكوينات Combinations التى يمكن الحصول عليها من المتغيرات الثلاثة A ، و B ، و C هى : $2^3 = 8$ ، ونجد من الجدول أنه فى التكوين الذى به $A = 1$ ، $B = 0$ ، $C = 1$ أى الصف السادس يكون :

الطرف الأيسر :

$$A + BC = 1 + (0 . 1) = 1 + (0) = 1$$

الطرف الأيمن :

$$(A + B) . (A + C) = (1 + 0) . (1 + 1) = (1) . (1) = 1$$

وبذلك تتحقق النظرية :

$$A + BC = (A + B) . (A + C)$$

4- تعرف النظريتان 21 ، و 22 بنظريات دى مورجان De Morgan's theorems ، ويمكن إثباتها بفرض حالة لمتغيرين فقط (A ، و B) ، ثم تعميم النتيجة لعدة متغيرات ، فمن جدول الحقيقة (1-10) نحصل على العلاقتين :

$$\overline{A.B.} - \overline{A} + \overline{B} \qquad (1\text{-}9)$$

وأيضاً :

$$\overline{A + B} = \overline{A}.\overline{B} \qquad (1\text{-}10)$$

جدول (1-10)

A	B	$\bar{A}$	$\bar{B}$	$\bar{A}\dot{B}$	$\bar{A} + \bar{B}$	$\overline{A+B}$	$\bar{A}.\bar{B}$
0	0	1	1	1	1	1	1
0	1	1	0	1	1	0	0
1	0	0	1	1	1	0	0
1	1	0	0	0	0	0	0

وبفرض أن A = 1 ، و B = 0 يمكن إثبات العلاقة (1-9) كالآتى :

الطرف الأيسر :

$$\bar{A}.\ \bar{B} = \overline{1.0} = \bar{0} = 1$$

الطرف الأيمن :

$$\bar{A} + \bar{B} = \bar{1} + \bar{0} = 0 + 1 = 1$$

وبذلك تتحقق العلاقة : $\overline{A.B} = \bar{A} +$

والآن نفرض العملية NAND لها 3 مداخل ، فيكون :

$$\overline{ABC} = \overline{(AB)C}$$

وباستخدام العلاقة (1-9) يكون :

$$\overline{ABC} = \overline{(AB)} + \overline{C}$$

وباستخدام العلاقة (1-9) للمقدار ($\overline{A.B}$) يكون :

$$\overline{A.B.C.} - \overline{A} + \overline{B} + \overline{C} \qquad (1\text{-}11)$$

بالمثل :

وبالمثل نفرض العملية NOR لها 3 مداخل ، فيكون :

$$\overline{A + B + C} = \overline{(A.B)} + \overline{C}$$

وباستخدام العلاقة (1-10) يكون :

$$\overline{A + B + C} = \overline{(A + B)}.\overline{C}$$

وباستخدام العلاقة (1-10) للمقدار $\overline{(A + B)}$ يكون :

$$\overline{A + B + C} = \overline{A}.\overline{B}.\overline{C} \qquad (1\text{-}12)$$

وأيضا يمكن تعميم النتائج السابقة لعدة متغيرات .

ويمكن تحقيق أى مسألة منطقية بمجموعة من العبارات ، والتى يمكن تمثيلها بدلالة معادلة تسمى المعادلة المنطقية Logic equation ، أو يمكن تمثيل هذه العبارات بدلالة جدول الحقيقة ، كما يمكن تحقيق المعادلة المنطقية بتصميم دائرة منطقية تستخدم البوابات المذكورة آنفا .

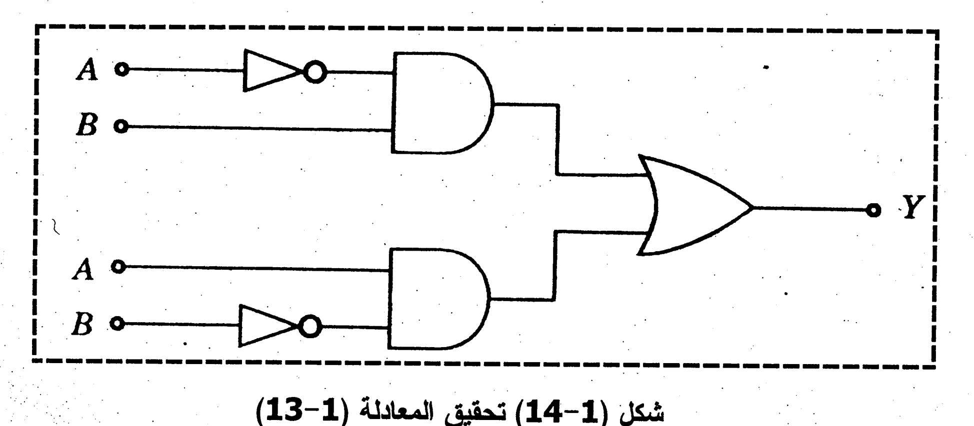
وعامة يمكن تبسيط Simplify ، أو إختصار Minimize المعادلة المنطقية ، مما قد يؤدى هذا إلى تقليل عدد البوابات المستخدمة ، أو تقليل عدد المداخل المطلوبة للبوابات أو كليهما معاً ، وسوف يتم دراسة هذه التقنية فى الفصل الخامس ، إلا أننا سوف نتناول المثال التالى الذى يبين تحقيق أو تصميم دائرة منطقية لمعادلة منطقية.

مثال (1-1) :

مطلوب تصميم دائرة منطقية للمعادلة المنطقية الآتية :

$$Y = (\bar{A}.B) + (A.\bar{B}) \qquad (1-13)$$

الحل :



شكل (1-14) تحقيق المعادلة (1-13)

يتم الحصول على الجزء الأول من المعادلة وهو : $(\bar{A}.B)$ من إدخال المتغير A على بوابة NOT للحصول على خرج $\bar{A}$ ثم إدخال المتغيرين $\bar{A}$ ، B على بوابة AND ، أما الجزء الثانى من المعادلة وهو $(A.\bar{B})$ يتم الحصول عليه من إدخال المتغير B على بوابة NOT للحصول على خرج $\bar{B}$ ثم إدخال المتغيرين A ، $\bar{B}$ على بوابة AND ، ثم إدخال الخرجين $(\bar{A}.B)$ ، و $(A.\bar{B})$ على بوابة OR للحصول على الخرج المطلوب Y .

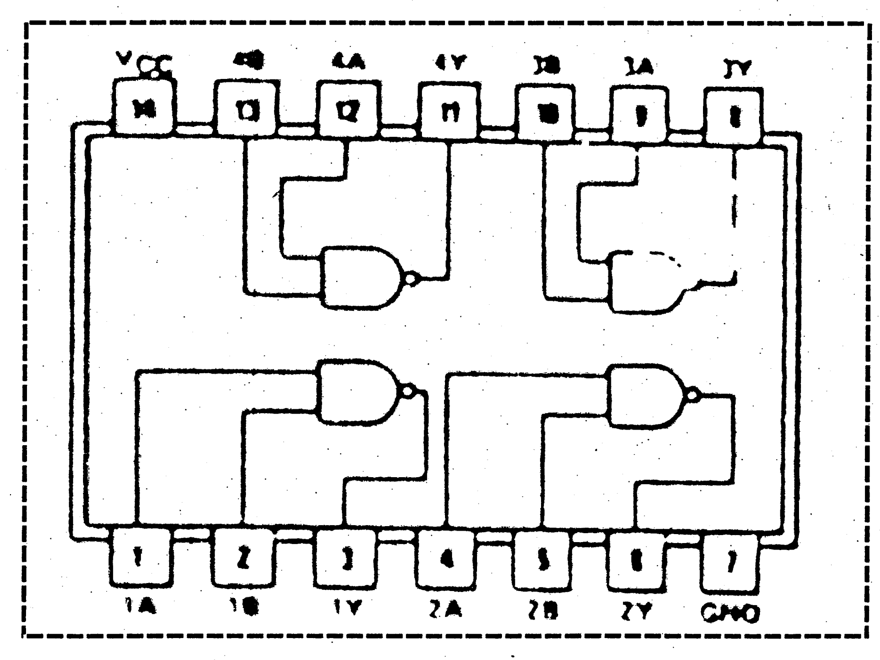
1-7 أمثلة لبوابات دائرة تكاملية :

جميع الدوال المنطقية التى تم تناولها فى هذا الفصل موجودة تجاريا على شكل دوائر تكاملية ICs .

1-7-1 شريحة الدائرة التكاملية 7400 :

عبارة عن 4 بوابات NAND متماثلة ، كل منها بمدخلين ومخرج واحد فتشغل بالتالى 12 طرف أو رجل ، وبإجمالى 14 طرف Pin ، ومرتبة كما هو مبين فى شكل (1-15) ، ويلزم لتشغيل هذه الشريحة جهد تغذية مستمر قدرة + 5 v d.c. يتم توصيله بين الطرفين V_{cc} والأرضى GND .

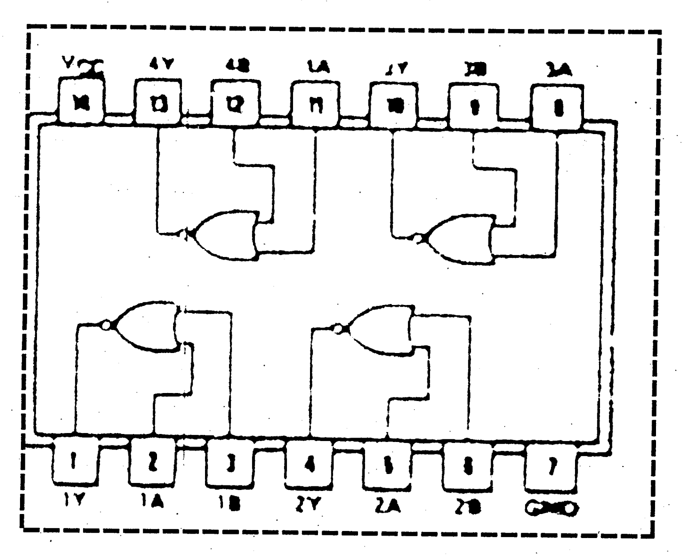
ولتحديد أرقام أرجل الدوائر التكاملية المختلفة ، نجعل التجويف النصف دائرى الجانبى جهة اليسار ، وتكون أول رجل من هذه الجهة من أسفل هى الرجل رقم1 ، ويستمر العد للأرجل فى عكس إتجاه عقارب الساعة .



شكل (1-15) المخطط الوظيفى للشريحة 7400

1-7-2 شريحة الدائرة التكاملية 7402 :

عبارة عن 4 بوابات NOR متماثلة ، كل منها بمدخلين ومخرج واحد ، وبإجمالى 14 طرف ، ومرتبة كما هو مبين فى شكل (1-16) ، ويتم تشغيل هذه الشريحة بنفس طريقة تشغيل الشريحة 7400 .

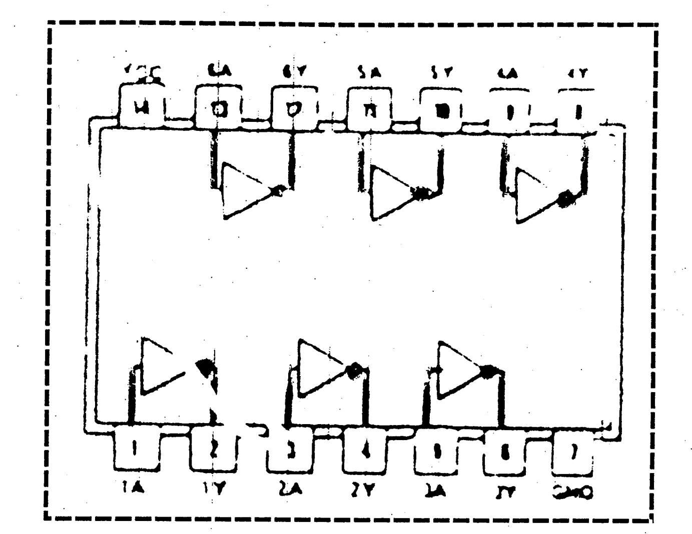


شكل (1-16) المخطط الوظيفى للشريحة 7402

1-7-3 شريحة الدائرة التكاملية 7404 :

عبارة عن 6 بوابات NOT متماثلة ، تشغل 12 رجل، وبإجمالى 14 رجل، ومرتبة كما هو مبين فى شكل (1-17)، ويتم تشغيل هذه الشريحة بنفس طريقة تشغيل الشريحة 7400 .

ويبين جدول (1-11) أمثلة لبعض الدوائر المتكاملة المتاحة ، ويتم الحصول على المعلومات الخاصة بتوصيلات نهاياتها وخواصها الكهربية ... إلخ من كتالوجاتها .



شكل (1-17) المخطط الوظيفى للشريحة 7404

*** وفى نهاية الفصل يمكننا القول :**

بأنه تمت مناقشة المفاهيم الأساسية للأنظمة الرقمية ، كما تم التعامل مع هذه المفاهيم ببساطة شديدة .

جدول (1-11)

رقم الشريحة	المواصفات
7400	4 بوابات NAND كل منها بمدخلين
7402	4 بوابات NOR كل منها بمدخلين
7404	6 بوابات NOT
7408	4 بوابات AND كل منها بمدخلين
7410	3 بوابات NAND كل منها بـــ 3 مداخل
7411	3 بوابات AND كل منها بـــ 3 مداخل
7420	بوابتين NAND كل منها بـــ 4 مداخل
7421	بوابتين AND كل منها بـــ 4 مداخل

3 بوابات NOR كل منها بـــ 3 مداخل	7427
بوابة NAND بـــ 8 مداخل	7430
4 بوابات OR كل منها بمدخلين	7432
4 بوابات EX-OR	7486، 74386
بوابة NAND بـــ 13 مدخل	74133
4 بوابات EX-OR أو EX-NOR	74135
بوابتين NOR بـــ 5 مداخل	74260

تدريبات

تدريب (1-1):

أى من الأنظمة التالية تناظرى، وأيها رقمى:

أ- عداد الضغط.

ب- عداد إليكترونى يقوم بعد الأشخاص المتوافدين على أحد المسارح.

ج- الترمومتر الطبى.

د- الآلة الحاسبة الإليكترونية.

ه- جهاز الراديو الترانزيستور.

و- مفتاح الكهرباء المعتاد.

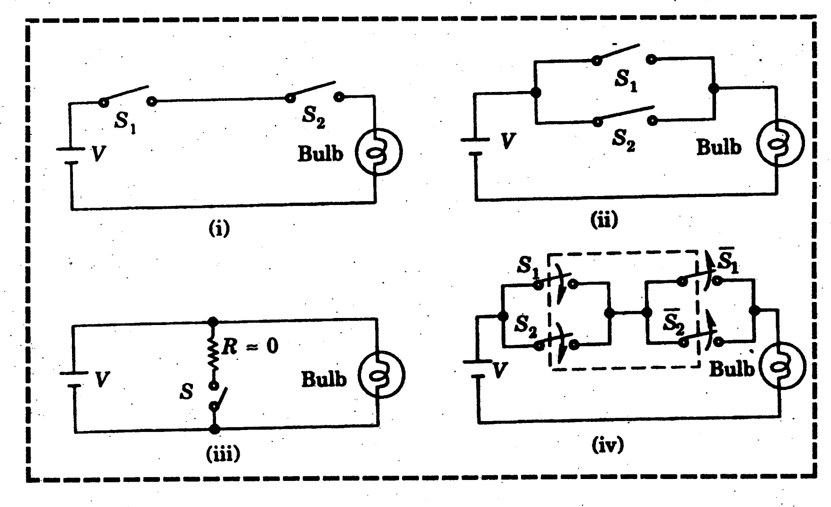
تدريب (1-2):

فى الدوائر الموضحة فى شكل (1-18)، يمكن أن يكون أى من المفاتيح فى وضع 1) مغلق أو (0) مفتوح ومما يسبب إضاءة اللمبة (1) ON أو إطفائها (0) OFF.

أ- ناقش كل التكوينات المحتملة للمفتاحين فى كل الدوائر، وحدد إضاءة اللمبة (1) ON، أو إطفائها (0) OFF المناظر لكل تكوين.

ب- مطلوب تمثيل المعلومات التى تم الحصول عليها بجداول حقيقة.

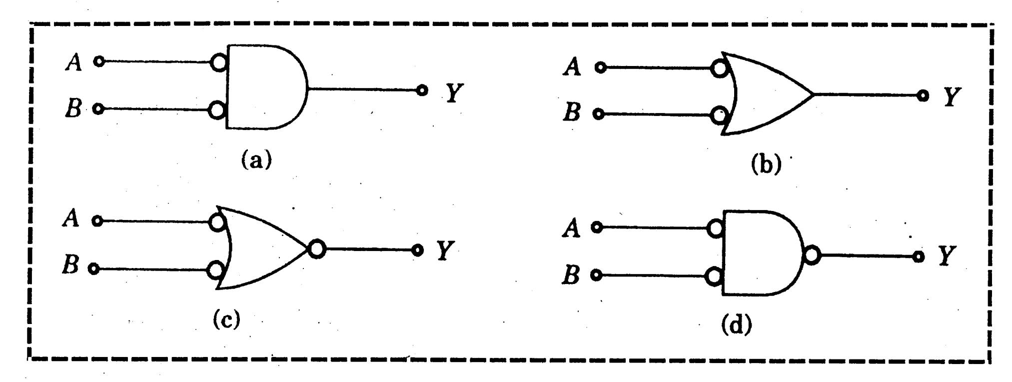
ج- مطلوب إسم العملية التى تمثلها كل دائرة ؟



شكل (1-18) دوائر تدريب (1-2)

تدريب (1-3) :

إوجد العلاقة بين **دخول** وخرج البوابات الموضحة فى شكل (1-19)، وما إسم العملية التى تمثلها كل دائرة ؟



شكل (1-19) دوائر تدريب (1-3)

تدريب (1-4):

أكتب جدول الحقيقة لدوائر الشكلين (1-7)، و(1-9) وتحقق من النتائج الموجودة.

تدريب (1-5) :

أى من العبارات الآتية تمثل بوابات AND أو OR، أو NAND أو NOR:

أ- كل الدخول منخفضة LOW، ويكون الخرج عالياً HIGH.

ب- يكون الخرج عالياً HIGH، إذا كان وكان فقط كل الدخول عالية HIGH.

ج- يكون الخرج منخفضاً LOW، إذا كان وكان فقط كل الدخول عالية HIGH.

د- يكون الخرج منخفضاً LOW، إذا كان وفقط كل الدخول منخفضة LOW.

تدريب (1-6) :

فى العلاقة التالى : $Y = A\bar{B} + \bar{A}B$ مطلوب الآتى:

أ- كتابة جدول الحقيقة.

ب- تسمية العملية التى تعبر عنها العلاقة.

ج- تحقيق العملية باستخدام بوابات AND، و OR، و NOT.

د- تحقيق العملية باستخدام بوابات NAND فقط.

تدريب (1-7) :

إثبت باستخدام نظريات بوليان الجبرية المعادلة التالية:

$$\bar{A}BC + A\bar{B}C + AB\bar{C} + ABC = AB + BC + CA$$

تدريب (1-8):

حقق كلا من الطرف الأيمن والطرف الأيسر من المعادلة المذكورة فى التدريب السابق باستخدام بوابات AND، و OR، و NOT، وحدد ما يتم توفيره بمقارنة الطرفين (بمقارنة عدد البوابات، وعدد الأطراف).

تدريب (1-9) :

حقق الصيغة التالية باستخدام EX-OR:

$$Y = A \oplus B \oplus C \oplus D$$

تدريب (1-10) :

أحسب عدد النهايات للشرائح التى تحمل الأرقام الآتية:

7402 ، 7404 ، 7408 ، 7410 ، 7411 ، 7420 ، 7427 ، 7432 ، 7486 .

تدريب (1-11) :

عبر عن المستويات المنطقية للدائرتين الاتيتين بالنظام الثنائى (1 أو 0):

أ- 0.4 v ، و 2 v.

ب− ‎-0.75 v ، و ‎-1.55 v.

تدريب (1−12) :

أكتب جدول الحقيقة لبوابات 3 مداخل الآتية:

أ− بوابة AND. ب− بوابة OR. ج− بوابة NAND. د− بوابة NOR.

تدريب (1−13) :

برهن المعادلات التالية:

$$A \oplus B = \overline{A} \oplus \overline{B}$$

$$\overline{A \oplus B} = A \oplus \overline{B} = \overline{A} \oplus B$$

$$B \oplus (B \oplus A.C) = A.C$$



2-1 مقدمة :

كلنا على علم بنظام الأعداد المعتاد ، والذى يعتمد على تكوينات من الأرقام التالية:

0، 1، و2، و3، و4، و5، و6، و7، و8، و 9.

ويُعرف هذا النظام بـــ"النظام العشرى للأعداد" Decimal number system ويكون أساس هذا النظام هو العدد 10، فالرقم 1982.365 مثلا مكون من عدد صحيح هو: 1982، وعدد كسرى هو: 0.365 ، ويفصل بينهما مايسمى بالعلامة العشرية Decimal point (.).

كما تستخدم أنظمة أخرى لتمثيل الأعداد مثل: النظام الثنائى للأعداد Binary number system، والنظام الثمانى للأعداد Octal number system، والنظام السداسى عشر للأعداد Hexadecimal number system، وتستخدم كل أنظمة الأعداد هذه فى الأنظمة الرقمية، مما يحتم بصفة أساسية ضرورة دراستها، حيث أن دراستها تُسهل من فهم وتحليل وتصميم الأنظمة الرقمية.

وكما درسنا فى الفصل الأول أن الدوائر الرقمية بصفة عامة تستخدم الإشارات الثنائية Binary signals، كما أن عمل هذه الأجهزة يتطلب إدخال بيانات تحمل معلومات بالأرقام وبالحروف بالإضافة إلى بعض العلامات الخاصة ، ومن هنا كان لابد من تحويل هذه المعلومات (والتى يمكن أن تكون على أى شكل) إلى شكل ثنائى مناسب قبل معالجتها فى الدوائر الرقمية، ولتحقيق هذا تحدث عملية تشفير Coding، حيث يتم بواسطة هذه العملية تشفير هذه المعلومات باستخدام تكوينات من الآحاد 1's والأصفار 0's مع استخدام جداول التشفير Coding schemes .

ويوجد العديد من طرق التشفير، وكل منها يناسب الغرض الذى من أجله تم تصميم النظام الرقمى، كما أنه من الممكن استخدام العديد من هذه الطرق فى نظام رقمى واحد حيث تستخدم كل طريقة فى تنفيذ عملية معينة، كما يمكن من الضرورى تحويل بيانات من شفرة إلى شفرة، وعلى هذا فإن دراسة دوائر تحويل الشفرة Code converter circuits لشئ ضرورى.

2-2 أنظمة الأعداد :

فى أى نظام من أنظمة الأعداد، يوجد مجموعة من الأرقام Digits، بالإضافة إلى عدد من القواعد التى يلزم تعريفها لتنفيذ العمليات الحسابية مثل عمليات الجمع، والطرح، والضرب ... إلخ، ويؤدى تجميع هذه المجموعة من الأرقام إلى تكوين العدد نفسه، والذى يكون عامة مكون من جزئين: عدد صحيح، وعدد كسرى، وبينهما مايسمى برقم القاعدة (.)، ويمكن التعبير عن هذا العدد بالعلاقة:

$$(N)_b = d_{n-1}d_{n-2}...d_i...d_1\,d_0\,.\,d_{-1}\,d_{-2}\,...\,d_{-f}\,...\,d_{-m} \qquad (2\text{-}1)$$

حيث :

N .. قيمة العدد نفسه .

b .. أساس نظام الأعداد المستخدم (عشرى أو ثنائى أو...).

n .. عدد أرقام العدد الصحيح.

m .. عدد أرقام العدد الكسرى.

(.).. رقم القاعدة.

وكل خانة لأى رقم داخل العدد تكون لها أهمية وبما يعرف بالوزن Weight، ويمكن توضيح ذلك من جدول (2-1) الآتى:

جدول (2-1)

نظام الأعداد	الأساس	الرموز المستخدمة	وزن الرقم صحيح	كسر	مثال
ثنائى	2	0، و 1	2^i	$1/2^f$	1011.11
ثمانى	8	0 ، 1، و 2، و 3، و 4، و 5، و6، و 7.	8^i	$1/8^f$	3567.25
عشرى	10	0، 1، و 2، و 3، و 4، و 5، و6، و7، و8، و 9.	10^i	$1/10^f$	3974.57
السداسى عشر	16	0، 1، و2، و3، و4، و5، و6، و7، و8، و 9، وA، وB، وC، وD، وE، و F.	16^i	$1/16^f$	3FA9.56

2-3 النظام الثنائى للأعداد :

نظام الأعداد ذو الأساس 2 يعرف بالنظام الثنائى للأعداد Binary number system، ويستخدم فى تمثيل الأعداد فى هذا النظام رقمين فقط هما: 1، و0، ويسمى كل منهما "بت" Bit .

ويبين جدول (2-2) العد فى النظام الثنائى للأعداد والعد المناظر فى نظام الأعداد العشرى، ويسمى الرقم فى أقصى يسار العدد (B_3) بـ "بت التأثير الأكبر" Most Significant Bit (MSB)، بينما يسمى الرقم فى أقصى يمين العدد (B_0) بـ "بت التأثير الأصغر" Least Significant Bit (LSB) ، ويمكن إضافة أى عدد مكون من أصفار 0's إلى العدد الثنائى بدون إحداث أى تغيير فى قيمته.

وفى النظام الثنائى للأعداد تسمى مجموعة العدد المكونة من 4-بت، مثل العدد: 1101 بـ "نيبل" Nibble، بينما تسمى مجموعة العدد المكونة من 8-بت مثل العدد : 11000101 بـ "بايت" Byte.

جدول (2-2)

العدد العشرى		العدد الثنائى			
D_0	D_1	B_0	B_1	B_2	B_3
0	0	0	0	0	0
1	0	1	0	0	0
2	0	0	1	0	0
3	0	1	1	0	0
4	0	0	0	1	0
5	0	1	0	1	0
6	0	0	1	1	0
7	0	1	1	1	0
8	0	0	0	0	1
9	0	1	0	0	1
0	1	0	1	0	1
1	1	1	1	0	1
2	1	0	0	1	1
3	1	1	0	1	1
4	1	0	1	1	1
5	1	1	1	1	1

2-3-1 التحويل من النظام الثنائى إلى النظام العشرى :

يمكن تحويل أى عدد فى النظام الثنائى إلى عدد مكافئ فى النظام العشرى، وذلك باستخدام الأوزان المناسبة لكل بت حسب موقعه، كما هو موضح فى جدول (2-1).

مثال (2-1) :

إوجد العدد فى النظام العشرى المكافئ للعدد $(11111)_2$ فى النظام الثنائى.

الحل :

يكون العدد المكافئ هو :

$$= 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0$$
$$= 16 + 8 + 4 + 2 + 1$$
$$= (31)_{10}$$

وعامة يكون وضع الرقم 2 أو الرقم 8 أو الرقم 10 أو الرقم 16 فى أسفل يمين نهاية العدد للتعبير عن النظام الذى يمثله هذا العدد ، فالعدد $(1000)_2$ يمثل عدد فى النظام الثنائى ، ولا يمثل عدد قيمته ألف والمعروف فى النظام العشرى .

مثال (2-2) :

إوجد العدد فى النظام العشرى المكافئ للأعداد الثنائية الآتية :

أ- 110101 ب- 101101 ج- 11111111 د- 000000

الحل :

أ-

$$(110101)_2 = 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$
$$= 32 + 16 + 0 + 4 + 0 + 1$$
$$= (53)_{10}$$

ب-

$$(101101)_2 = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$
$$= 32 + 0 + 8 + 4 + 0 + 1$$
$$= (45)_{10}$$

ج-

$$(11111111)_2 = 1 \times 2^7 + 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$
$$= 128 + 64 + 32 + 16 + 8 + 4 + 2 + 1$$
$$= (255)_{10}$$

د-

$$(000000)_2 = 0 \times 2^5 + 0 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 0 \times 2^0$$
$$= (0)_{10}$$

مثال (2-3) :

عين العدد فى النظام العشرى المكافئ للأعداد الآتية فى النظام الثنائى :

أ- 101101.10101 ب- 1100.1011

ج- 1001.0101 د- 0.10101

الحل :

أ-

$$(101101.10101)_2 = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 0 \times 2^{-4} + 1 \times 2^{-5}$$
$$= 32 + 0 + 8 + 4 + 0 + 1 + 1/2 + 0 + 1/8 + 0 + 1/32$$
$$= (45.65625)_{10}$$

ب-

$$(1100.1011)_2 = 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4}$$

$$= 8 + 4 + 0 + 0 + 1/2 + 0 + 1/8 + 1/16$$

$$= (12.6875)_{10}$$

ج-

$$(1001.0101)_2 = 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4}$$

$$= 8 + 0 + 0 + 1 + 0 + 1/4 + 0 + 1/16$$

$$= (9.3125)_{10}$$

د-

$$(0.10101)_2 = 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 0 \times 2^{-4} + 1 \times 2^{-5}$$

$$= 0 + 1/2 + 0 + 1/8 + 0 + 1/32$$

$$= (0.65625)_{10}$$

2-3-2 التحويل من النظام العشرى إلى النظام الثنائى :

يمكن تحويل أى نظام أعداد عشرى إلى نظام أعداد ثنائى كالآتى:

1- الأعداد الصحيحة :

توجد طرق مختلفة لتحويل الأعداد الصحيحة فى النظام العشرى إلى أعداد ثنائية، ومن أهم هذه الطرق هى القيام بالقسمة المتتابعة على الأساس (حيث يتم إجراء قسمة العدد باستمرار على 2) والإحتفاظ بباقى القسمة Remainder سواء أكان هذا المتبقى 1 أو 0 فى مسار عمودى، ويكون العدد الصحيح ممثلا بالنظام الثنائى للأعداد لـــ 1,s و 0,s المتبقية بترتيبها من أسفل لأعلى، أو بكلام آخر نعتبر أول باقى قسمة الأول هو الرقم الأقل أهمية أى الرقم الملاصق للعلامة العشرية، أما آخر باقى قسمة يكون الرقم الأكثر أهمية أى الذى له أكبر وزن موضعى.

2- الأعداد العشرية :

يتم إجراء عملية ضرب متتالى فى 2، والإحتفاظ بالرقم الموجود على يسار العلامة العشرية سواء أكان هذا الرقم 1 أو 0 فى مسار عمودى، مع الإستمرار فى عملية الضرب للكسر فقط (بدون الواحد فى حالة وجوده) حتى الوصول لناتج مساوى للصفر، أو الإكتفاء بالتقريب إلى أى عدد من عمليات الضرب، ويكون العدد العشرى ممثلا بالنظام الثنائى للأعداد لـــ 1, و0,s المتبقية بترتيبها من أعلى لأسفل.

* ويمكن توضيح طريقة تحويل الأعداد العشرية إلى أعداد ثنائية فى الأمثلة التالية.

مثال (2-4) :

حول العدد $(13)_{10}$ إلى العدد المكافئ فى النظام الثنائى للأعداد.

الحل :

هذا العدد صحيح ، فيتم إجراء قسمة العدد باستمرار على 2، والإحتفاظ بباقى القسمة سواء أكان هذا المتبقى 1 أو 0 فى مسار عمودى كالآتى:

خارج قسمة 13 ÷ 2 هو 6 ، ويتبقى 1

خارج قسمة 6 ÷ 2 هو 3 ، ويتبقى 0

خارج قسمة 3 ÷ 2 هو 1 ، ويتبقى 1

خارج قسمة 1 ÷ 2 هو 0 ، ويتبقى 1

ويكون العدد المكافئ فى النظام الثنائى هو: $(1101)_2$، أى أن:

$$(13)_{10} = (1101)_2$$

مثال (2-5) :

حول العدد $(0.65625)_{10}$ إلى العدد المكافئ فى النظام الثنائى للأعداد.

الحل :

هذا العدد كسرى، فيتم إجراء عملية الضرب باستمرار فى 2، والإحتفاظ بالرقم الناتج على يسار العلامة العشرية سواء أكان هذا الرقم 1 أو 0 فى مسار عمودى كالآتى:

حاصل ضرب 0.65625 x 2 هو 1.31250، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1

حاصل ضرب 0.31250 x 2 هو 0.62500، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 0

حاصل ضرب 0.62500 x 2 هو 1.2500، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1

حاصل ضرب 0.2500 x 2 هو 0.5000، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 0

حاصل ضرب 0.5000 x 2 هو 1.0000، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1

ولا يتبقى بعد ذلك أى عدد، ويكون العدد المكافئ فى النظام الثنائى هو:

$(0.10101)_2$ أى أن :

$(0.65625)_{10} = (0.10101)_2$

مثال (2-6) :

حول الأعداد التالية إلى العدد المكافئ فى النظام الثنائى للأعداد:

أ- $(25.5)_{10}$ ب- $(10.625)_{10}$ ج- $(0.6875)_{10}$

الحل :

أ- $(25.5)_{10}$:

* العدد الصحيح 25:

25/2 = 12 ويتبقى 1

12/2 = 6 ويتبقى 0

6/2 = 3 ويتبقى 0

3/2 = 1 ويتبقى 1

1/2 = 0 ويتبقى 1

ويكون : $(25)_{10} = (11001)_2$

* العدد الكسرى 0.5 :

0.5 x 2 = 1.0 ويتم الإحتفاظ بالرقم 1 .

ويكون :

$(0.5)_{10} = (0.1)_2$.

وفى النهاية يكون :

$(25.5)_{10} = (11001.1)_2$

ب- $(10.625)_{10}$:

* العدد الصحيح 10 :

10/2 = 5 ويتبقى 0

5/2 = 2 ويتبقى 1

2/2 = 1 ويتبقى 0

1/2 = 0 ويتبقى 1

ويكون : $(10)_{10} = (1010)_2$

* العدد العشرى 0.625 :

0.625 x 2 = 1.25 ويتم الإحتفاظ بالرقم 1 .

$0.25 \times 2 = 0.5$ ويتم الإحتفاظ بالرقم 0 .

$0.5 \times 2 = 1.00$ ويتم الإحتفاظ بالرقم 1 .

ويكون : $(0.625)_{10} = (0.101)_2$.

وفى النهاية يكون :

$$(10.625)_{10} = (1010.101)_2$$

ج- $(0.6875)_{10}$:

* العدد الكسرى 0.6875 :

$0.6875 \times 2 = 1.375$ ويتم الإحتفاظ بالرقم 1 .

$0.375 \times 2 = 0.75$ ويتم الإحتفاظ بالرقم 0 .

$0.75 \times 2 = 1.5$ ويتم الإحتفاظ بالرقم 1 .

$0.5 \times 2 = 1.00$ ويتم الإحتفاظ بالرقم 1 .

ويكون :

$$(0.6875)_{10} = (0.1011)_2.$$

2-4 تمثيل الأعداد الثنائية :

2-4-1 التمثيل بطريقة الإشارة والمقدار Sign-magnitude:

من المعروف أنه فى النظام العشرى للأعداد يتم استخدام العلامة (+) للتعبير عن العدد الموجب، بينما تستخدم العلامة (-) للتعبير عن العدد السالب، وفى الغالب لاتكتب الإشارة الموجبة للتعبير عن العدد الموجب، أو بمعنى آخر فإن عدم وجود إشارة بجانب العدد يعنى أن هذا العدد موجب، وهذا التمثيل للأعداد يعرف بـــ "الأعداد ذات الإشارة"، وكما ذكرنا أن الأعداد فى النظام الثنائى يتم التعبير عنها من خلال رقمين فقط هما: 1 و 0، وعلى هذا يلزم التعبير عن إشارة العدد كعدد موجب أو سالب (+ أو -) فى هذا النظام من خلال هذين الرمزين: 1 و 0 أيضاً.

وعامة يستخدم بت إضافى على يسار العدد يمثل إشارة العدد، حيث يعبر البت 0 عن العدد الموجب، بينما حيث يعبر البت 1 عن العدد السالب، فمثلا العدد $(01000100)_2$ مكون من 8 بت وهو يمثل العدد بإشارته، حيث يدل 0 الموجود على يسار العدد بأنه عدد موجب، أما مقدار العدد نفسه فيكون ممثلا بالسبع بتات المتبقية $(1000100)_2$، ويكون هذا العدد مساويا فى النظام العشرى: $(68)_{10}$، وفى النهاية نقول أن تمثيل العدد $(01000100)_2$ بالإشارة والمقدار يكون عدداً موجباً قيمته $(68)_{10}$، وعلى الجانب الآخر يمثل العدد $(11000100)_2$ عدداً بإشارته ومكون من 8 بت، حيث يدل البت 1 الموجود على يسار العدد بأنه عدد سالب، ويكون مقدار العدد ممثلا بالسبع بتات المتبقية $(1000100)_2$ فى النظام العشرى مساويا: $(68)_{10}$ ، وفى النهاية نقول أن تمثيل العدد $(11000100)_2$ بالإشارة والمقدار يكون عدداً سالباً قيمته $(-68)_{10}$، ويسمى هذا التمثيل للأعداد بـــ "التمثيل بالإشارة والمقدار" Sign-magnitude representation، ويجب على مستخدم النظام الثنائى للأعداد الإهتمام بنوع التمثيل للعدد الذى يتعامل معه .

مثال (2-7) :

إحسب قيمة المكافئة فى النظام العشرى للأعداد التالية والممثلة بطريقة "التمثيل بالإشارة والمقدار:

أ- 101100   ب- 001000   ج- 0111   د- 1111.

الحل:

أ- 101100: بت الإشارة 1الموجود فى يسار العدد يعنى أنه عدد سالب، وتكون قيمة العدد 01100 هى: $(12)_{10}$ وتكون قيمة العدد المكافئة فى النظام العشرى:

$$(101100)_2 = (-12)_{10}$$

ب- 001000: بت الإشارة 0 الموجود فى يسار العدد، يعنى أنه عدد موجب ، وتكون قيمة العدد 01000 هى: $(8)_{10}$ وتكون قيمة العدد المكافئة فى النظام العشرى:

$$(001000)_2 = (+8)_{10}$$

ج- بالمثل تكون قيمة العدد المكافئة فى النظام العشرى للعدد 0111 هى:

$$(0111)_2 = (+7)_{10}$$

د- كما تكون قيمة العدد المكافئة فى النظام العشرى للعدد 1111 هى:

$(1111)_2 = (-7)_{10}$

2-4-2 التمثيل بمكمل الواحد :

إذا أستبدل كل 1 بـــ 0، وكل 0 بـــ 1 فى النظام الثنائى للأعداد، فيسمى العدد الناتج بمكمل الواحد One's complement للعدد الأساسى، وفى الحقيقة يعتبر كلا العددين مكملان لبعضهما، فحيثما كان أحدهما موجباً يكون الآخر سالباً، مع الإحتفاظ بنفس قيمة العدد، فعلى سبيل المثال العدد $(0101)_2$ يكافئ $(5+)_{10}$، بينما العدد $(1010)_2$ فى هذا التمثيل يكافئ $(5-)_{10}$، وهذه الطريقة فى التمثيل تعتبر من الطرق الواسعة الاستخدام، وفيها أيضا يعبر البت 0 الموجود على يسار العدد عن العدد الموجب ، بينما يعبر البت 1 عن العدد السالب.

مثال (2-8) :

اوجد مكمل الواحد لأعداد النظام الثنائى التالية:

أ- 0100111001   ب- 11011010

الحل :

أ- مكمل الواحد للعدد : 0100111001 ...هو 1011000110.

ب- مكمل الواحد للعدد : 11011010 ...هو 00100101.

مثال (2-9) :

مطلوب تمثيل الأعداد التالية على شكل مكمل الواحد:

أ- 7+ ، و 7-   ب- 8 + ، و 8 -   ج- 15 + ، و 15 - .

الحل :

أ- $(0111)_2 = (+7)_{10}$ ....ومكمل الواحد للعدد هو : $(1000)_2 = (-7)_{10}$.

ب- $(01000)_2 = (+8)_{10}$ ....ومكمل الواحد للعدد هو : $(10111)_2 = (-8)_{10}$.

ج- $(01111)_2 = (+15)_{10}$ ....ومكمل الواحد للعدد هو : $(10000)_2 = (-15)_{10}$.

* من الأمثلة السابقة يلاحظ أن العدد فى النظام الثنائى للأعداد والمكون من عدد n بت، نجد فيه أن أقصى عدد موجب يمكن تمثيله بطريقة مكمل الواحد يمكن التعبير عنه من العلاقة: $(2^{n-1} - 1)$، بينما أقصى عدد سالب يمكن التعبير عنه من العلاقة : $-(2^{n-1} - 1)$.

3-4-2 تمثيل مكمل الإثنين :

يتم الحصول على تمثيل مكمل الإثنين 2's complement للعدد ، بإضافة 1 إلى مكمل الواحد 1's complement للعدد، فمثلا إذا كان 0101 عدد فى النظام الثنائى للأعداد (وهو عدد موجب قيمته 5+)، فيكون تمثيل مكمل الواحد له هو 1010 (وهو عدد سالب قيمته 5-) وبإضافة 1 إلى مكمل الواحد للعدد يصبح الناتج 1011، أى أن تمثيل مكمل الإثنين للعدد 0101 هو 1011 (وهو يمثل عدد سالب قيمته 5-)، ويعنى وجود 0 على يسار العدد فى هذا التمثيل أن هذا العدد موجب ، وايضا يعنى وجود 1 على يسار العدد أن هذا العدد سالب، ويكون أقصى عدد موجب يمكن تمثيله بطريقة مكمل الإثنين يمكن التعبير عنه من العلاقة: $(2^{n-1} - 1)$، بينما أقصى عدد سالب يمكن التعبير عنه من العلاقة : $-(2^{n-1})$.

ويبين جدول (2-3) طرق التمثيل بإشارة ومقدار العدد، ومكمل الواحد، ومكمل الإثنين لأعداد يتكون كل منها من 4-بت، ويلاحظ من الجدول أن أعلى رقم موجب هو 0111 وهو = 7+، بينما أعلى رقم سالب هو 1000 وهو = 8 - عند استخدام 4-بت فى تمثيل مكمل الإثنين، كما يلاحظ أن مكمل الإثنين لمكمل الإثنين لعدد هو العدد نفسه.

جدول (2-3)

مكمل الإثنين	مكمل الواحد	الإشارة والمقدار	العدد العشرى
0000	0000	0000	0
0001	0001	0001	1
0010	0010	0010	2
0011	0011	0011	3
0100	0100	0100	4
0101	0101	0101	5
0110	0110	0110	6
0111	0111	0111	7
1000	-	-	-8
1001	1000	1111	-7
1010	1001	1110	-6
1011	1010	1101	-5
1100	1011	1100	-4
1101	1100	1011	-3
1110	1101	1010	-2
1111	1110	1001	-1
-	1111	1000	-0

مثال (2-10) :

إحسب مكمل الإثنين للأعداد:

أ- 01001110 ب- 00110101

الحل :

أ- مكمل الواحد للعدد 01001110 هو 10110001، ويكون مكمل الإثنين بإضافة 1 إليه، أى يكون: 10110010.

ب- مكمل الواحد للعدد 00110101 هو 11001010، ويكون مكمل الإثنين بإضافة 1 إليه، أى يكون: 11001011.

*** ومن الأمثلة عالية يلاحظ مايلى:**

(1) إذا كان بت التأثير الأصغر LSB هو:1، فيمكن الحصول على مكمل الإثنين باستبدال كل 1 بـــ 0، وكل 0 بـــ 1 عدا بت التأثير الأصغر LSB فيظل كما هو.

(2) إذا كان بت التأثير الأصغر LSB هو: 0، فيمكن الحصول على مكمل الإثنين بالإبقاء على مكونات العدد من بت التأثير الأصغر LSB إلى بت التأثير الأكبر MSB كما هى حتى ظهور أول 1 ثم يتم بعدها عملية إستبدال كل 1 بـــ 0، وكل 0 بـــ 1.

مثال (2-11) :

إوجد مكمل الإثنين للأعداد:

أ- 01100100 ب- 10010010 ج- 11011000 د- 01100111

الحل :

من الملاحظتين السابقتين يكون مكمل الإثنين كالتالى:

أ-العدد	01100100	ب-العدد	10010010
مكمل الإثنين	10011100	مكمل الإثنين	01101110
ج-العدد	11011000	د-العدد	01100111
مكمل الإثنين	00101000	مكمل الإثنين	10011001

مثال (2-12) :

مطلوب تمثيل العدد $(-17)_{10}$ بالطرق الثلاث التى تم دراستها.

الحل:

لتمثيل العدد $(+17)_{10}$ بطريقة إشارة قيمة العدد يكون أقل عدد من البتات هى 6، أى: $(+17)_{10} = (010001)_2$، ومنه يكون:

أ- تمثيل العدد $(-17)_{10}$ بطريقة الإشارة والمقدار يكون: $(110001)_2$.

ب- وبطريقة مكمل الواحد يكون: $(101110)_2$.

ج- وبطريقة مكمل الإثنين يكون: $(101111)_2$.

2-5 العمليات الحسابية فى النظام الثنائى :

كلنا على علم بالعمليات الحسابية Arithmetic (الجمع والطرح والضرب، والقسمة) فى النظام العشرى، ويمكن إجراء نفس العمليات فى النظام الثنائى للأعداد، ولا نخفى أن إجراء هذه العمليات فى النظام الثنائى للأعداد أبسط بكثير من مثيلتها فى النظام العشرى، لأنها تشمل رمزين فقط هما: 1 و 0.

2-5-1 الجمع فى النظام الثنائى للأعداد :

فى النظام الثنائى للأعداد وعند إجراء عمليات الجمع Addition، يتم إتباع القواعد الأساسية التالية:

أ- عند إضافة 0 إلى 0 ينتج 0.

ب- عند إضافة 1 إلى 0 ينتج 1.

ج- عند إضافة 0 إلى 1 ينتج 1.

د- عند إضافة 1 إلى 1 ينتج 0، ويتبقى 1 يسمى محمول Carry، يتم إضافته (كما يحدث فى نظام الأعداد العشرى) إلى خانة العدد الأعلى درجة.

ويمكن تلخيص هذه القواعد كالمبين فى جدول (2-4)

جدول (2-4)

العامل الأول	العامل الثانى	المجموع	المحمول	الناتج النهائى
0	0	0	0	0
0	1	1	0	1
1	0	1	0	1
1	1	0	1	10

مثال (2-13) :

إجمع الأعداد فى النظام الثنائى الآتية:

أ- 1011 + 1100 ب- 0101 + 1111.

الحل:

أ- يتم إجراء عملية الجمع:

1011

+ 1100 كالتالى:

الخانة الأولى: 1 + 0 = 1، الخانة الثانية: 1 + 0 = 1، الخانة الثالثة: 0 + 1 = 1، الخانة الرابعة: 1 + 1 = 0 ويتبقى محمول 1 ينقل للخانة الخامسة، ويكون خارج الجمع: 10111

ب- يتم إجراء عملية الجمع:

0101

+1111 كالتالى:

الخانة الأولى: 1 + 1 = 0 ، ويتبقى محمول 1 ينقل للخانة الثانية.

الخانة الثانية: محمول 1 يضاف إلى 0 + 1 فيكون الناتج 0 ويتبقى محمول 1 ينقل للخانة الثالثة.

الخانة الثالثة: محمول 1 يضاف إلى 1 + 1 فيكون الناتج 1 ويتبقى محمول 1 ينقل للخانة الرابعة.

الخانة الرابعة: محمول 1 يضاف إلى 0 + 1 فيكون الناتج 0 ويتبقى محمول 1 ينقل للخانة الخامسة .

وبذلك يكون خارج الجمع: 10100

مثال (2-14):

إجرى عملية جمع الأعداد فى النظام الثنائى الآتية :

01101010

+ 00001000

+ 10000001

+ 11111111

الحل :

الخانة الأولى: 0 + 0 + 1 + 1 = 0 ويتبقى محمول 1 ينقل للخانة الثانية ،

الخانة الثانية: محمول 1 + 1 + 0 + 0 + 1 = 1 ويتبقى 1 ينقل للخانة الثالثة .

الخانة الثالث: محمول 1 + 0 + 0 + 0 + 1 = 0 ويتبقى 1 ينقل للخانة الرابعة .

الخانة الرابعة: محمول 1 + 1 + 1 + 0 + 1 = 0 ويتبقى 2 محمول 1 ينقل للخانة الخامسة.

الخانة الخامسة: محمول 1 + محمول 1 + 0 + 0 + 0 + 1 =1 ويتبقى محمول 1 ينقل للخانة السادسة .

الخانة السادسة: محمول 1 + 1 + 0 + 0 + 1 = 1 ويتبقى محمول 1 ينقل للخانة السابعة .

الخانة السابعة : محمول 1 + 1 + 0 + 0 +1 =1 ويتبقى محمول 1 ينقل للخانة الثامنة.

الخانة الثامنة : محمول 1 + 0 + 0 + 1 + 1 = 1 ويتبقى محمول 1 ينقل للخانة التاسعة .

وبذلك يكون خارج الجمع : 111110010

* من المثال عالية يلاحظ مايلى :

(1) إذا كان عدد الآحاد 1's المضافة فى الخانة الواحدة زوجية، فيكون مجموع البتات الكلى مساويا 0، أما إذا كان عددها فردى فيكون مجموع البتات الكلى مساويا1.

(2) كل زوج من الآحاد 1's فى الخانة الواحد ينتج محمول 1 carry يتم إضافته للخانة التالية .

2-5-2 الطرح فى النظام الثنائى للأعداد :

عند إجراء عمليات الطرح Subtraction فى النظام الثنائى للأعداد يتم إتباع القواعد الأساسية التالية :

أ- عند طرح 0 من 0 ينتج 0 .

ب- عند طرح 0 من 1 ينتج 1 .

ج- عند طرح 1 من 1 ينتج 0 .

د- طرح 1 من 0 ينتج 1 ، ويتم إستعارة 1 Borrow (كما يحدث فى نظام الأعداد العشرى) من الخانة الأعلى من العدد .

ويمكن تلخيص هذه القواعد كالمبين فى جدول (2-5)

جدول (2-5)

المطروح منه	المطروح	الفرق	الإستعارة
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

مثال (2-15) :

إطرح العدد 0110 من العدد 1011

الحل:

يتم إجراء عملية طرح:

1011

0110 – كالتالى

الخانة الأولى: 1 مطروحا منه 0 ينتج 1، الخانة الثانية: 1 مطروحا منه 1 ينتج 0، الخانة الثالثة: 0 مطروحا منه 1 ينتج 1، ويتم إستعارة 1 من الخانة الرابعة والتى تصبح 0، الخانة الرابعة: 0 مطروحا منه 0 ينتج 0.

ويكون ناتج الطرح: 0101 .

2-5-3 الضرب فى النظام الثنائى للأعداد :

الضرب Multiplication فى النظام الثنائى للأعداد يشبه الضرب فى نظام الأعداد العشرى ، ويتمَ إتباع القواعد الأساسية التالية :

أ- عند ضرب 0 فى 0 ينتج 0 .

ب- عند ضرب 0 فى 1 ينتج 0 .

ج- عند ضرب 1 فى 1 ينتج 1 .

ويمكن توضيح عملية الضرب فى المثال التالى .

مثال (2-16) :

قم بعملية الضرب الآتية :

أ- 1101 x 1001

الحل:

يتم إجراء عملية الضرب كما يتم فى نظام الأعداد العشرى كالتالى :

```
    1001
   x1101
   -----
    1001
   0000
  1001
 1001
 -------
 1110101
```


وفى الدوائر الرقمية تتم عملية الضرب بالإضافات المتكررة لكل عمليات الضرب الجزئية وذلك للحصول على ناتج الضرب الكلى .

2-5-4 القسمة فى النظام الثنائى للأعداد :

القسمة Division فى النظام الثنائى للأعداد تشبه القسمة فى نظام الأعداد العشرى، ويتبين ذلك من المثال التالى .

مثال (2-17) :

قم بعملية القسمة الآتية :

أ- 1001 ÷ 1110101

الحل :

```
        1101
     ---------
1001 | 1110101
       1001
      -------
        1011
        1001
      -------
          1001
          1001
        ------
          0000
```

ويكون خارج القسمة : 1101

2-6 العمليات الحسابية بطريقة مكمل الإثنين :

تستخدم الدوائر المنطقية فى تحقيق العمليات الحسابية الثنائية، ومن الممكن استخدام الدوائر التى صممت لأداء عمليات الجمع فى إجراء عمليات الطرح أيضا وذلك عندما نتمكن من تحويل مسألة الطرح إلى جمع، وحيث يؤدى هذا المفهوم إلى الإستغناء عن إضافة دوائر أخرى لإجراء عمليات الطرح، أو بالأحرى فإن

نفس دوائر الجمع يمكنها تأدية كلتا العمليتين، مما يؤدى فى النهاية إلى تصميم دوائر حسابية مناسبة ورخيصة.

وعلى هذا تستخدم طريقة مكمل الإثنين التى تمت مناقشتها فى القسم 2-4-3.

2-6-1 الطرح باستخدام طريقة مكمل الإثنين :

يتم إجراء هذه العملية بإضافة العدد المطروح منه إلى مكمل الإثنين للعدد المطروح ، فإذا نتج فى النهاية محمول 1 فيتم إهماله وتكون البتات المتبقية هى الحل وتكون الإجابة موجبة (فى هذه الحالة كان المطروح منه أكبر من المطروح)، أما إذا نتج فى النهاية محمول 0 فتكون البتات المتبقية هى الحل وهو إجابة سالبة (فى هذه الحالة كان المطروح منه أصغر من المطروح) وتكون الإجابة هنا على شكل مكمل الإثنين .

مثال (2-18) :

مطلوب إجراء عملية الطرح باستخدام مكمل الإثنين للعمليتين :

أ- 7   ب- 5

    - 5   - 7

الحل :

أ- المطروح منه : $(+7)_{10} = (0111)_2$

المطـــــروح : $(+5)_{10} = (0101)_2$ ، ومنه : $(-5)_{10} = (1101)_2$ ،

ويكون مكمل الواحد له : 1010 ، ومنه مكمل الإثنين : 1011

وبإجراء عملية الجمع يكون :

```
 0111
 1011+
------
10010
```


وبإهمال محمول الأيسر 1 نحصل على الإجابة وهى : 0 0 1 0 والتى تعادل $(+2)_{10}$

ب- المطروح منه : $(+5)_{10} = (0101)_2$

المطـــــروح : $(+7)_{10} = (0101)_2$ ، ومنه : $(-7)_{10} = (1111)_2$ ،

ويكون مكمل الواحد له : 1000 ، ومنه مكمل الإثنين : 1001

وبإجراء عملية الجمع يكون :

```
 0101
 1001+
-----
 1110
```

ويكون محمول النهائى 0، ونحصل على الإجابة وهى:

1 1 1 0 وهى على شكل مكمل الإثنين والتى تعادل $(1010)_2$، أى: $(-2)_{10}$

2-6-2 الجمع أو الطرح فى تمثيل مكمل الإثنين :

الجمع والطرح فى نظام الأعداد الثنائية ذات الإشارة يمكن أن يؤدى باستخدام تمثيل مكمل الإثنين، وهذه الطريقة الأكثر شيوعا عند إجراء هذه العمليات باستخدام الدوائر الرقمية والمعالجات الدقيقة.

مثال (2-19) :

تحقق من العمليات الحسابية التالية باستخدام طريقة مكمل الإثنين :

أ- 48 – 23 = + 25   ب- 23 – 48 = - 25

ج- 48 – (- 23) = + 71   د- - 48 – 23 = - 71

وباستخدام رموز مكونة من 8-Bit.

الحل:

تمثيل مكمل الإثنين للعدد (48 +) هو 00110000.

تمثيل مكمل الإثنين للعدد (48 -) هو 11010000.

تمثيل مكمل الإثنين للعدد (23 +) هو 00010111.

تمثيل مكمل الإثنين للعدد (23 –) هو 11101001.

ويكون :

أ– (48 – 23) :

00110000	
+11101001	وهو تمثيل لمكمل الإثنين للعدد 23 -
1 00011001	

وبإهمال محمول الأيسر 1 نحصل على الإجابة وهى : 00011001 والتى تعادل $(+25)_{10}$.

ب– (23 – 48) :

00010111	
+11010000	وهو تمثيل مكمل الإثنين للعدد 48 -
11100111	

ونحصل على الإجابة وهى :

11100111 وهى على شكل مكمل الإثنين والتى تعادل $(10011001)_2$ ، أى : $(-25)_{10}$

ج– (23 -) – 48

00110000	
+00010111	وهى تمثل العدد $(-23)_{10}$ – أى $+(23)_{10}$
01000111	

ونحصل على الإجابة المباشرة للمسألة : $(01000111)_2$ وتعادل $(+71)_{10}$

د– (23 -) + (48-) = (23 – 48 -) :

10110000	وهو تمثيل للعدد (48 -)
+11101001	وهو تمثيل مكمل الإثنين للعدد (23-)
1 10111001	

وبإهمال محمول الأيسر يكون الناتج 10111001 على شكل مكمل الإثنين ، ويكون مكمل الواحد هو 10111000، ومنه يكون العدد فى النظام الثنائى :

11000111 وهو يعادل (71 -)

* ويلاحظ من المثال السابق مايلى :

(1) إذا كان طرفى العملية مختلفى الإشارة، يتم الحصول على النتيجة باستخدام قاعدة الطرح بمكمل الإثنين الموضحة فى القسم السابق 2-6-1.

(2) إذا كان طرفى العملية متشابهى الإشارة، فيتم مقارنة إشارة بت التأثير الأعلى (MSB) للناتج بإشارة البت لطرفى العملية، ففى حالة تشابهها تكون النتيجة صحيحة وفى شكل مكمل الإثنين (كما فى الجزء د من المثال)، أما فى حالة إختلافهما فيعنى هذا وجود مشكلة فى العملية الحسابية، أى يكون استخدام بتات الثمانية بتات غير ملائم، حيث يلزم تفسير النتيجة بطريقة مناسبة أكثر، وتكون النتيجة فى هذه الحالة مكونة من 9 بتات، أى محمول و8 بتات، وبحيث يعطى محمول إشارة العدد.

2-7 النظام الثمانى للأعداد :

نظام الأعداد ذو الأساس 8 يعرف بالنظام الثمانى للأعداد Octal number system ، ويستخدم لتمثيل الأعداد فى هذا النظام 8 أرقام هى: 0 و 1 و 2 و 3 و 4 و 5 و 6 و 7.

وكما فى نظامى الأعداد العشرى والثنائى يمكن أن يكون العدد فى النظام الثمانى مكون من جزء صحيح أو من جزء كسرى أو من كليهما معاً، وبينهما نقطة (.) تسمى نقطة ثُمانية Octal point، ولكل موقع فى العدد الثمانى وزنه النوعى، فالعدد $(6327.4051)_8$ يمكن حساب قيمته فى نظام الأعداد العشرى كالتالى:

$$(6327.4051)_8 = 6 \times 8^3 + 3 \times 8^2 + 2 \times 8^1 + 7 \times 8^0 + 4 \times 8^{-1}$$
$$+ 0 \times 8^{-2} + 5 \times 8^{-3} + 1 \times 8^{-4}$$
$$= 3072 + 192 + 16 + 7 + 4/8 + 0 + 5/512 + 1/4096$$
$$= (3287.5100098)_{10}$$

أى أن :

$$(6327.4051)_8 = (3287.5100098)_{10}$$

وباتباع الإجراء السابق يمكن تحويل أى عدد بالنظام الثمانى للأعداد إلى عدد بنظام الأعداد العشرى أى تحويل عدد بأساس 8 إلى عدد بأساس 10 ، كما أن التحويل من نظام الأعداد العشرى إلى النظام الثمانى للأعداد يشبه التحويل من نظام الأعداد العشرى إلى النظام الثنائى للأعداد مع إختلاف واحد وهو أن الرقم 8 يستخدم بدلا من الرقم 2 .

مثال (2-20) :

حول الأعداد الآتية فى النظام العشرى إلى النظام الثمانى:

أ- $(247)_{10}$ ب- $(0.6875)_{10}$ ج- $(3287.5100098)_{10}$

الحل:

أ- $(247)_{10}$:

العدد الصحيح 247 : 247/8 = 30 ويتبقى 7

30/8 = 3 ويتبقى 6

3/8 = 0 ويتبقى 3

ويكون :

$$(247)_{10} = (367)_8$$

ب- $(0.6875)_{10}$:

العدد الكسرى 0.6875:

0.6875 x 8 = 5.500 ويتم الإحتفاظ بالرقم 5.

0.500 x 8 = 4.000 ويتم الإحتفاظ بالرقم 4، ويتبقى 0.000.

ويكون :

$$(0.6875)_{10} = (0.54)_8$$

ج- $(3287.5100098)_{10}$:

* العدد الصحيح 3287 :

3287/8 = 410 ويتبقى 7

410/8 = 51 ويتبقى 2

51/8 = 6 ويتبقى 3

6/8 = 0 ويتبقى 6

ويكون : $(3287)_{10} = (6327)_8$

* العدد الكسرى 0.5100098 :

0.5100098 x 8 = 4.0800784 ويتم الإحتفاظ بالرقم 4.

0.0800784 x 8 = 0.6406272 ويتم الإحتفاظ بالرقم 0 .

0.6406272 x 8 = 5.1250176 ويتم الإحتفاظ بالرقم 5 .

0.1250176 x 8 = 1.0001408 ويتم الإحتفاظ بالرقم 1 .

ويكون :

$$(0.5100098)_{10} = (0.4051)_8$$

وفى النهاية يكون :

$$(3287.5100098)_{10} = (6325.4051)_8$$

ويلاحظ أن تحويل العدد الكسرى ربما يكون غير دقيق، إلا أنه يمكن الحصول على القيمة المكافئة التقريبية بالضرب x 8 حتى حد معين.

2-7-1 التحويل من النظام الثمانى إلى النظام الثنائى :

يتم التحويل من النظام الثمانى للأعداد إلى النظام الثنائى للأعداد، وذلك بتحويل كل رقم من العدد الثمانى إلى عدد ثنائى مكافئ مكون من 3-بت، فالعدد $(16)_8$

مكون من رقمين هما 1 و 6 فيتم تمثيل الرقم 1 بعدد ثنائى مكافئ مكون من 3-بت هو : 001، بينما يتم تمثيل الرقم 6 بعدد ثنائى مكافئ مكون من 3-بت هو : 110، وفى النهاية يكون:

$$(16)_8 = (001\ 110)_2$$

ويوضح جدول (2-6) الأعداد فى نظامى الأعداد الثنائى والثمانى والمكافئة للأعداد فى نظام الأعداد العشرى من العدد 0 إلى العدد 15 .

مثال (2-21) :

حول $(736)_8$ إلى رقم ثنائى مكافئ .

الحل :

من جدول (2-6) نجد أن العدد الثنائى المكافئ للأرقام 7، و 3، و 6 فى النظام الثمانى هى: 111 و 011 و 110 على الترتيب، وعلى هذا يكون:

$$(736)_8 = (111\ 011\ 110)_2$$

جدول (2-6)

العدد الثمانى	العدد العشرى	العدد الثنائى
0	0	000
1	1	001
2	2	010
3	3	011
4	4	100
5	5	101
6	6	110
7	7	111
10	8	001 000
11	9	001 001
12	10	001 010
13	11	001 011
14	12	001 100
15	13	001 101
16	14	001 110
17	15	001 111

2-7-2 التحويل من النظام الثنائى إلى النظام الثمانى :

يمكن تحويل العدد من النظام الثنائى للأعداد إلى العدد المكافئ فى النظام الثمانى للأعداد ، وذلك بتقسيم العدد إلى مجموعات ثلاثية (أى كل مجموعة مكونة من 3-بت)، إبتداء من النقطة الثمانية ومن بت التأثير الأصغر LSB والتحرك لليسار فى إتجاه بت التأثير الأعلى MSB، وذلك فيما يخص العدد الصحيح، أما فيما يخص العدد الكسرى فيتم أيضا تقسيم العدد إلى مجموعات ثلاثية إبتداءً من النقطة الثمانية Octal point والتحرك يمينا، وفى كلتا الناحيتين يتم إستبدال كل مجموعة بما يساويها فى النظام الثمانى، ويتضح هذا فى المثال التالى.

مثال (2-22) :

حول $(1001110)_2$ إلى النظام الثمانى .

الحل :

بتطبيق الطريقة المذكورة آنفا يتم تقسيم العدد كالتالى :

$$(1001110)_2 = (001\ 001\ 110)_2$$
$$= (1\ 1\ 6)_8$$
$$= (116)_8$$

مثال (2-23) :

حول $(0.10100110)_2$ إلى النظام الثمانى .

الحل :

$$(0.10100110)_2 = (\ 0.101\ 001\ 100\ )_2$$
$$= (\ 0.5\quad 1\quad 4\ )_8$$
$$= (\ 0.514\ )_8$$

مثال (2-24) :

حول الأعداد التالية من النظام الثنائى إلى النظام الثمانى:

أ- 11001110001.000101111001

ب- 1011011110.11001010011

ج- 111110001.10011001101

الحل :

أ- 11001110001.000101111001 :

$(011\ 001\ 110\ 001\ .\ 000\ 101\ 111\ 001\ )_2 = (3161.0571\ )_8$

ب- 1011011110.11001010011 :

$(001\ 011\ 011\ 110\ .\ 110\ 010\ 100\ 110\ )_2 = (1336.6246\ )_8$

ج- 111110001.10011001101 :

$(111\ 110\ 001\ .\ 100\ 110\ 011\ 010\ )_2 = (761.4632\ )_8$

ويلاحظ أنه فى بعض الأحيان يكون مطلوباً أن تكون كل مجموعة من هذه المجموعات الطرفية (يسار المجموعة التى على أقصى اليسار فى العدد الصحيح، ويمين المجموعة التى على أقصى اليمين فى العدد الكسرى) مكونة من 3-بتات، لذا يتم إضافة أصفار 0's إليها .

2-7-3 العمليات الحسابية فى النظام الثمانى للأعداد :

لاتختلف قواعد إجراء العمليات الحسابية فى النظام الثمانى للأعداد، عنها فى نظام الأعداد العشرى أو الثنائى، وعامة لا يتم تنفيذ العمليات الحسابية فى النظام الثمانى للأعداد باستخدام التمثيل الثمانى نفسه بينما يستخدم هذا النظام العددى فى إدخال مجموعات طويلة من بيانات ثنائية فى نظام رقمى مثل الحاسب الدقيق، وعامة تجرى العمليات الحسابية فى النظام الثمانى للأعداد بتحويل الأعداد الثمانية إلى مجموعات من الأعداد ثنائية ثم تطبيق القواعد المعروفة عند إجراء العمليات الحسابية فى النظام الثنائى للأعداد.

مثال (2-25) :

مطلوب إضافة $(23)_8$ إلى $(67)_8$.

الحل :

يتم تحويل الأعداد أولا من النظام الثمانى إلى النظام الثنائى كالآتى:

$(23)_8 = (010\ 011)_2$

$(67)_8 = (110\ 111)_2$

ثم إضافة العددين باستخدام قواعد الإضافة المعروفة فى النظام الثنائى ويكون حاصل الجمع: $(1\ 001\ 010\ )_2$، ثم إضافة صفرين إلى عدد الطرف الأيسر فيصبح حاصل الجمع: $(001\ 001\ 010\ )_2$ ، وهو مايعادل : $(112)_8$

مثال (2-26) :

مطلوب طرح: 8(37) من 8(53).

الحل :

$$\begin{array}{rcl} (53)_8 & = & (00101011)_2 \\ -(37)_8 & = & +\ (11100001)_2 \\ \hline (14)_8 & = & 100\ 001\ 100 \end{array}$$

وهو مكمل الإثنين للعدد $(37)_8$

حيث يتم إهمال المحمول 1 الموجود على اليسار .

2-7-4 تطبيقات النظام الثمانى للأعداد :

فى الأنظمة الرقمية يكون مطلوب إدخال أعداد ثنائية كما يكون مطلوباً عرض نتائج معينة ، ويكون من غير المناسب إدخال مجموعات طويلة من الأعداد الثنائية حيث يمكن أن تحدث أخطاء ، ولهذا السبب تستخدم الأعداد الثمانية فى إدخال البيانات الثنائية وعرض معلومات معينة ، وعلى هذا فإن معرفة نظام الأعداد الثمانية هام جدا حتى يتم الإستفادة الفعالة من المعالجات الدقيقة والدوائر الرقمية الأخرى .

فعلى سبيل المثال نجد أن العدد الثنائى 011111110 يمكن تذكره بسهولة عند تحويله إلى عدد ثمانى هو 376 ، وكما يمكن إدخاله كعدد 376 باستخدام مفاتيح

بطريقة ما ، وحيث أن الدوائر الرقمية تعالج فقط 1's و 0's فيلزم تحويل الأعداد الثمانية (قبل معالجتها بواسطة الدوائر الرقمية) إلى الشكل الثنائى باستخدام دوائر خاصة تعرف باسم المحولات من الثمانى للثنائى Octal-to-binary converters .

2-8 النظام السداسى عشر للأعداد :

نظام الأعداد السداسى عشر من أنظمة الأعداد المفضلة فى استخدامات الحواسب ، ويكون أساسه 16 مما يتطلب 16 رمز بصفة مميزة لتمثيل الأعداد فى هذا النظام حيث يتم تمثيل النظام بأرقام من 0 إلى 9 ، وحروف هجاء من A إلى F وهنا أستخدمت الأرقام والحروف ومن هذا جاءت تسمية هذا النظام بنظام الأعداد الهجائى العددى Alphanumeric number system ، ويوضح جدول (2-7) الأعداد فى هذا النظام من 0 إلى 15 والمكافئ الثنائى ، والسداسى عشر لها .

جدول (2-7)

العدد السداسى عشر	العدد العشرى	العدد الثنائى
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

ويلاحظ من الجدول أن هناك 16 مجموعة كل منها من 4-بت للأعداد الثنائية وكل عدد يتم إدخاله للحاسب على شكل مجموعة من 4-بت للأعداد الثنائية، ويلزم تحويل الأعداد (قبل معالجتها بواسطة الدوائر الرقمية) إلى الشكل الثنائى باستخدام دوائر خاصة تعرف باسم المحولات من نظام الأعداد السداسى عشر إلى نظام الأعداد الثنائى Hexadecimal-to-binary converters.

2-8-1 التحويل من النظام السداسى عشر إلى النظام العشرى :

يمكن تحويل الأعداد فى نظام الأعداد السداسى عشر إلى أعداد بنظام الأعداد العشرى كما هو موضح فى الأمثلة التالية.

مثال (2-27) :

إوجد العدد المكافئ فى النظام العشرى للعدد $(3A.2F)_{16}$.

الحل :

$$(3A.2F)_{16} = 3 \times 16^{1} + 10 \times 16^{0} + 2 \times 16^{-1} + 15 \times 16^{-2}$$
$$= 48 + 10 + 2/16 + 15/256$$
$$= (58.1836)_{10}$$

أى أن :

$$(3A.2F)_{16} = (58.1836)_{10}$$

وربما يكون العدد الكسرى المكافئ غير دقيق ، ولهذا يمكن أن تكون هناك نسبة خطأ صغيرة .

2-8-2 التحويل من النظام العشرى إلى النظام السداسى عشر :

التحويل من نظام الأعداد العشرى إلى نظام الأعداد السداسى عشر يشبه التحويل من نظام الأعداد العشرى إلى النظام الثنائى للأعداد مع إختلاف واحد وهو أن الرقم 16 يستخدم بدلا من الرقم 2 .

مثال (2-28) :

حول الأعداد الآتية فى النظام العشرى إلى نظام الأعداد بأساس 16 :

أ- $(95)_{10}$ ب- $(675.625)_{10}$

الحل :

أ- $(95)_{10}$:

العدد الصحيح 95 : 95/16 = 5 ويتبقى 15

5/16 = 0 ويتبقى 5

ويكون :

$$(95)_{10} = (5F)_{16}$$

ب- $(675.625)_{10}$:

* العدد الصحيح 675 :

675/16 = 42 ويتبقى 3

42/16 = 2 ويتبقى 10

2/16 = 0 ويتبقى 2

ويكون :

$$(675)_{10} = (2A3)_{16}$$

* العدد الكسرى 0.625 :

0.625 x 16 = 10.00000 ويتم الإحتفاظ بالرقم 10

ويكون :

$$(0.625)_{10} = (.A)_8$$

وعلى هذا يكون :

$$(675.625)_{10} = (2A3.A)_{16}$$

وربما يكون تحويل العدد الكسرى غير دقيق، إلا أنه يمكن الحصول على القيمة المكافئة التقريبية بالضرب x 16 حتى حد معين .

2-8-3 التحويل من النظام السداسى عشر إلى النظام الثنائى :

يمكن التحويل من نظام الأعداد السداسى عشر إلى نظام الأعداد الثنائى، وذلك بتحويل كل رقم من العدد إلى عدد ثنائى مكافئ مكون من 4-Bit.

مثال (2-29) :

حول $(2F9A)_{16}$ إلى رقم ثنائى مكافئ .

الحل :

من جدول (2-7) نجد أن العدد الثنائى المكافئ للرموز 2 و F و 9 و A فى النظام 16 هى : 0010 و 1111 و 1001 و 1010 على الترتيب ، وعلى هذا يكون :

$$(2F9A))_8 = (0010\ 1111\ 1001\ 1010)_{16}$$

$$= (0010111110011010)_{16}$$

$$= (10111110011010)_{16}$$

2-8-4 التحويل من النظام الثنائى إلى النظام السداسى عشر :

يمكن تحويل العدد من النظام الثنائى للأعداد إلى العدد المكافئ فى نظام الأعداد السداسى عشر، وذلك بتقسيم العدد إلى مجموعات رباعية (أى كل مجموعة مكونة من 4-بت) إبتداء من بت التأثير الأصغر LSB والتحرك فى إتجاه بت التأثير الأكبر MSB أى لليسار وذلك فيما يخص العدد الصحيح، أما فيما يخص العدد الكسرى فيتم أيضا تقسيم العدد إلى المجموعات الرباعية من بعد النقطة الكسرية والتحرك يميناً، ثم إستبدال كل مجموعة بما يساويها فى النظام السداسى عشر.

مثال (2-30) :

حول كل من الأعداد الثنائية التالية إلى نظام الأعداد بأساس 16 :

أ- 10100110101111.

ب- 0.00011110101101.

ج- 11001110001.000101111001.

د- 1011011110.11001010011.

هـ- 111110001.10011001101.

الحل :

بتطبيق الطريقة المذكورة آنفا يكون العدد :

أ-

$(10100110101111)_2 = (0010\ 1001\ 1010\ 1111)_2$

$= (2\quad 9\quad A\quad F\ )_{16}$

$= (29AF)_{16}$

ب-

$(0.00011110101101)_2 = (0.0001\ 1110\ 1011\ 0100)_2$

$= (0.1\quad E\quad B\quad 4\ )_{16}$

$= (0.1EB4)_{16}$

ج-

$(11001110001.000101111001)_2 = (0110\ 0111\ 0001.0001\ 0111\ 1001)_2$

$= (6\quad 7\quad 1\ .1\quad 7\quad 9\ )_{16}$

$= (671.179)_{16}$

د-

$(1011011110.11001010011)_2$

$= (0010\ 1101\ 1110.1100\ 1010\ 0110)_2$

$= (2\quad D\quad E\ .C\quad A\quad 6\ )_{16}$

$= (2DE.CA6)_{16}$

هـ-

$(111110001.10011001101)_2$

$= (0001\ 1111\ 0001.1001\ 1001\ 1010)_2$

$= (1\quad F\quad 1\ .9\quad 9\quad A\ )_{16}$

$= (1F1.99A)_{16}$

ويلاحظ أن المجموعات التى يتم تكوينها يكون مطلوبا إضافة أصفار 0's فى كل من يسار المجموعة التى على أقصى اليسار فى العدد الصحيح، ويمين المجموعة التى على أقصى اليمين فى العدد الكسرى.

2-8-5 التحويل من النظام السداسى عشر إلى النظام الثمانى والعكس :

يمكن تحويل الأعداد من نظام الأعداد السداسى عشر إلى عدد فى نظام الأعداد الثمانى والعكس، بتحويل هذا العدد إلى العدد المكافئ له فى النظام الثنائى ثم التحويل إلى النظام الآخر كما سيتضح فى الأمثلة التالية.

مثال (2-31) :

حول الأعداد التالية من نظام الأعداد السداسى عشر إلى نظام الأعداد الثمانى:

أ- A72E ب- 0.BF85

الحل :

أ- يتم تحويل العدد من النظام السداسى عشر إلى العدد المكافئ له فى النظام الثنائى كالتالى:

ب-

$A72E = (1010\ 0111\ 0010\ 1110)_2$

$= (1010011100101110)_2$

يتم تحويل العدد من النظام الثنائى إلى العدد المكافئ له فى النظام الثمانى كالتالى:

$(1010011100101110)_2 = (001\ 010\ 011\ 100\ 101\ 110)_2$

$= (1\quad 2\quad 3\quad 4\quad 5\quad 6\quad)_8$

$= (123456)_8$

ب- بالمثل:

$0.BF85 = (0.1011\ 1111\ 1000\ 0101)_2$

$= (0.1011111110000101)_2$

$= (0.101\ 111\ 111\ 000\ 010\ 100)_2$

$= (0.5\quad 7\quad 7\quad 0\quad 2\quad 4\quad)_2$

$= (0.577024)_8$

مثال (2-32) :

حول العدد $(247.36)_8$ من النظام الثمانى إلى نظام الأعداد السداسى عشر .

الحل:

$(247.36)_8 = (\ 010\ 100\ 111.011\ 110)_2$

$= (010100111.011110)_2$

$= (0000\ 1010\ 0111.0111\ 1000)_2$

$= (0\quad A\quad 7\ .7\quad 8\quad)_{16}$

$= (A7.78)_{16}$

2-8-6 العمليات الحسابية فى نظام الأعداد السداسى عشر:

قواعد إجراء العمليات الحسابية فى نظام الأعداد السداسى عشر لاتختلف عنها فى نظام الأعداد العشرى أو الثنائى أو الثمانى ، وحيث أن العمليات الحسابية يتم تنفيذها فى الأنظمة الرقمية بنظام الأعداد الثنائية فإن يتم أولا تحويل الأعداد فى نظام الأعداد السداسى عشر إلى أعداد فى النظام الثنائى ثم تطبيق القواعد المعروفة عند إجراء العمليات الحسابية فى النظام الثنائى للأعداد ، وسيتضح ذلك فى الأمثلة التالية .

مثال (2-33) :

مطلوب إضافة $(7F)_{16}$ إلى $(BA)_{16}$.

الحل :

يتم تحويل الأعداد أولا من نظام الأعداد السداسى عشر إلى النظام الثنائى كالآتى :

$(7F)_{16} = (\ 01111111)_2$

$(BA)_{16} = (\ 10111010)_2$

ثم إضافة العددين باستخدام قواعد الإضافة المعروفة فى النظام الثنائى ويكون خارج الجمع : $(100111001)_2$ أى :

$(0001\ 0011\ 1001)_2$ وهو مايعادل : $(139)_{16}$

مثال (2-34) :

مطلوب إجراء عمليات الطرح الآتية :

$(5C)_{16}$ من $(3F)_{16}$ ب- $(7A)_{16}$ من $(C0)_{16}$

الحل :

أ-

$(3F)_{16} = \quad (\ 00111111)_2$

$-(5C)_{16} = +(10100100)_2$ وهو مكمل الإثنين للعدد $(5C)_{16}$

$(-1D)_{16} = \quad 11100011$ وهو يمثل مكمل الإثنين للناتج

ويكون الناتج فى النظام الثنائى : $(0001\ 1101)_2$ ، أى : $(1D)_{16}$

ب-

$(C0)_{16} = \quad (10000000)_2$

$-(7A)_{16} = +(10000110)_2$ وهو مكمل الإثنين للعدد $(7A)_{16}$

$(46)_{16} = \quad 1\ 0100\ 0110$

ويكون الناتج فى النظام الثنائى: $(1\ 0100\ 0110)_2$، أى: $(46)_{16}$ حيث يتم إهمال المحمول 1 فى الطرف الأيسر .

* كما يمكن تأدية عمليات الضرب والقسمة فى نظام الأعداد السداسى عشر، وذلك بتمثيل العدد أولا بالنظام الثنائى ثم إجراء العمليات طبقا للقواعد المتبعة، ثم تحويل الناتج ثانية إلى العدد فى نظام الأعداد السداسى عشر.

9-2 الشفرات الرقمية :

من المعروف أن الحواسب والدوائر الرقمية تقوم بالتعامل مع البيانات باستخدام التشكيل الثنائى Binary format، ويوجد العديد من اشكال الشفرات الثنائية Binary Codes المستخدمة فى تمثيل البيانات وهى إما شفرات رقمية أو شفرات هجائية أو شفرات برموز خاصة، وعلى الرغم من أنه يتم تمثيل المعلومات بالشكل الثنائى فى جميع هذه الشفرات، إلا أنه يمكن ترجمة هذه المعلومات الثنائية طالما تم معرفة هذه الشفرة، فمثلا العدد الثنائى 1000001 يمثل العدد 65 (كعدد عشرى) فى الشفرة الثنائية المباشرة، ويمثل العدد 41 فى شفرة BCD، كما أنه يمثل الحرف A فى شفرة ASC11، ولهذا يجب على المستخدم أن يكون حريصا على معرفة الشفرة المستخدمة فى التشكيل الثنائى عند تفسير المعلومات المعالجة، كما تستخدم الشفرات أيضا فى كشف الأخطاء وتصحيحها فى الأنظمة الرقمية.

والآن سوف يتم التطرق إلى بعض الشفرات الشائع استخدامها.

1-9-2 الشفرة الثنائية المباشرة :

تستخدم الشفرة الثنائية المباشرة Straight Binary Code فى تمثيل الأعداد فى تشكيل النظام الثنائى المباشر، والذى تم مناقشته فى القسم (2-3)، وحيث يتم تنفيذ العديد من العمليات الحسابية فى هذا التشكيل .

ويوضح جدول (2-8) الشفرات الثنائية المختلفة للأعداد العشرية من 0 إلى 15.

2-9-2 الشفرة BCD الطبيعية :

درسنا كيفية تمثيل عدد عشرى بالبتات فى النظام الثنائى ، فنجد مثلا أن :

$$(10.625)_{10} = (1\,0\,1\,0\,.\,1\,0\,1)_2$$

ونلاحظ أنه ليس من السهل أن نعرف العدد العشرى المقصود بمجرد نظرتنا إلى العدد الثنائى المكافئ ، إذ أننا نحتاج لبعض الوقت لإجراء العملية الحسابية المطلوبة للتحويل وللتغلب على ذلك تم تصميم شفرة ثنائية تعرف باسم شفرة "النظام العشرى ذو الكود الثنائى" Binary Coded Decimal (BCD) ، وفيها يتم تشفير الأعداد فى النظام العشرى من 0 إلى 9 بقيمها المكافئة الثنائية الطبيعية باستخدام 4-بت لكل رقم على حدة ، فباستخدام هذه الشفرة يتم تمثيل العدد العشرى $(23)_{10}$ حيث يتم تمثيل الرقم 2 بقيمته المكافئة باستخدام 4-بت ، أى 0010 كما يتم تمثيل الرقم 3 بقيمته المكافئة باستخدام 4-بت ، أى 0011 ، فتحصل فى النهاية على تمثيل العدد فى هذا النظام على الشكل (0010 0011) وليس $(10111)_2$ ، ومن هنا نجد أننا فى حاجة إلى عدد من البتات Bits لتمثيل العدد العشرى باستخدام هذه الشفرة تزيد عن عدد البتات المطلوبة لتمثيل نفس العدد باستخدام الشفرة الثنائية المباشرة Straight Binary Code ، وعلى الرغم من هذه النقطة السلبية إلا أن هذه الشفرة تعد من الشفرات المناسبة والمفيدة فى عمليات الدخل والخرج فى الأنظمة الرقمية .

وتعرف هذه الشفرة أيضا بشفرة (8-4-2-1) ، حيث تمثل هذه الأرقام 8 ، و 4 ، و 2 ، و 1 أوزان البتات Bits المكونة للرقم العشرى الواحد ، ومن هنا تعتبر هذه الشفرة من الشفرات ذات الميزان Weighted ، كما يمكن بواسطتها تنفيذ العمليات الحسابية كما سيناقش مستقبلاً ، ويوضح جدول (2-8) شفرات الـــ BCD للأعداد فى النظام العشرى من 0 إلى 9 .

3-9-2 شفرة Excess-3:

وهذا شكل آخر من شفرة BCD والذى يتم فيه – كما عرفنا – تشفير كل رقم عشرى بـــ 4-بت، ويتم الحصول على شفرة الرقم العشرى فى هذه الشفرة بإضافة العدد العشرى 3 لكل شفرة عدد من شفرات BCD، فمثلا معروف أن الرقم العشرى 2 فى شفرة BCD يكون 0010، وبإضافة العدد العشرى 3 عليه يصبح 0101 فى شفرة

Excess-3، ولهذا فإن هذه الشفرة ليست من الشفرات ذات الميزان، وتعرف هذه الشفرة بالشفرة المكملة الذاتية Self-complement بمعنى أن تكامل الواحد 1'Complement لأى رقم بشفرة Excess-3 ينتج رقماً بشفرة Excess-3 مكملا للرقم 9 ، ولتوضيح ذلك فشفرة Excess-3 للرقم 2 هى: (0101) ، ويكون تكامل الواحد لهذا الرقم هو : (1010) والذى يمثل شفرة Excess-3 للرقم 7، وهذا الرقم 7 هو الرقم المكمل 9 للرقم 2 ، وهذه الخاصية تكون ذات أهمية كبيرة فى تنفيذ عمليات الطرح فى الأنظمة الرقمية، ويوضح جدول (2-8) شفرات Excess-3 للأعداد فى النظام العشرى من 0 إلى 9 .

جدول (2-8)

العدد العشرى	الشفرة الثنائية				شفرة BCD				شفرة Excess-3				شفرة جراى			
	B_3	B_2	B_1	B_0	D	C	B	A	E_3	E_2	E_1	E_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
1	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1
2	0	0	1	0	0	0	1	0	0	1	0	1	0	0	1	1
3	0	0	1	1	0	0	1	1	0	1	1	0	0	0	1	0
4	0	1	0	0	0	1	0	0	0	1	1	1	0	1	1	0
5	0	1	0	1	0	1	0	1	1	0	0	0	0	1	1	1
6	0	1	1	0	0	1	1	0	1	0	0	1	0	1	0	1
7	0	1	1	1	0	1	1	1	1	0	1	0	0	1	0	0
8	1	0	0	0	1	0	0	0	1	0	1	1	1	1	0	0
9	1	0	0	1	1	0	0	1	1	1	0	0	1	1	0	1
10	1	0	1	0									1	1	1	1
11	1	0	1	1									1	1	1	0
12	1	1	0	0									1	0	1	0
13	1	1	0	1									1	0	1	1
14	1	1	1	0									1	0	0	1
15	1	1	1	1									1	0	0	0

2-9-4 شفرة Gray :

وهى من الشفرات المفيدة جدا حيث يتم تمثيل العدد العشرى على الشكل الثنائى باستخدام 4-بت بأسلوب بحيث يختلف فيه شكل العدد المشفر عن العدد المشفر السابق له ببت واحد فقط، فمثلا العدد العشرى 5 بشفرة Gray يكون: 0111، بينما العدد العشرى 6 بشفرة Gray يكون: 0101، فنجد أن العددين مختلفان فى بت واحد (الخانة الثانية من اليمين) ، وأيضا العدد العشرى 9 بشفرة Gray يكون: 1101، بينما العدد العشرى 10 بشفرة Gray يكون: 1111، فنجد أن العددين مختلفين فى بت واحد (الخانة الثانية من اليمين) وهذه الشفرة ليست من الشفرات ذات الميزان، كما أنها من الشفرات العاكسة Reflected code، حيث يمكن إنشاء هذه الشفرة باستخدام هذه الخاصية وذلك كما سيوضح لاحقا.

1- إنشاء شفرة Gray البت الواحد :

ولهذه الشفرة كلمتان مشفرتان هما: 0 و1، وهاتان الشفرتان تمثلان العددان العشريان 0 و 1 على الترتيب، وعلى هذا يكون تمثيل هذين العددين العشريين بشفرة Gray ذات البت الواحد على الصورة:

العدد بشفرة Gray	العدد العشرى
0	0
1	1

2- شفرة Gray 2-بت :

فنكتب أولا شفرة Gray للعددين السابقين (أى 0 و 1) مسبوقة بـــ 0، ثم بعد ذلك نكمل بالعددين 2 و 3 مع إتباع قاعدة ان العدد المشفر يختلف عن العدد السابق له ببت واحد ، وعلى هذا يكون شفرة Gray بـــ 2-بت :

العدد العشرى	العدد شفرة Gray
0	00
1	01
2	11
3	10

حيث تمت كتابة شفرة العددين 0 و 1 ومسبوق كل منهما بـــ 0 ، فيصبحا 00، 01، ثم الإستكمال للعدد العشرى 2 والذى تختلف شفرته عن شفرة العدد العشرى 1 السابق له ببت واحدة، أى تكون شفرة العدد 2 هى: 11 (وهنا جعلنا الإختلاف فى البت الثانى ، فهو: 0 فى العدد العشرى 1، ويكون: 1 فى العدد العشرى 2، بينما يظل البت الأول : 1 لكل من العددين)، وبنفس الطريقة تكون شفرة العدد 3 هى: 10

3- شفرة Gray 3-بت :

فنكتب أولا شفرة Gray للأعداد السابقة مسبوقة بـــ 0 ثم التكملة بالأعداد 4، و5 و6 و7 مع إتباع قاعدة إختلاف العدد العشرى عن العدد السابق له ببت واحد، وعلى هذا يكون شفرة Gray بـــ 3-بت:

العدد العشرى	العدد بشفرة Gray
0	000
1	001
2	011
3	010
4	110
5	111
6	101
7	100

4- شفرة Gray 4-بت :

وبنفس الطريقة تم إنشاء الأعداد بشفرة Gray 4-بت، كما هو موضح فى جدول (2-8) .

2-9-5 الشفرة الثمانية Octal :

وهى شفرة ثنائية بـــ 3-بت، حيث يتم تمثيل الأعداد بنظام الأعداد الثمانى من 0 إلى 7 بالشفرة الثنائية المباشرة بعدد 3 بت، فمثلا العدد $(4)_8$ يصبح تمثيله باستخدام هذه الشفرة: 100 .

وعن طريق استخدام هذه الشفرة يمكن تشفير الأعداد بنظام الأعداد الثمانى على الشكل الثنائى المباشر وكما تمت مناقشته فى القسم (2-7) وتستخدم هذه الشفرة فى الدخول الثنائية Binary inputs فى الحواسب الرقمية والمعالجات الدقيقة.

2-9-6 الشفرة السداسية عشر Hexadecimal :

وهى شفرة ثنائية بـــ 4-بت، كما تم مناقشته فى القسم (2-8)، وتستخدم هذه الشفرة فى الدخول والخروج الثنائية فى الحواسب الرقمية، والمعالجات الدقيقة.

مثال (2-35) :

مطلوب تمثيل العدد العشرى 27 على الشكل الثنائى باستخدام الشفرات التى تمت دراستها آنفا.

الحل :

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة، فيصبح العدد: 11011

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4-بت، أى يصبح العدد:

0010 0111

3- شفرة Excess-3 :

بإضافة العدد العشرى 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0010 0111، أى يصبح العدد: 0101 1010

4- شفرة Gray :

حيث نحتاج إلى 5-بت لتمثيل العدد 27، فلابد من إنشاء شفرة Gray بـــ 5-بت، يصبح العدد: 10110

5- شفرة Octal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد الثمانى، ثم تمثيل كل رقم بشفرة ثنائية بـــ 3 بت، أى أن:

$$(27)_{10} = (33)_8$$
$$= (3 \quad 3)_8$$
$$= 011\ 011$$

6- شفرة Hexadecimal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد السداسى عشر، ثم تمثيل كل رقم بشفرة ثنائية بـــ 4 بت، أى أن :

$$(27)_{10} = (1B)_{16}$$
$$= (1 \quad B)_{16}$$
$$= 0001\ 1011$$

مثال (2-36) :

مطلوب تمثيل الأعداد العشرية الآتية على الشكل الثنائى باستخدام الشفرات التى تمت دراستها آنفا، عدا شفرة Gray:

أ- 396 ب- 4096

الحل :

أولا : العدد: 396

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة ، أى يصبح العدد: 110001100

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4 بت، أى يصبح العدد:

0011 1001 0110

3- شفرة Excess-3 :

بإضافة العدد العشرى 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0011 1001 0110، أى يصبح العدد: 0110 1100 1001

4- شفرة Octal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد الثمانى، ثم تمثيل كل رقم بشفرة ثنائية بـــ 4 بت، أى أن:

$$(396)_{10} = (614)_8 = 110\ 001\ 100$$

5- شفرة Hexadecimal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد السداسى عشر، ثم تمثيل كل رقم بشفرة ثنائية بـــ 4 بت، أى أن :

$$(396)_{10} = (18C)_{16} = 0001\ 1000\ 1100$$

ثانيا : العدد : 4096

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة، أى يصبح العدد:

1000000000000

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4-بت، أى يصبح العدد:

0100 0000 1001 0110

3- شفرة Excess-3 :

بإضافة العدد العشرى 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0100 0000 1001 0110، أى يصبح العدد: 0111 0011 1100 1001

4- شفرة Octal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد الثمانى، ثم تمثيل كل رقم بشفرة ثنائية بـــ 3 بت، أى أن :

$(4096)_{10} = (10000)_8 = 001\ 000\ 000\ 000\ 000$

5- شفرة Hexadecimal :

حيث يتم تحويل العدد العشرى إلى عدد بنظام الأعداد السداسى عشر، ثم تمثيل كل رقم بشفرة ثنائية بـــ 4-بت، أى أن:

$(4096)_{10} = (1000)_{16} = 0001\ 0000\ 0000\ 0000$

2-9-7 الشفرة الهجائية العددية Alphanumeric :

فى كثير من المواقف يتطلب الأمر إدخال معلومات وبيانات تكون مكونة من حروف هجاء وأعداد ورموز خاصة ، وكمثال على ذلك فى الجامعة مثلا حيث يكون المطلوب استخدام حاسب رقمى لإدخال ومعالجة بيانات نتائج الإمتحانات لآلاف الطلبة، وتشمل هذه البيانات: أسماء الطلبة وأسماء المواد والدرجات والتقديرات.. إلخ، ويكون المطلوب هو تمثيل هذه البيانات على الشكل الثنائى، وهذا يتطلب إيجاد شفرة ثنائية لتمثيل حروف الهجاء والأعداد ومختلف الرموز.

1- شفرة BCD المتبادلة Extended BCD Interchange Code (EBCDIC) :

ومن المعروف أنه عند استخدام شفرة ثنائية من n-بت، فإنه باستخدام هذه الشفرة يمكن تمثيل عناصر عددها 2^n عنصر.

فعند تمثيل الأرقام العشرة من 0 إلى 9 (أى 10 عناصر)، وحروف الهجاء من A إلى Z (أى 26 عنصر)، وبالإضافة إلى بعض الرموز الخاصة، فعند استخدام شفرة من 6-بت، فإنه يمكن تمثيل حتى: 2^6 أى 64 عنصر، ويبين جدول (2-9) واحدة من شفرات الحروف والأعداد والرموز والمكونة من 6- بت، والمستخدمة فى العديد من الحواسب لتمثيل الأعداد العشرية والحروف الهجائية والرموز والعلامات أو تعليمات للتحكم فيما يُكتب، وهى شفرة من الشفرات الداخلية ولهذا فهى تسمى شفرة داخلية Internal code .

وغالبا يتطلب الأمر تمثيل أكثر من 64 عنصر ، وهنا نجد شفرة داخلية أخرى من شفرات الحروف والأعداد والرموز...إلخ ، والمكونة من 8- بت، ومبينة فى جدول (2-9) .

جدول (2-9)

الرمز	شفرة داخلية 6-بت	شفرة EBCDIC 8-بت
A	010001	11000001
B	010010	11000010
C	010011	11000011
D	010100	11000100
E	010101	11000101
F	010110	11000110
G	010111	11000111
H	011000	11001000
I	011001	11000001
J	100001	11001001
K	100010	11010010
L	100011	11010011
M	100100	11010100

11010101	100101	N
11010110	100110	O
11010111	100111	P
11011000	101000	Q
11011001	101001	R
11100010	110010	S
11100011	110011	T
11100100	110100	U
11100101	110101	V
11100110	110110	W
11100111	110111	X
11101000	111000	Y
11101001	111001	Z
11110000	000000	0
11110001	000001	1
11110010	000010	2
11110011	000011	3
11110100	000100	4
11110101	000101	5
11110110	000110	6
11110111	000111	7
11111000	001000	8
11111001	001001	9
01000000	110000	Blank فراغ
01001011	011011	

01001101	111100	(
01001110	010000	+
01011011	101011	$
01011100	101100	*
01011101	011100	)
01100000	100000	—
01100001	110001	/
01101011	111011	,
01111110	001011	=

2- الشفرة القياسية الأمريكية لتبادل المعلومات (آسكى):

: American Standard Code for Information Interchange (ASCII)

وفى هذه الشفرة تستخدم مجموعة من 7-بت، أى يكون لدينا مجموعات عددها 2^7 أى 128 مجموعة، ويبين جدول (2-10) هذه المجموعات مع ما تمثله كل مجموعة من أعداد عشرية، أو حروف هجائية، أو رموز ...إلخ .

وعند استخدام شكل 8-بت فى الحاسب الرقمى يضاف بت ثامن 0 على يسار كل مجموعة للحصول على المكافئ السادس عشر للشفرة.

ويبين الجدول كيفية تحديد الشفرة لمختلف الأعداد العشرية أو الحروف الهجائية أو الرموز...إلخ بطريقة سهلة وميسرة، فمثلا لتحديد شفرة الحرف H نقرأ مباشرة قيمة النبل الأصغر، أو البتات الأربعة الأصغر (b_0، و b_1، و b_2، و b_3) فى نفس الصف الموجود فيه الحرف H، فتكون: 1000، ثم نقرأ بعد ذلك قيمة النبل الأعلى، أو البتات الأربعة الأكبر (b_4، و b_5، و b_6 مضافا إليها البت الثامن 0) فى نفس العمود، فتكون: 0100، وفى النهاية نحصل على القراءة الصحيحة المناظرة لشفرة الحرف H كالتالى:

$$0100\ 1000 = (48)_{16}$$

جدول(2-10)

b_6					0	0	0	0	1	1	1	1
	b_5				0	0	1	1	0	0	1	1
		b_4			0	1	0	1	0	1	0	1
b_3	b_2	b_1	b_0		0	1	2	3	4	5	6	7
0	0	0	0	0	NUL	DLE	SP	0	@	P	′	p
0	0	0	1	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	2	STX	DC2	″	2	B	R	b	r
0	0	1	1	3	ETX	DC3	#	3	C	S	c	s
0	1	0	0	4	EOT	DC4	%	4	D	T	d	t
0	1	0	1	5	ENQ	NAK	$	5	E	U	e	u
0	1	1	0	6	ACK	SYN	&	6	F	V	f	v
0	1	1	1	7	BEL	ETB	′	7	G	W	g	w
1	0	0	0	8	BS	CAN	(	8	H	X	h	x
1	0	0	1	9	HT	EM	)	9	I	Y	i	y
1	0	1	0	A	LF	SUB	*	:	J	Z	j	z
1	0	1	1	B	VT	ESC	+	;	K	[	k	{
1	1	0	0	C	FF	FS	,	<	L	\	L	|
1	1	0	1	D	CR	GS	-	=	M	]	m	{
1	1	1	0	E	SO	RS	.	>	N	^	n	~
1	1	1	1	F	SI	US	/	?	O	_	o	DEL

مثال (2-37) :

حدد شفرة العلامة }، وأيضا الحرف n، والرقم 8.

الحل :

أ- لتحديد شفرة العلامة }:

نقرأ مباشرة قيمة النبل الأصغر فى الصف المقابل ، فتكون: 1011، ثم نقرأ بعد ذلك قيمة النبل الأعلى مضافاً إليه البت الثامن 0 فى العمود المناظر، فتكون: 0111، وتكون القراءة الصحيحة المناظرة لشفرة العلامة } كالتالى :

$0111\ 1011 = (7B)_{16}$

ب- لتحديد شفرة الحرف n :

نقرأ مباشرة قيمة النبل الأصغر فى الصف المقابل، فتكون: 1110، ثم نقرأ بعد ذلك قيمة النبل الأعلى مضافاً إليه البت الثامن 0 فى العمود المناظر، فتكون: 0110، وتكون القراءة الصحيحة المناظرة لشفرة العلامة } كالتالى:

$0110\ 1110 = (6E)_{16}$

ج- لتحديد شفرة العدد 8 :

نقرأ مباشرة قيمة النبل الأصغر فى الصف المقابل، فتكون: 1000، ثم نقرأ بعد ذلك قيمة النبل الأعلى مضافاً إليه البت الثامن 0 فى العمود المناظر، فتكون: 0011، وتكون القراءة الصحيحة المناظرة لشفرة العدد 8 كالتالى:

$0011\ 1000 = (68)_{16}$

2-9-8 شفرات الخطأ :

عند إنتقال المعلومات الرقمية على الشكل الثنائى من دائرة رقمية إلى دائرة رقمية أخرى، أو من نظام رقمى إلى نظام رقمى آخر، فيمكن أن تحدث أخطاء حيث يمكن أن تتغير إشارة تعبر عن 0 إلى 1 أوالعكس، وفى الأنظمة الرقمية المعقدة حيث يتم التعامل مع ملايين البتات فى الثانية الواحدة، فدائما يفضل الحصول على البيانات سليمة أو على الأقل إكتشاف أى خرق لهذه البيانات فى حالة حدوثه.

وواحدة من المعالجات البسيطة لتحسين سلامة البيانات فى الأنظمة الرقمية هو إضافة بت على البيانات يسمى بيتة التطابق Parity bit والذى يسمح باكتشاف إشارة خطأ مفردة عند نقل المعلومات، فعلى سبيل المثال: فى شفرة ASCII، يكون شفرة الحرف C هى: 1000011، فهى شفرة تحتوى على 3 من 1′s فيقال أنه تماثل فردى

ODD، وعند إضافة بت إضافى تتحول شفرة الحرف من 7-بت إلى 8-بت ويكون تماثله ODD إذا كان البت الإضافى 0، أما إذا كان البت الإضافى 1 فيكون تماثله EVEN وسوف يتم نقل هذا البت الإضافى مع شفرة الرمز من طرف الإرسال، وعند طرف الإستقبال سوف يتم إختبار تماثل شفرة الــ 8-Bit، وفى حالة وجود خطأ فى بت واحدة او فى عدد فردى من البتات فسوف يتم إكتشافه، إلا أنه فى حالة إرسال عدد زوجى خاطئ من البتات فيمكن عدم إكتشاف الخطأ، وفى الحقيقة فإنه يحدث تحسين ملحوظ فى سلامة البيانات عند إضافة البت المكافئ.

ويوجد الكثير من شفرات كشف وتصحيح الأخطاء، يمكن الإطلاع عليها فى كتب أخرى.

*** وفى نهاية الفصل يمكننا القول:**

أنه تم إستعراض الكثير من أنظمة الأعداد الرقمية التى تستخدم بتوسع كبير فى الدوائر الرقمية والمعالجات الدقيقة والحواسب.. إلخ ، كما تم شرح قواعد إجراء العمليات الحسابية المختلفة مثل: الجمع والطرح والقسمة والضرب.

كما تم التطرق إلى الشفرات المختلفة والأكثر شيوعا واستخداماً فى الأنظمة الرقمية، والتى تستخدم فى تمثيل الأعداد والحروف الهجائية والرموز الخاصة، ونقول أن المعرفة بأنظمة الأعداد الرقمية وكذلك الشفرات لهو شئ أساسى لتحقيق الفهم الفعال للأنظمة الرقمية المختلفة بما فيها المعالجات الدقيقة.

تدريبات

تدريب (2-1) :

عين الأعداد العشرية المكافئة للأعداد الثنائية التالية :

أ- 111001 ب- 101001 ج- 11111110 د- 1100100

هـ- 1101.0011 و- 1010.1010 ز- 0.11100

تدريب (2-2) :

عين الأعداد الثنائية المكافئة للأعداد العشرية التالية :

أ- 37 ب- 255 ج- 15 د- 26.25

هـ- 11.75 و- 0.1 ز- 10.01

تدريب (2-3) :

إجرى عمليات جمع الأعداد الثنائية التالية :

أ- 1011 + 1101

ب- 1010.1101 + 101.01

تدريب (2-4) :

إجرى عمليات طرح الأعداد الثنائية التالية باستخدام طريقة مكمل الإثنين :

أ- 01000 مطروح منه 01001 ب- 01100 مطروح منه 00011

ج- 0011.1001 مطروح منه 0001.1110

تدريب (2-5) :

حول الأعداد الأتية من نظام الأعداد العشرى إلى نظام الأعداد الثمانى، ثم إلى نظام الأعداد الثنائى، وقارن بين الأعداد الثنائية التى تم الحصول عليها، والأعداد الثنائية التى يتم الحصول عليها عند التحويل المباشر من النظام العشرى إلى النظام الثنائى:

أ- 375 ب- 249 ج- 27.125

تدريب (2-6) :

حول الأعداد الأتية من نظام الأعداد الثنائى إلى نظام الأعداد الثمانى، ثم إلى نظام الأعداد العشرى، وقارن بين الأعداد فى نظام الأعداد العشرى التى تم الحصول عليها والأعداد فى نظام الأعداد العشرى التى يتم الحصول عليها عند التحويل المباشر من النظام الثنائى إلى النظام العشرى:

أ- 11011100.101010 ب- 01010011.010101 ج- 10110011

تدريب (2-7) :

حول الأعداد بنظام الأعداد العشرى فى تدريب (2-5) إلى نظام الأعداد السداسى عشر ثم إلى النظام الثنائى للأعداد، وقارن بين الأعداد الثنائية التى تم الحصول عليها والأعداد الثنائية التى يتم الحصول عليها عند التحويل المباشر من النظام العشرى إلى النظام الثنائى.

تدريب (2-8) :

حول الأعداد الثنائية فى تدريب (2-6) إلى نظام الأعداد السداسى عشر، ثم إلى نظام الأعداد العشرى، وقارن بين الأعداد العشرية التى تم الحصول عليها والأعداد العشرية التى يتم الحصول عليها عند التحويل المباشر من النظام الثنائى إلى النظام العشرى.

تدريب (2-9) :

مطلوب تشفير الأعداد العشرية التالية باستخدام الشفرة BCD :

أ- 46 ب- 327.89 ج- 20.305

تدريب (2-10) :

مطلوب تشفير الأعداد العشرية فى التدريب السابق باستخدام شفرة Excess-3 .

تدريب (2-11) :

قم بتشفير العدد العشرى 46 باستخدام شفرة Gray .

تدريب (2-12) :

باستخدام الشفرة الداخلية 6-Bit مطلوب تشفير العبارة التالية :

P = 3 * Q

تدريب (2-13) :

قم بكتابة إسمك باستخدام الشفرة الداخلية 6-بت، مع مراعاة الفراغات أينما وجدت.

تدريب (2-14) :

إوجد عدد n-بت المستخدمة فى تشفير معلومات عدد :

أ- 56 عنصر. ب- 130 عنصر.

تدريب (2-15) :

أكتب إسمك – مشتملا على الفراغات إن وجدت – باستخدام :

أ- شفرة ASCII .

ب- شفرة EBCDIC .

ج- الشفرة الداخلية 6-بت .

د- الشفرة الداخلية 8-بت .


الفصل الثالث
أشباه الموصلات وعلاقتها بالأنظمة الرقمية

3-1 مقدمة :

فى الفصل الأول تمت مناقشة العمليات الأساسية للأنظمة الرقمية، وأنه يمكن تحقيق هذه الدوال باستخدام المفاتيح Switchs (ويقصد بالمفتاح هنا تحقيقه لخواص الفتح والغلق ، أى تحقيق المنطقين 0 و 1، والتى تتطلبها الأنظمة الرقمية)، وعند تصميم نظام رقمى مكون من مئات البوابات باستخدام المفاتيح الميكانيكية فقد يؤدى ذلك إلى عدم إمكانية تشغيل هذه المفاتيح بالكيفية المطلوبة، وحتى ولو كان عدد البوابات قليل فسوف يكون التشغيل معقد وبطئ، ومن المعروف أنه يمكن زيادة سرعة هذه المفاتيح باستخدام اللواقط Relays، إلا أنها تصبح كبيرة الحجم ويتولد منها الضوضاء الكهربية، لذا فهى تعد غير مناسبة إلا فى أنظمة القدرة العالية.

ويمكن التغلب على هذه الصعوبات باستخدام الأجهزة المصنوعة من أشباه الموصلات Semiconductors، مثل: الوصلة الثنائية p-n junction diode، ووصلة الترانزستور الثنائى القطبية Bipolar Junction Transistor (BJT)، والترانزيستورات أحادية القطبية مثل ما يسمى بـــ "ترانزيستور المعدن والأوكسيد وشبه الموصل المجالى التأثير".

Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET)، حيث يمكن استخدامها جميعا كمفاتيح، حيث تكون أكثر سرعة وأكثر مناسبة للدوائر الرقمية، بالإضافة إلى أنها تكون ذات أحجام وأوزان صغيرة وأقل تكلفة مع التوفير فى إستهلاك القدرة، وفى الحقيقة أن أشباه الموصلات قد حلت محل الصمامات المفرغة Vacuum tubes والتى كانت تستخدم كمفاتيح، والتى تم استخدامها مع الأجيال الأولى للحاسبات الرقمية.

ونتيجة للتقدم الهائل فى تكنولوجيا أشباه الموصلات فقد أصبح من الممكن تصنيع الآلاف من المكونات Components مثل الوصلات الثنائية (الدايودات) Diodes، والترانزيستورات Transistors، والمقاومات Resistors، والمكثفات Capacitors على شرائح صغيرة من عنصر السيليكون، ومما يسمح بإمكانية عمل دمج وتصنيع دوائر كهربية كاملة على شريحة صغيرة من السيليكون، وتعرف هذه الأجهزة الناتجة بالدوائر المتكاملة Integrated circuits (IC's) ، والتى تتمتع بمميزات كبيرة

عن الدوائر العادية من حيث صغر الحجم وقلة الوزن وقلة القدرة المستهلكة والتكلفة الرخيصة وسرعة التشغيل العالية، بالإضافة إلى الإعتمادية العالية، ويتم تصنيع عدد كبير من هذه الدوائر على شريحة واحدة تؤدى نفس الغرض الذى يمكن الحصول عليه عند القيام بتنفيذ عدد من الدوائر المحددة، بالإضافة إلى تحقيق الإقتصاد فى الحجم والوزن والتكلفة.

ولقد كان للتقدم المذهل والتطوير الكبير فى تكنولوجيا أشباه الموصلات والدوائر المتكاملة ماجعل من الممكن تصنيع الآلات الحاسبة الإليكترونية وساعات اليد الرقمية والحواسب الدقيقة Microcomputers على شريحة واحدة لاتزيد مساحتها عن بضعة ملليمترات مربعة، وعلى سبيل المثال فإن المعالج الدقيق طراز Intel's 8086 بتكنولوجيا 16–بت والمنتج سنة 1979 يحتوى على حوالى 29,000 ترانزيستور على شريحة $6 \times 6\ mm^2$، كما أن الطراز Pentium II المنتج سنة 1997 يتكون من حوالى 7.5 مليون ترانزيستور.

3–2 أشباه الموصلات :

من المعروف أن سريان التيار الكهربى خلال المواد يحدث نتيجة لسريان الإليكترونات، كما أنه معروف أيضاً أن التوصيلية الكهربية Conductivity للمادة تتناسب مع كثافة الشحنات الحرة الحاملة (أى عدد الإليكترونات الحرة فى المتر المكعب) حيث يصل عدد هذه الشحنات الحرة فى المواد الموصلة مثل النحاس والفضة إلى حوالى 10^{28}، بينما يصل هذا العدد فى المواد العازلة مثل الخشب والبلاستيك إلى حوالى 10^{7} .

ويوجد قسم ثالث من أنواع الموصلات يعرف بـ"أشباه الموصلات" Semiconductors، وهى مواد تتراوح قدرتها التوصيلية بين القدرة التوصيلية للمواد الموصلة والقدرة التوصيلية للمواد العازلة، ومن أمثلة هذه العناصر: السليكون والجيرمانيوم، وهى عناصر رباعية التكافؤ الكيميائى والتى يمكن إعتبارها من أهم عناصر أشباه الموصلات النقية المستخدمة فى الأجهزة الإليكترونية، والتى سيتم مناقشتها هنا باختصار.

فكما قلنا أن هذه العناصر رباعية التكافؤ الكيميائى، أى أن لكل ذرة من ذراتها 4 إليكترونات فى الغلاف الخارجى تعرف بإليكترونات التكافؤ، إلا أن هذه الإليكترونات تكون غير حرة الحركة كما فى المواد الموصلة، وتتحد مع إليكترونات التكافؤ فى الذرات المجاورة مكونة أزواج من الإليكترونات بروابط تعرف بالروابط التساهمية Covalent bonds، ومما يؤدى ذلك إلى عدم قدرة إليكترونات التكافؤ على الحركة نظرا لإرتباطها الشديد بنواتها، أما إذا أعطيت هذه العناصر طاقة على شكل حرارة أو ضوء فسوف تتكسر بعض الروابط التساهمية وتتحرر بعض الإليكترونات ويتولد مكانها ما يعرف بالفجوات Holes، ويمكن إعتبار تواجد هذه الفجوات بمثابة سريان للتيار حيث تعتبر هذه الفجوات كشحنات كهربية موجبة تتساوى قيمتها مع قيمة شحنات الإليكترونات المتحررة، ويؤدى تولد هذه الإليكترونات الحرة والفجوات إلى زيادة التوصيلية الكهربية للعنصر، وتقدر قيمة الطاقة اللازمة لكسر رابطة تساهمية فى كل من السيليكون والجرمانيوم بحوالى 1.1، و 0.72 إليكترون فولت عند درجة حرارة الغرفة على الترتيب، ويكون تركيز الإليكترونات n مساويا لتركيز الفجوات p فى شبه الموصل النقى Pure، كما يكون هذا التركيز صغيراً عند درجة حرارة الغرفة العادية.

ويمكن زيادة التوصيلية الكهربية للجرمانيوم بإضافة مقدار صغير من عنصر ثلاثى التكافؤ الكيميائى مثل الجاليوم ، أو عنصر خماسى التكافؤ الكيميائى مثل الزرنيخ وتعرف هذه العملية بعملية التطعيم Doping ، ويسمى شبه الموصل فى هذه الحالة بشبه الموصل المطعم Doped أوالغير نقى ، ويتم تصنيع أجهزة أشباه الموصلات من هذه الأنواع من أشباه الموصلات الغير نقية .

3–2–1 شبه الموصل من النوع السالب n-type :

وهى بللورة شبه الموصل الغير نقى والذى يتم فيه إستبدال بعض ذرات السيليكون أو الجرمانيوم الرباعية التكافؤ الكيميائى بذرات من عنصر خماسى التكافؤ الكيميائى (أى تحتوى ذرته على 5 إليكترونات فى غلافها الخارجى) مثل الزرنيخ، وتتكون بذلك 4 روابط تساهمية من 4 اليكترونات خارجية للسيليكون أو الجرمانيوم مع 4 إليكترونات من إليكترونات الزرنيخ الخارجية الخمسة ، بينما

يتبقى الإليكترون الخامس الخارجى من ذرة الزرنيخ الضعيف الإرتباط بالنواة ولايتطلب تحريره من البللورة سوى قدر ضئيل من الطاقة يصل إلى 0.05، و0.01 إليكترون فولت عند درجة حرارة الغرفة لكل من بللورة السيليكون أو بللورة الجرمانيوم على الترتيب، وفى النهاية نحصل على نسبة لابأس بها من الإليكترونات الحرة التى تتجول فى البللورة من موضع لآخر، ومن ثم تصبح البللورة موصلة للكهربية بدرجة أكبر، وفى هذه الحالة تكون الإليكترونات هى حاملات الشحنة الأغلبية و Majority charge carriers تسمى البللورة من هذا النوع بـــ "البللورة السالبة" n-type.

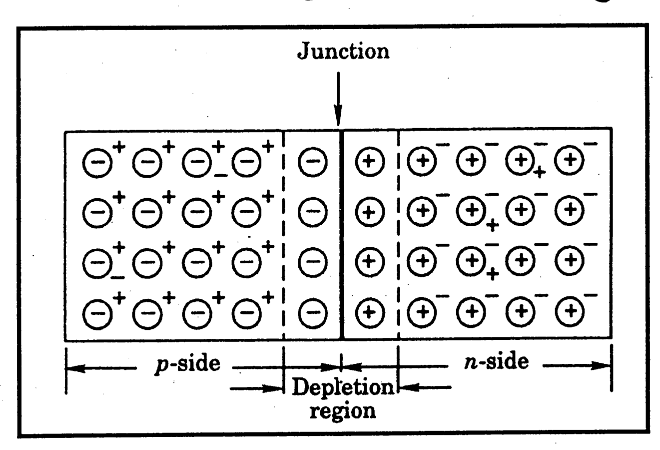
3-2-2 شبه الموصل من النوع الموجب p-type :

وهو شبه الموصل الغير نقى الذى يتم فيه إستبدال بعض ذرات السيليكون أو الجرمانيوم بذرات من عنصر ثلاثى التكافؤ الكيميائى مثل الجاليوم، وتتكون 3 روابط تساهمية من 3 اليكترونات خارجية للسيليكون أو الجرمانيوم مع 3 إليكترونات من إليكترونات الجاليوم الخارجية الثلاثة ويتبقى الإليكترون الرابع، وتظل الرابطة التساهمية الرابعة للجاليوم مع السيليكون أو الجرمانيوم غير مكتملة، فتنشأ فجوة تسمح بإنتقال إليكترون إليها من رابطة تساهمية أخرى، فتتكسر هذه الرابطة وتصبح بدورها رابطة غير مكتملة وتتولد فجوة جديدة ينتقل إليها إليكترون من رابطة أخرى، وتتكرر هذه العملية، وهكذا تبدو الفجوات وكأنها تتجول فى البللورة من موضع لآخر ومن ثم تصبح البللورة موصلة للكهربية بدرجة أكبر، وفى هذه الحالة تكون الفجوات هى حاملات الشحنة الأغلبية وتسمى البللورة من هذا النوع بـــ "البللورة الموجبة" p-type.

3-3 الوصلة الثنائية p-n :

تتكون الوصلة الثنائية p-n من بللورة من مادة شبه موصلة تشتمل على منطقتين متجاورتين أحدهما سالبة n-type والأخرى موجبة p-type كما هو موضح فى شكل (3-1)، حيث يمكن أن تنتشر الفجوات من الجانب p إلى الجانب n كما يمكن أن تنتشر بعض إليكترونات من الجانب n إلى الجانب p عبر الوصلة لتملأ بعض الفجوات فى المنطقة الموجبة على جانبى الوصلة ، مما يؤدى إلى إعادة

تجميع بين الإلكترونيات والفجوات بالقرب من الوصلة على الجانبين ، كما تتكون منطقة بالقرب من الوصلة خالية من حاملات الشحنة وتسمى منطقة الإستنفاذ Depletion region ، وتصبح كثافة الشحنات عند الوصلة مساوية للصفر بينما تصبح سالبة عند الجانب p (نظرا لإنتقال إلكترونيات إليه)، وموجبة عند الجانب n (نظرا لإنتقال الفجوات إليه) مما يتسبب فى إرتفاع شدة المجال الكهربى وبالتالى الجهد الكهروستاتيكى Electrostatic potential والذى يتغير مع إنتشار حاملات الشحنة عبر الوصلة وهذا يتسبب فى نشوء جهد يحجز مرور المزيد من حاملات الشحنة خلال الوصلة وينشأ تبعا لذلك توازن حرارى، ويتكون ما يعرف بالجهد الحاجز الذى يمنع تحرك المزيد من حاملات الشحنة عبر الوصلة، ويتم توصيل جانبى الوصلة بأطراف معدنية تسمح بتوصيل الجهد الخارجى للوصلة.



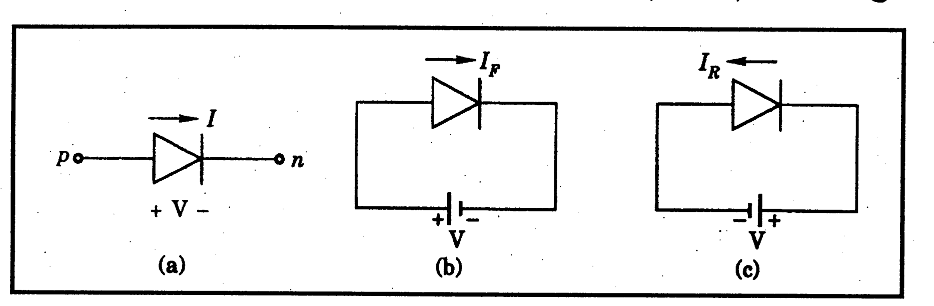
شكل (3-1) الوصلة الثنائية p-n

ويبين شكل (3-2-a) رمز الوصلة الثنائية، وحيث يتم توصيل الوصلة الثنائية فى الدائرة الكهربية بطريقتين، إما بطريقة الإنحياز الأمامى Forward - bias كما فى شكل (3-2-b)، أو بطريقة الإنحياز العكسى Reverse- bias كما فى شكل (3-2-c).

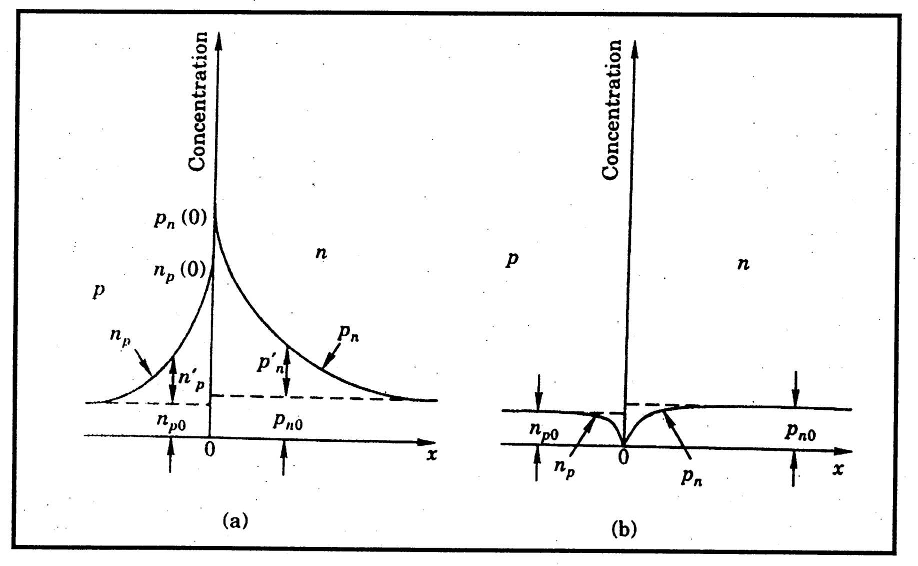
3-3-1 الانحياز الأمامى :

كما فى شكل (3-2-b)، حيث يتم توصيل الطرف الموجب للبطارية بالجانب p للوصلة الثنائية، بينما يتم توصيل الطرف السالب بالجانب n للوصلة، مما يسبب فى تحرك الفجوات فى الجانب p بعيدا عن القطب الموجب للبطارية ومقتربة من

الوصلة، وأيضا تحرك الإليكترونات فى الجانب n بعيدا عن القطب السالب للبطارية ومقتربة من الوصلة، ويؤدى ذلك إلى تقليص سمك منطقة الإستنفاذ الخالية من حاملات الشحنة، وبالتالى يقل الجهد الكهربى عند الوصلة كما يحدث إضطراب فى الإتزان الموجود من قبل، وعندئذ تعبر الفجوات خلال الوصلة من الجانب p إلى الجانب n والتى يمكن إعتبارها حاملات أقلية محقونة Injected minority carriers فى الجانب n، وبالمثل تعبر الإليكترونات خلال الوصلة من الجانب n إلى الجانب p أى فى الإتجاه العكسى والتى يمكن أيضا إعتبارها حاملات أقلية محقونة فى الجانب p مما يتسبب فى سريان تيار I_F فى الإتجاه من الجانب p إلى الجانب n، كما هو موضح فى شكل (3-2-b).



شكل (3-2) رمز وتوصيلات الوصلة الثنائية



شكل (3-3) كثافة حاملات الشحنة الأقلية فى الوصلة الثنائيةp-n

ويوضح شكل (3-3-a) توزيع حاملات الأقلية كدالة فى البعد x عن الوصلة حيث تمثل p_n، n_p و كثافة الفجوات وكثافة الإليكترونات فى الجانبين n، و p على الترتيب بينما يمثل p_{no} ، n_{po} و كثافة الفجوات وكثافة الإليكترونات فى الجانبين n، وp على الترتيب تحت ظروف التعادل الحرارى، أما حاملات الشحنة الأقلية الزائدة للفجوات وللإليكترونات فى الجانبين n، و p فتمثلها p'_n وn'_p، والتى تقل كلما إبتعدنا عن الفاصل حيث تبلغ الكثافة أقصاها عند الوصلة ، وتقل تقريبا كدالة أسية مع المسافة x.

3-3-2 الإنحياز العكسى :

كما فى شكل (3-2-c) يتم توصيل الطرف السالب للبطارية بالجانب p للوصلة الثنائية ، بينما يتم توصيل الطرف الموجب بالجانب n للوصلة ، مما يسبب فى تحرك الفجوات فى الجانب p بعيدا عن الوصلة ومقتربة من القطب السالب للبطارية ، وأيضا تحرك الإليكترونات فى الجانب n بعيدا عن الوصلة ومقتربة من القطب الموجب للبطارية ، ومما يؤدى بالتالى إلى زيادة سمك المنطقة الخالية من حاملات الشحنة ومما يمنع من عبور الفجوات خلال الوصلة من الجانب p إلى الجانب n، وأيضا يمنع عبور الإليكترونات خلال الوصلة من الجانب n إلى الجانب p، إلا أنه يمكن عبور حاملات أقلية (فجوات من الجانب n إلى الجانبp، وإليكترونات من الجانب p إلى الجانب n)، مما يتسبب فى تولد تيار عكسى I_R فى الإتجاه كما هو موضح فى شكل (3-2-c)، وهذا التيار يكون صغيراً جداً، كما يكون فى حدود البضعة مللى أمبير فى وصلات الجرمانيوم، وفى حدود البضعة نانو أمبير فى وصلات السيليكون، وتتضاعف قيمة هذا التيار تقريبا مع كل إرتفاع فى درجة الحرارة قيمته 10 °C.

ويوضح شكل (3-3-b) توزيع حاملات الأقلية كدالة فى البعد x عن والتى تقل كلما إقتربنا من الفاصل حيث تبلغ الكثافة أدناها، بل تصل إلى الصفر عند الوصلة، أما بعيدا عن الوصلة فلا تزيد الكثافة أبدا عن قيمتها تحت ظروف التعادل الحرارى.

3-3-3 خاصية الفولت-أمبير للوصلة الثنائية :

يتم التعبير عن خاصية الفولت–أمبير V-I characteristic للوصلة الثنائية والتى يطلق عليها أيضاً "الدايود" Diode بالعلاقة التالية:

$$I = I_o \left(e^{V/\eta V_T} - 1 \right) \quad (3\text{-}1)$$

حيث : V_T مكافئ الفولت للحرارة ويعبر عنه من العلاقة :

$$V_T = KT/q \quad (3\text{-}2)$$

K .. ثابت بولتزمان ويساوى 1.381×10^{-23} J/K .

q ..الشحنة الكهربية وتساوى 1.602×10^{-19} colomb .

T .. الحرارة المطلقة بالكلفن وتساوى 300 K فى الغرفة العادية .

وبالتعويض عن القيم السابقة يكون :

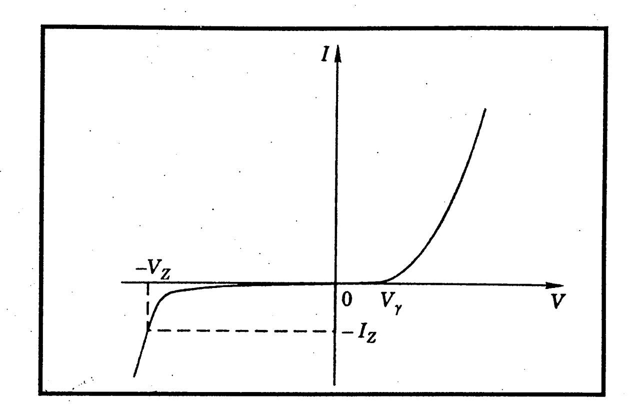
$$V_T \approx 26 \text{ mV}$$

η...تكون مساوية 1 للجرمانيوم ، وحوالى 2 للسيليكون .

I_o .. تيار التشبع العكسى Reverse saturation current ويكون صغيرا جدا .

وكما هو واضح فى شكل (3-2-a)، يكون التيار I_F موجبا عند سريانه فى إتجاه السهم أى من الجانب p إلى الجانب n، ويكون جهد الجانب p بالنسبة للجانب n مساويا للجهد V.

والعلاقة (3-1) والتى تمثل خاصية الفولت– أمبير للدايود موضحة فى شكل (3-4)، والتى منها نلاحظ أنه عندما يكون الدايود فى الإتجاه الأمامى يظل التيار I_F صغيرا جدا ويمكن إهماله حتى يصل الجهد إلى V_γ والذى يعزى إلى جهد القاطع Cut-in أو جهد العتبة Threshold (وتصل قيمة V_γ إلى حوالى 0.2 V لوصلة الجرمانيوم، وإلى حوالى 0.6 V لبللورة السيليكون)، والذى بعده يرتفع التيار بسرعة خاطفة.

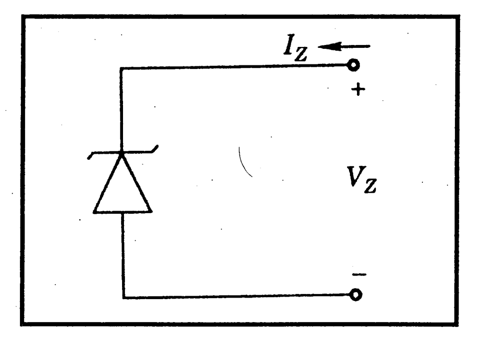


شكل (3-4) خاصية الفولت–أمبير للوصلة الثنائية

ومن هنا نرى أن الوصلة الثنائية أو الدايود جهاز أحادى الإتجاه، أى أنه يسمح بسريان التيار عند التوصيل فى الإتجاه الأمامى (أو عند تعرضه لإنحياز أمامى)، أى يكون موصلا ON ، بينما لايسمح بسريان التيار عند التوصيل فى الإتجاه العكسى (أو عند تعرضه لإنحياز عكسى) أى يكون غير موصل، أو فى حالة قطع OFF، ومن هنا يمكن أن تعمل الوصلة الثنائية كمفتاح.

3-3-4 موصل زينر الثنائى Zener diode :

من شكل (3-4) الذى يمثل العلاقة (3-1) نلاحظ سريان تيار كبير فى الإتجاه العكسى إذا زادت قيمة الجهد العكسى للوصلة عن قيمة قدرها V_Z والتى تعرف بـــ "جهد إنهيار زينر" Zener breakdown voltage، وعند عمل الموصل فى تلك الحالة Mode يظل الجهد عبر الموصل ثابتا ومساويا V_Z كما يمكن التحكم فى تيار الموصل عن طريق مقاومة خارجية، وتستخدم هذه الموصلات كمصدر للجهد الثابت، ويوضح شكل (3-5) رمز موصل زينر الثنائى.



شكل (3-5) رمز موصل زينر الثنائى

3-3-5 خصائص التغير Switching characteristics للدايودات:

فى حالة الإنحياز الأمامى للدايود p-n، يكون جهده أعلى من الجهد القاطع Cut-in voltage ببضعة عشرات من المللى فولت، كما أنه يكون ثابتاً تقريباً، وتستخدم مقاومة خارجية موصلة على التوالى مع دائرة الدايود فى تحديد قيمة التيار I_F المار، كما تكون تركيزات الشحنات الأقلية كبيرة على جانبى الوصلة كما هو موضح فى شكل (a-3-3)، وهذا الوضع يناظر عمل الوصلة كمفتاح فى وضع ON، وعلى الجانب الآخر وفى حالة الإنحياز العكسى يصبح التيار المار خلال الدايود ($I_R \approx -I_o$) وهو تيار صغير جدا يمكن إهماله، وتكون تركيزات الشحنات الأقلية على جانبى الوصلة صغيرة يمكن إهمالها كما هو موضح فى شكل (3-3-b)، وهذا الوضع يناظر عمل الوصلة كمفتاح فى وضع OFF.

زمن التغير Switching time :

إذا تغير الجهد فى دائرة الوصلة الثنائية فجأة من وضع الإنحياز العكسى إلى وضع الإنحياز الأمامى، فسوف نصل لظروف الحالة الثابتة عندما تتغير كثافة الشحنات الأقلية من الحالة الممثلة فى شكل (b-3-3) إلى الحالة الممثلة فى شكل (a-3-3)، وبالمثل إذا تغير الجهد فجأة من وضع الإنحياز الأمامى إلى وضع الإنحياز العكسى فسوف تتغير بالتبعية كثافة الشحنات الأقلية، وهذا التغير فى كثافة الشحنات الأقلية يستغرق زمنا محددا والذى يكون صغيرا جدا عندما تتغير حالة توصيل الجهد من التوصل العكسى إلى الإنحياز الأمامى مقارنة بالزمن المستغرق عند تغير كثافة الشحنات الأقلية من وضع الإنحياز الأمامى إلى وضع الإنحياز العكسى، حيث يكون فى هذه الحالة ذا معنى وأهمية وذلك يرجع إلى تراكم حاملات الشحنات الأقلية الزيادة على جانبى الوصلة تحت ظروف الإنحياز الأمامى والتى لابد من إزالتها قبل وصول الدايود لظروف الحالة الثابتة للتوصيل العكسى، وبمجرد تغير إشارة Sign جهد الإنحياز العكسى يسرى تيار كبير فى الإتجاه العكسى بسبب حاملات الشحنة الزائدة المخزنة حتى تزال كل الشحنات الزائدة، ويعرف الزمن المستغرق لإزالة هذه الشحنات بزمن التخزين Storage time (t_s)،

وفيما بعد ذلك يتغير التيار أسيا ويصل لقيمة الحالة الثابتة، كما يعرف الزمن اللازم للوصول للحالة الثابتة فى ظروف الإنحياز العكسى بزمن الإنتقال Transition time (t_r)، ويكون مجموع الزمنين ($t_r + t_s$) هو زمن التأخير الكلى ويعرف بزمن التغير الفجائى Switching time ، وهذا الزمن يحدد أقصى تردد يتغير فيه الدايود من وضع ON إلى وضع OFF، أو من وضع OFF إلى وضع ON.

ومفهوم تخزين الشحنات الأقلية وإزالتها لهو حيوى فى عملية تغيير النمط الفجائى Switching mode operation لأجهزة أشباه الموصلات، ولابد من فهمها بتمكن.

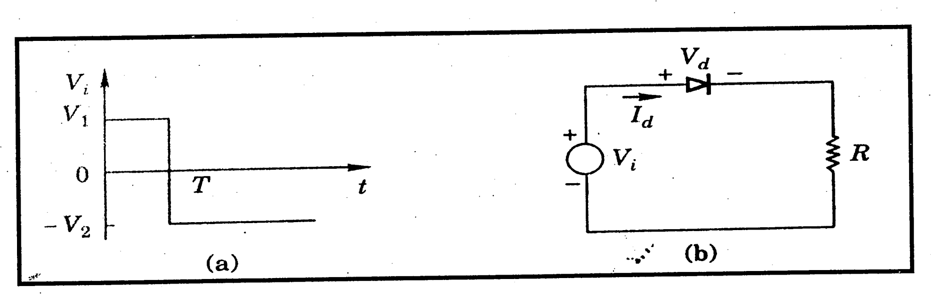
مثال (3-1) :

الشكل (a-6-3) يبين شكل الموجة Waveform المطبقة على دائرة دايود والموضحة فى شكل (b-6-3)، مطلوب رسم أشكال الموجة التالية:

أ- كثافة شحنات الأقلية التى تزيد عند الوصلة.

ب- تيار الدايود.

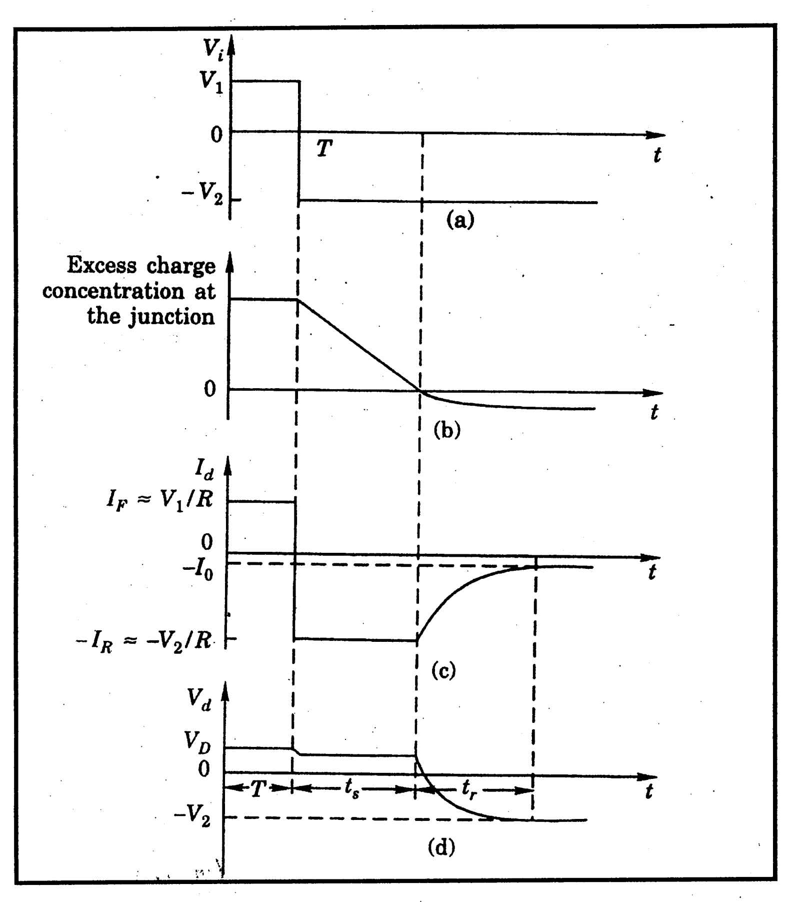
ج- جهد الدايود.



شكل (3-6) رسومات المثال (3-1)

الحل :

تكون رسوم أشكال الموجة المطلوبة كما هو مبين فى شكل (3-7).



شكل (3-7) أشكال الموجة للمثال (3-1)

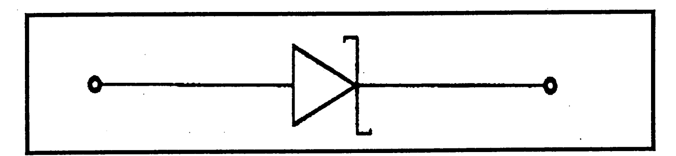
من الزمن $t = 0$، إلى الزمن $t = T$، يكون الدايود موصلة توصيلا أماميا ويكون التيار $I_F \approx V_1/R$.

وابتداء من الزمن $t = T$، يتحول جهد دخل الدايود من V_1 إلى $-V_2$، ويسرى التيار فى الإتجاه العكسى حيث ($I_d = - I_R \approx - V_2/R$)، والذى يزيل شحنات الأقلية الزائدة، وعند تمام إزالتها (والذى يستغرق الزمن t_s) يتغير التيار I_d والجهد V_d أسيا (والذى يستغرق الزمن t_r) ويصلا إلى قيم الحالة الثابتة I_o - و $-V_2$ على الترتيب، ويبين الشكل زمنى التخزين t_s والإنتقال t_r، ويلاحظ أن زمن التخزين t_s يزداد بازدياد التيار I_F ويقل بازدياد مقدار التيار العكسى I_R .

3-4 دايود شـوتكـى :

كما درسنا آنفا وجدنا أن سرعة عمل الدايود تقل بسبب تخزين حاملات الأقلية (فعند إزدياد الزمن t_s أو الزمن t_r أو كلاهما تقل سرعة العمل). ويمكن تقليل زمن التخزين باستخدام وصلة مكونة من شبه موصل ومعدن كالآتى:

الوصلة المكونة من عنصر الألومينيوم وشبه موصل نوع سالب، تؤدى إلى وصلة ثنائية تعرف باسم دايود شوتكى SCHOTTKY Diode، ورمزها كما فى شكل (3-8).



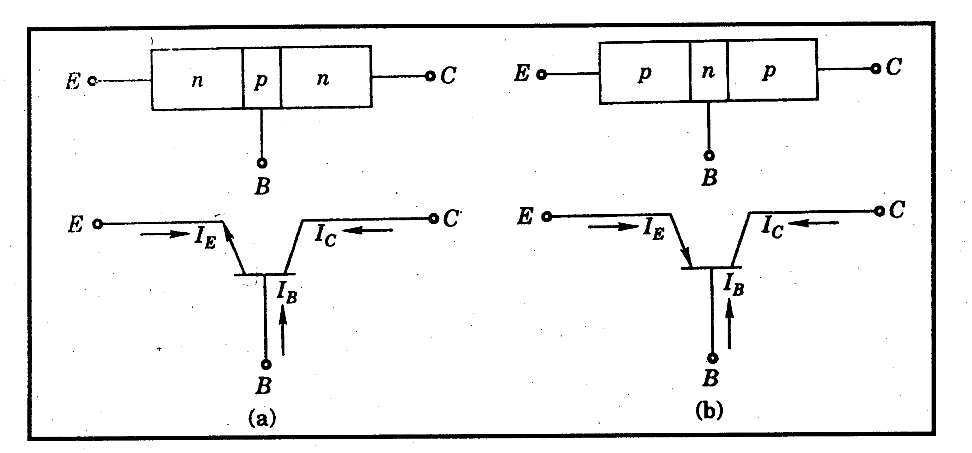
شكل (3-8) رمز وصلة سكوتكى الثنائية

وتكون خاصية الفولت–أمبير V-I characteristic مشابهه لتلك الخاصة بشبه الموصل الدايود فيما عدا أن الجهد القاطع والذى يتراوح بين 0.2 V، و 0.5 V والذى يعتمد على نوع المعدن المستخدم، ففى نوع دايود شوتكى المكونة من شبه الموصل نوع سالب وعنصر الألومينيوم يصل جهد القطع إلى 0.35 V.

وعند الإنحياز الأمامى لدايود شوتكى يتم توصيل القطب الموجب للبطارية بالمعدن، بينما يوصل القطب السالب بشبه الموصل نوع سالب، ويسرى التيار الكهربى خلال الوصلة بسبب سريان الإلكترونيات من شبه الموصل إلى المعدن حيث تدخله ولكن لايمكن لها أن تتراكم على الإلكترونيات المتوافرة والموجودة من قبل على المعدن مما لايؤدى إلى تكوين حاملات الأقليات، وعلى هذا نجد أنه عندما ينعكس جهد الوصلة لاتنشأ مشكلة إزالة شحنة الأقلية الزائدة، ومن هنا نرى أن زمن التخزين فى دايود شوتكى يكاد أن يكون مهملا وبالتالى تزيد سرعة العمل.

5-3 وصلة الترانزيستور ثنائى القطبية BJT :

وصلة الترانزيستور ثنائى القطبية Bipolar junction transistor (BJT) عبارة عن بللورة سيليكون أو جرمانيوم مكونة من:



شكل (3-9) رمز ودوائر الترانزيستور ثنائى القطبية

1- إما طبقة رقيقة من شبه موصل نوع موجب p-type محصورة بين طبقتين من شبه موصل نوع سالب n-type كلا منهما أكبر سمكا من شبه الموصل نوع الموجب، ويعرف بترانزيستور n – p – n.

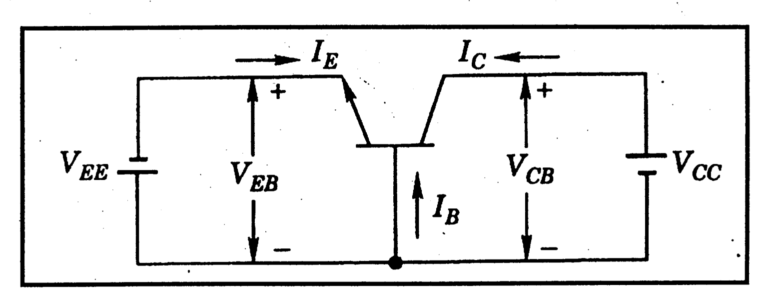
2- أو طبقة رقيقة من شبه موصل نوع سالب n-type محصور بين طبقتين من شبه موصل نوع موجب p-type كلا منهما أكبر سمكا من شبه الموصل نوع السالب، وبعرف بترانزيستور p – n - p.

ويوضح شكل (3-9) رمزى نوعى الترانزيستورين والدائرة التى تمثل كلا منهما.

ونحصل فى النهاية على جهاز ذو 3 أطراف تعرف بـــ: الباعث Emitter (E) ، والقاعدة Base (B)، والمجمع Collector (C) ، ويشير السهم المرشد عند الباعث إلى نوع الترانزيستور، ففى حالة السهم الخارج من القاعدة يعنى ترانزيستور n – p - n، وفى حالة السهم الداخل للقاعدة يعنى ترانزيستور p – n – p، ويمكن إعتبار

تيارات الباعث I_E، والقاعدة I_B، والمجمع I_C موجبة عند سريانها فى الإتجاهات كالمشار إليها فى شكل (3-9).

وسوف نتناول شرح نظرية عمل الترانزيستور طراز n-p-n، وهى تماثل نظرية عمل الترانزيستور طراز p-n-p.



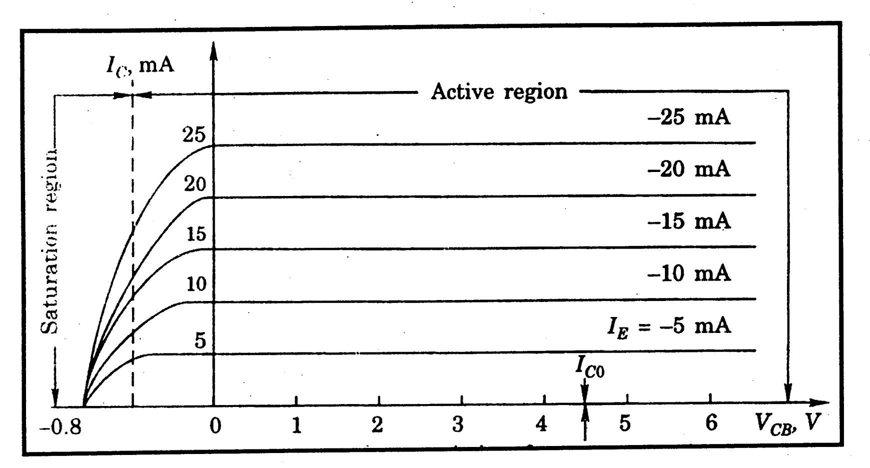
شكل (3-10) دائرة ترانزيستور n-p-n

من دائرة الترانزيستور n-p-n المبينة فى شكل (3-10)، وفيه وصلة الباعث – القاعدة E-B فى إنحياز أمامى (قطب البطارية الموجب موصل بالقاعدة p-type) بينما وصلة المجمع– القاعدة C-B فى إنحياز عكسى (قطب البطارية السالب موصل بالقاعدة p-type)، كما يكون جهد الإنحياز الأمامى V_{EB} أقل بكثير من جهد الإنحياز العكسىV_{CB}، وحيث أن وصلة الباعث– القاعدة E-B فى إنحياز أمامى فتنتشر الإليكترونات من الباعث (نوع– n) إلى القاعدة (نوع– p)، وبالمثل تنتشر الفجوات من القاعدة إلى الباعث، ومما يزيد من تيار الباعث I_E والذى يكون سالبا (فى عكس إتجاه السهم)، أما فى وصلة المجمع– القاعدة C-B والموصلة توصيل عكسيا، فإن معظم الإليكترونات المحقونة فى القاعدة وتكون بمثابة حاملات أقلية فسوف تنتقل إلى منطقة المجمع، ويكون تيار المجمع أقل قليلا من تيار الباعث، ويكون:

$$I_E = -(I_C + I_B) \qquad (3\text{-}3)$$

ويبين شكل (3-11) خصائص الخرج لتوصيل القاعدة المشتركة Common- base output characteristics.

ويعتمد عمل الترانزيستور ثنائى القطبية BJT على عملية التوصيل للوصلتين (E-B)، و(C-B)، وينقسم مدى عمله إلى 3 مناطق:



شكل (3-11) خواص خرج التوصيل بالقاعدة المشتركة CB

منطقة القطع Cut-off، والمنطقة الفعالة Active، ومنطقة التشبع Saturation.

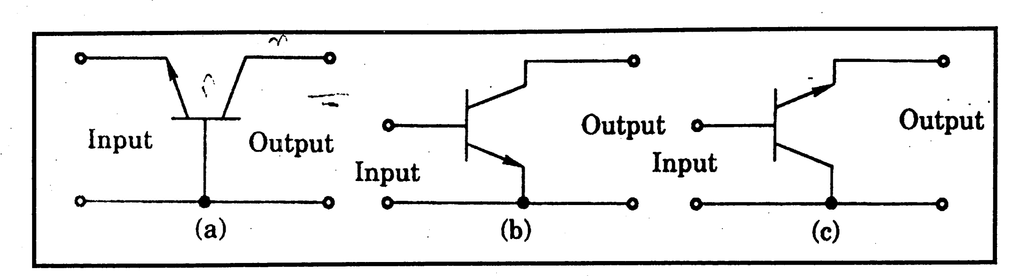
ففى حالة الإنحياز العكسى لكلتا الوصلتين فسوف يمر تيار تشبع عكسى صغير جدا خلال الوصلتين مما نعزيها إلى منطقة قطع Cut-off region وبما يناظر مفتاح غير موصل أى مفتوح Open، وهذه المنطقة تقع تحت المنحنى عند $I_E = 0$ فى شكل (3-11).

وإذا كانت كانت وصلة الباعث-القاعدة E-B موصلة أماميا وكانت وصلة المجمع-القاعدة C-B موصلة عكسيا فإن تيار الخرج (تيار المجمع) يكون خطيا معتمدا على تيار الدخل (تيار الباعث) ويكون العمل هنا فى المنطقة الفعالة وهى منطقة ذات إهتمام بسيط عند استخدام الترنتزيستور كمفتاح.

أما منطقة التشبع فهى ذات أهمية فى عمل الترانزيستور كمفتاح ففى هذه المنطقة تكون كلتا الوصلتين موصلتين توصيلا أماميا وبما يناظر مفتاح موصل، أى مغلق ON.

3-5-1 تشكيلات الترانزيستور:

يمكن أن يتخذ الترانزيستور واحدا من تشكيلات ثلاثة كما هو موضح فى شكل (3-12):



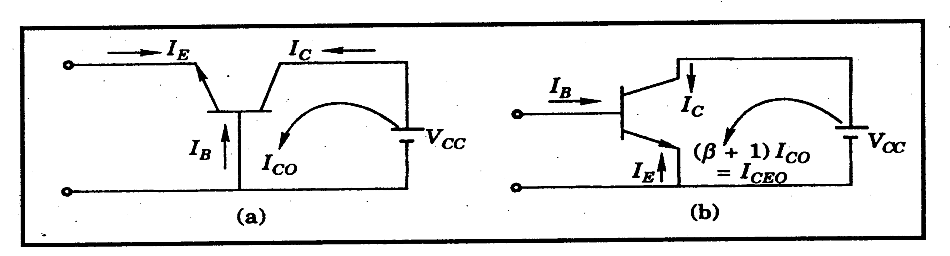
شكل (3-12) تشكيلات الترانزيستور: CB -a CE -b CC -c

1- تشكيل القاعدة المشتركة (CB) Common-Base.

2- تشكيل الباعث المشترك (CE) Common-Emitter.

3- تشكيل المجمع المشترك (CC) Common-Collector.

فمثلا فى تشكل القاعدة المشتركة (CB) الموضح فى شكل (3-13-a)، وباعتبار أن وصلة E-B دائرة مفتوحة أى أن: ($I_E = 0$)، ووصلة C-B ذات إنحياز عكسى، فيمر نتيجة لذلك تيار تشبع عكسى I_{CO} فى دائرة الخرج؛ وإذا أصبحت الوصلة E-B ذات إنحياز أمامى فسوف تسرى تيارات الباعث I_E والقاعدة I_B ، والمجمع I_C طبقا للمعادلة (3-4).



شكل (3-13) دوائر الترانزيستور بدوائر دخل مفتوحة

ويتم تعريف معامل كسب التيار α فى دائرة CB من العلاقة التالية :

$$\alpha = -(I_C - I_{CO}) / I_E \qquad (3\text{-}4)$$

وتكون α دائما موجبة، وتنحصر بين 0.9، و 0.998 كما يكون $I_C >> I_{CO}$ وعلى هذا يكون:

$$|I_C| = |I_E| \qquad (3\text{-}5)$$

مما يوضح أن تيار الخرج I_C يكون مساويا تقريبا تيار الدخل I_E، كما أن تيار القاعدة I_B يكون صغيرا جدا يمكن إهماله.

بالمثل فى تشكيل المجمع المشترك (CE) الموضح فى شكل (3-13-b)، تكون وصلة B-E دائرة مفتوحة أى أن: ($I_B = 0$)، وتكون وصلة C-B ذات إنحياز عكسى، ويمكن الحصول على تيار المجمع I_C باستخدام المعادلتين (3-3)، (3-4) كالآتى :

$$I_C = \{ \alpha /(1 - \alpha) \} . I_B + \{(1/1 - \alpha)\} . I_{CO} \quad (3\text{-}6)$$

أو :

$$I_C = \beta I_B + (\beta + 1)\, I_{CO} \quad (3\text{-}7)$$

حيث :

$$\beta = \alpha /(1 - \alpha) \quad (3\text{-}8)$$

ويكون β هو معامل كسب التيار فى دائرة CE ، وحيث أن α تكون قريبة من الوحدة ، فتكون قيمة β كبيرة .

فإذا كانت : $\alpha = 0.98$ ، فتكون :

$$\beta = 0.98 / (1 - 0.98)$$
$$= 49$$

ومن المعادلة (3-7) وحيث أن I_{CO} يكون صغيرا جدا ، فيمكن إعتبار أن :

$$I_C \approx \beta\, I_B \quad (3\text{-}9)$$

ومما يعنى أن تيار المجمع يتناسب طرديا مع تيار القاعدة .

وبالمثل أيضا يمكن إيجاد كسب التيار فى دائرة CC وذلك من المعادلتين (3-3)، (3-7)، ونجده مساوياً: (β + 1).

3-5-2 عمل الترانزيستور كمفتاح :

عند استخدام الترانزيستور كمفتاح، فيكون عمله ببساطة هو عبارة عن توصيل الحمل R_L بالمنبع V أو فصله عنه، كما هو مبين فى شكل (3-14).

شكل (3-14) عمل الترانزيستور كمفتاح

ويعمل المفتاح حينئذ كمفتاح تشغيل كهربائى حيث تطبق الكميات الحاكمة Controlling quantities على أطراف الدخل، بينما يوصل الحمل على التوالى مع المنبع على أطراف الخرج.

وفى الحالة القياسية يجب ألا يسمح الترانزيستور بمرور أى تيار خلال الحمل R_L عندما يكون مفتوحا OFF، أى يكون الترانزيستور فى منطقة القطع Cut-off، وعلى الجانب الآخر يجب أن يكون جهد الحمل مساويا للجهد V عندما يكون الترانزيستور مغلقا ON، أى يصل لمنطقة التشبع .

وعملياً فى الترانزيستورات التى تعمل كمفتاح، فإنه يمر تيار خلال الحمل ويكون صغيرا جدا وذلك فى حالة الفتح OFF، وكما يكون جهد الحمل أقل بقدر بسيط من الجهد V.

وتختلف الثلاثة أشكال السابقة من وجهة نظر استخدام الترانزيستور كمفتاح :

ففى *تشكيل CB* نجد أن تيار الدخل I_E المطلوب لتشغيل الترانزيستور كمفتاح يكون تقريبا كبيرا كتيار المجمع I_C المطلوب تغيير حالته، وفى *تشكيل CC* نجد أن جهد الدخل اللازم لتشغيل المفتاح يكون كبيرا تقريبا مثل جهد التغذية، أما فى

تشكيل CE فيكون تيار أو جهد الدخل المؤثران فى التغير Switching صغيرا جدا مقارنة بالتيار أو الجهد المطلوب تغييرهما Switched.

ومن هنا نجد أن تشكيل CE هو أحسن تشكيل مفيد، والأكثر شيوعا فى استخدام الترانزيستور كمفتاح.

3-5-3 استخدام تشكيل الترانزيستور CE كمفتاح :

يبين شكل (3-15-a) دائرة استخدام الترانزيستور فى تشكيل CE كمفتاح .

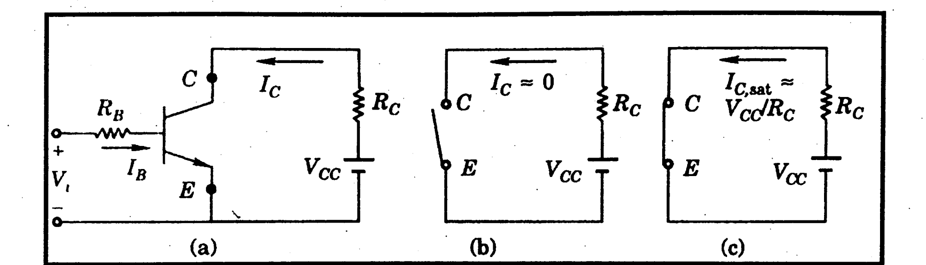
وفيه يتحكم الجهد V_i فى تشغيل المفتاح، فعندما يكون هذا الجهد أقل من جهد القاطع Cut-in للترانزيستور يكون تيار القاعدة: $I_B \approx 0$، وبالتالى يكون تيار المجمع أيضا: $I_C \approx 0$ وهذا يناظر وضع فتح (OFF) كما فى شكل (3-15-b)، ومع إزدياد الجهد V_i، يزداد تيار القاعدة I_B، وبالتالى يزداد تيار المجمع I_C ($I_C \propto I_B$)، ويمكن ازدياد تيار المجمع I_C لأقصى قيمة ممكنة $I_{C,max}$ حيث:

$$I_{C,max} = I_{C,sat} \approx V_{CC}/R_C$$

(وبفرض أن جهد المجمع-القاعدة : $V_{CE} \approx 0$) .

أما فوق ذلك فإن أى زيادة فى تيار القاعدة I_B لايقابله أى زيادة فى تيار المجمع I_C.

وأثناء إزدياد تيار المجمع I_C فإن الجهد V_{CE} يتناقص وفى النهاية يصبح أقل من جهد القاعدة-المجمع V_{BC} مما يجعل وصلة المجمع-القاعدة فى الإنحياز الأمامى، ولهذا السبب تصبح كلتا الوصلتان موصلتين أماميا وبالتالى يصل الترانزيستور لحالة التشبع، وهذا يناظر وضع قفل (ON) كما فى شكل (3-15-c)، ويكون الجهد V_{CE} محصورا بين 0.1، و 0.2 فولت لترانزيستور السيليكون، ومما يعطى جهد قيمته V_{CC} تقريبا على المقاومة R_C.



شكل (3-15) دائرة الترانزيستور CE كمفتاح وفى وضعى الفتح والغلق

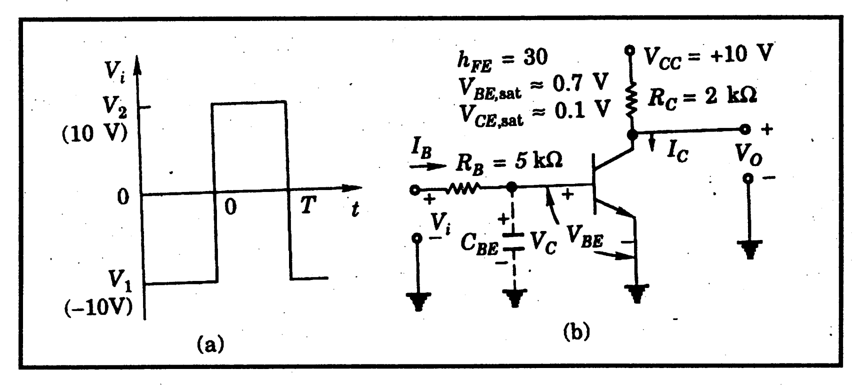
3-5-4 سرعة التغير للترانزيستور الثنائى القطبية B JT :

عندما تتغير حالة الترانزيستور من حالة الفتح (OFF) إلى حالة الغلق (ON)، يحتاج تكوين الشحنات للوصول إلى الحالة الثابتة إلى زمن، وبالمثل عند تغير حالة الترانزيستور من حالة الغلق (ON) إلى حالة الفتح (OFF) فإن الشحنات المخزنة الزائدة تحتاج أيضا فى إزالتها لبعض الوقت، ولهذين السببين يحدث تأخير زمنى فى عمل الترانزيستور كمفتاح، ويمكن شرح هذه التأخيرات الزمنية أكثر مع المثال التالى.

مثال (3-2) :

ناقش الإستجابة لشكل الموجه الموضحة فى شكل (3-16-a) لدائرة الترانزيستور الذى يعمل كعاكس والموضح فى شكل (3-16-b) .

الحل :



شكل (3-16) الترانزيستور كعاكس

طبقا لشكل الموجة وعندما يكون $V_i = -10V$: تكون وصلة القاعدة–الباعث (BE) فى الإنحياز العكسى ، ويكون الترانزيستور فى وضع القطع Cut-off وبالتالى يكون $I_B \approx 0$ ، و $I_C \approx 0$ ، وأيضا $V_o = V_{CC}$ كما تشحن السعة الإنتقالية C_{BE} بشـــحنة - 10 V.

وعند الزمن $t = 0$ ، يتغير جهد الدخل عند القاعدة ولكنه لايتغير لحظيا وإنما يتغير أسيا بثابت زمنى مقداره ($= R_B C_{BE}$) حتى يصل إلى جهد الحالة الثابتة + 10V .

وبمجرد وصول جهد القاعدة–الباعث V_{BE} لجهد القاطع للترانزيستور يصبح موصلا ، كما يسبب الإزدياد فى الجهد عند القاعدة إلى ازدياد تيار القاعدة وفى النهاية يصل الترانزيستور للتشبع وبالتالى يصبح تيار القاعدة :

$$I_{B1} = (V_2 - V_{BE}) / R_B = (10 - 0.7) / 5 = 1.86 \text{ mA}$$

ويكون تيار المجمع :

$$I_{C,sat} = (V_{CC} - V_{CE,sat}) / R_C = (10 - 0.1) / 2$$
$$\approx 5 \text{ mA}$$

ويكون تيار القاعدة المطلوب لتوصيل الترانزيستور للتشبع :

$$I_{B,sat} = I_{C,sat} / h_{FE} = 5 / 30 = 0.167 \text{ mA}$$

حيث: h_{FE} ... هو معامل كسب التيار.

ومن هنا نجد أن : $I_{B1} >> I_{B,sat}$، وبالتالى يكون الترانزيستور فى منطقة التشبع، وأيضا يكون:

$$V_o = V_{CE,sat} \approx 0.1 \text{ V}$$

ويعرف الزمن اللازم لرفع تيار المجمع إلى قيمة 10% من قيمة التيار $I_{C,sat}$ بزمن التأخير Delay time t_d، كما يعرف الزمن اللازم لرفع تيار المجمع خلال المنطقة الفعالة من قيمة 10% إلى قيمة 90% من قيمة التيار $I_{C,sat}$ بزمن الصعود Rise time t_r، ويعرف مجموع الزمنين بزمن التوصيل Turn-on time (t_{ON}) حيث:

$$t_{ON} = t_d + t_r$$

وعند الزمن $t = T$ يعود جهد الدخل عند القاعدة إلى القيمة الإبتدائية - 10 V وبسبب شحنات الأقلية الزائدة المخزنة فى القاعدة فإن تيار المجمع لايستجيب فى الحال ويصبح تيار القاعدة :

$$I_{B2} = (V_1 - V_{BE}) / R_B = (-10 - 0.7) / 5 = -2.14 \text{ mA}$$

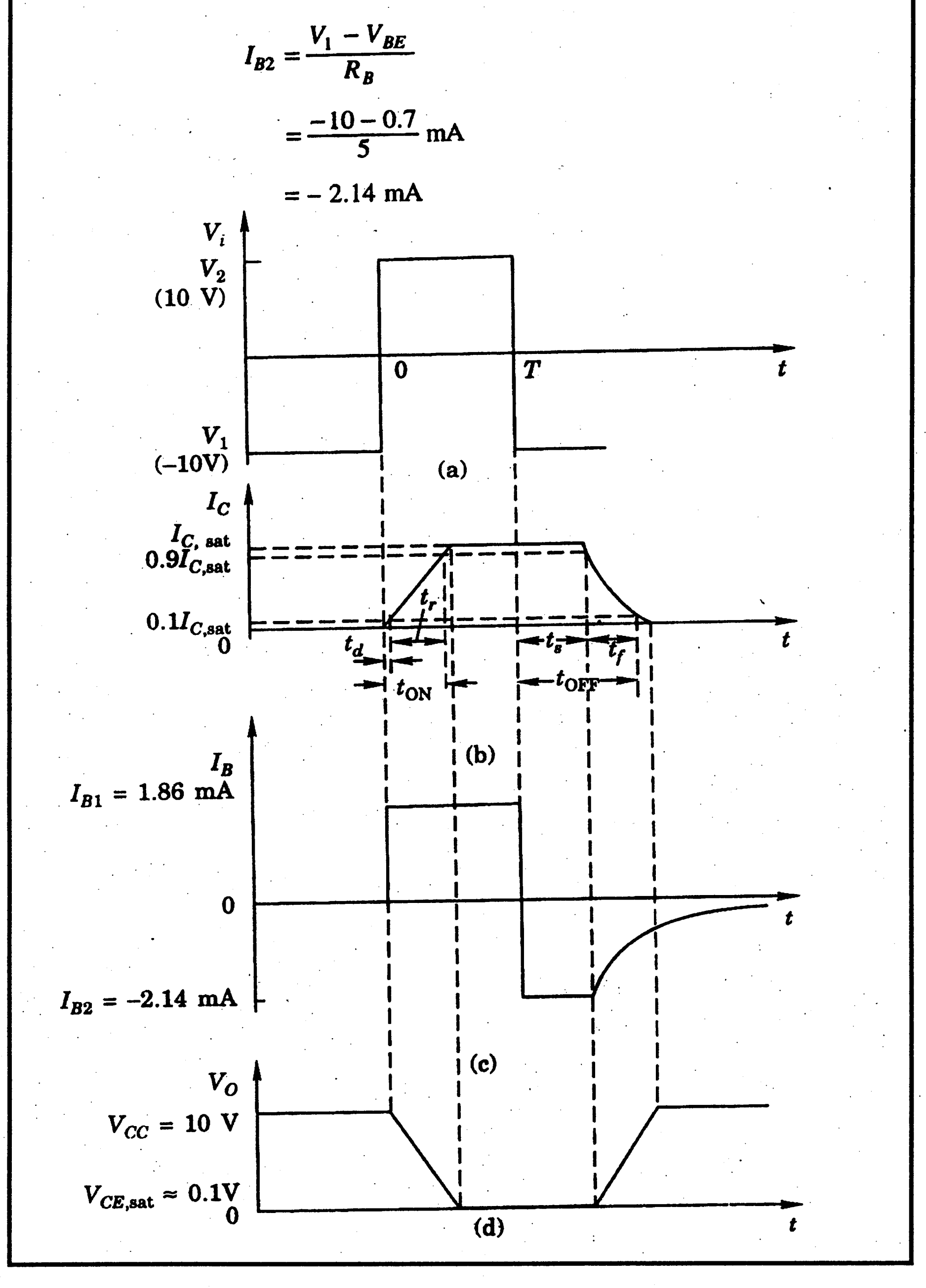
وهو مايساعد على إزالة شحنات الأقلية الزائدة المخزنة فى القاعدة .

وتعرف الفترة الزمنية المنقضية حتى ينخفض تيار المجمع I_C ويصل إلى قيمة 90% من قيمة التيار بزمن التخزين (t_s)Storage time، كما يعرف الزمن اللازم لينخفض تيار المجمع من قيمة 90% إلى قيمة 10% من قيمة التيار $I_{C,sat}$ بزمن الهبوط (t_f) Fall time، ويعرف مجموع الزمنين بزمن الفصل Turn-off time (t_{OFF}) حيث:

$$t_{OFF} = t_s + t_f$$

أما طريقة الحسابات الحقيقية للأزمنة t_d، و t_r، وt_s، و t_f فهى معقدة وخارج مجال كتابنا هذا، ويبين شكل (3-17) أشكال الموجة المختلفة.

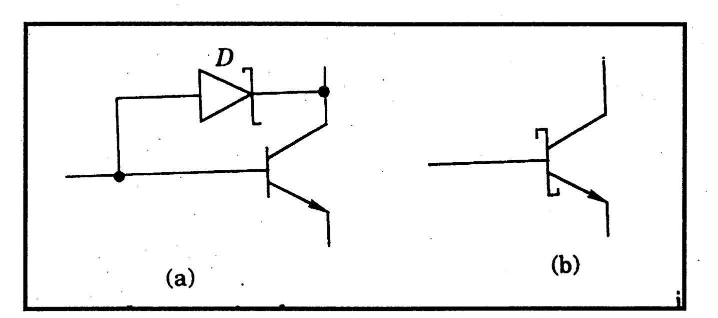
ويمكن التقليل من زمن التوصيل t_{ON} وذلك بزيادة الجهد V_2 ولكن هذا سيؤدى إلى زيادة زمن التخزين ts نتيجة للزيادة فى قيمة تيار القاعدة، إلا أنه يمكن تقليل زمن الفصل t_{OFF} بجعل قيمة الجهد V_1 أكثر سالبية، ما يتسبب فى سريان تيار قاعدة فى الإتجاه العكسى ومن هنا يقلل من الزمن المطلوب لإزالة شحنات الأقلية الزائدة المخزنة فى منطقة القاعدة.



شكل (3-17) أشكال الموجة لدائرة العاكس للمثال (3-2)

3-6 ترانزيستور شوتكى :

من أشكال الموجة فى المثال السابق يمكن التقليل بقوة من زمن التخزين وذلك بمنع الترانزيستور من الوصول إلى حالة التشبع، وواحدة من هذه الطرق التى تؤدى إلى تحقيق ذلك هو توصيل دايود شوتكى بين القاعدة والمجمع كما هو موضح فى شكل (3-18)، فعندما يكون الترانزيستور فى المنطقة الفعالة يكون دايود شوتكى موصل إنحيازا عكسيا، كما أنه يكون موّصلا عندما يهبط جهد وصلة القاعدة–المجمع إلى أقل من 0.4 V، ولايسمح لجهد المجمع للهبوط اقل من 0.4 V تحت جهد القاعدة، ومن هنا تصبح وصلة المجمع غير موصلة توصيلا أماميا بطريقة كافية وبما يمنع من دخول الترانزيستور لمنطقة التشبع.



شكل (3-18) ترانزيستور سكوتكى

3-7 ترانزيستور مجال التأثير FET:

الترانزيستور مجالى التأثير Field-Effect Transistor (FET) هو نوع آخر من أشباه الموصلات الثلاثية الأطراف والتى يمكن استخدامها كمفاتيح تشغيل سريعة.

ويعتمد تشغيل هذه الأجهزة على التحكم فى سريان حاملات الشحنات الأغلبية Majority charge carriers بواسطة مجال كهربى، وفى هذا النوع من الأجهزة يرتبط نوع واحد فقط من حاملات الشحنة فى سريان التيار فيمكن إعتبارها أجهزة أحادية القطبية Unipolar devise ، على النقيض من الأجهزة الثنائيية القطبية BJT حيث يشارك نوعى حاملات الشحنة فى سريان التيار.

ويوجد نوعان من ترانزيستورات مجال التأثيرى :

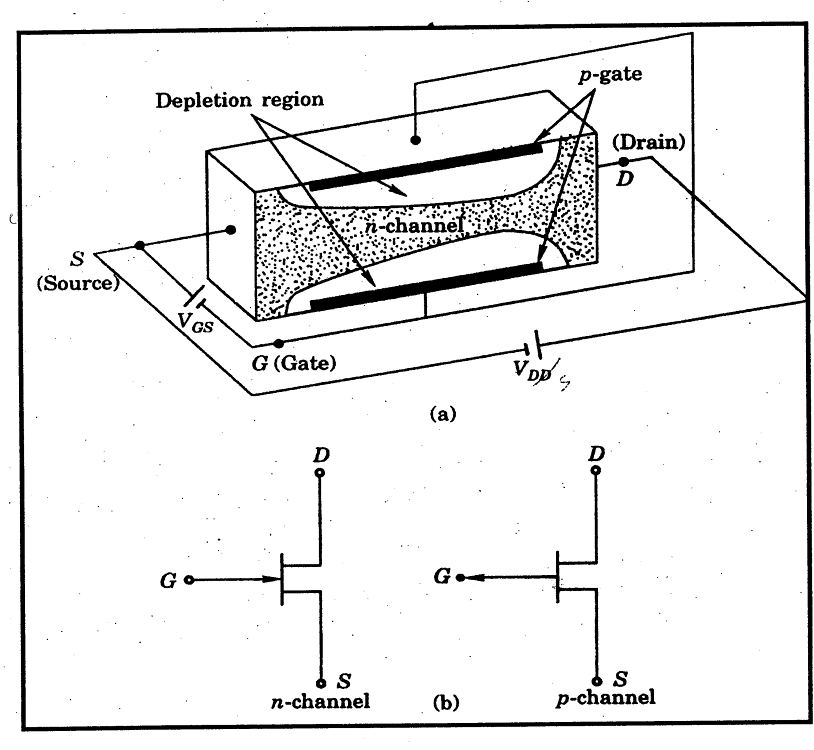
1- وصلة ترانزيستور مجال التأثيرى Junction Field-Effect Transistor JFET

2- ترانزيستور مجالى التأثير المعدن والأوكسيد وشبه الموصل

Metal-Oxide-Semiconductor Field-Effect TransistorMOSFET

3-7-1 وصلة ترانزيستور مجالى التأثير :

تتكون غالبا من قضيب من مادة السيليكون من نوع سالب n-type، أو نوع موجب p-type، ويتم توصيل نهايتى القضيب بنهايتين معدنيتين تعرفان بـــ: المنبع Sourse، والمصب Drain، وبتوصيل نهايتى القضيب بمصدر جهد يمر التيار الكهربى على طول القضيب، وعندما يكون مرور التيار بسبب سريان الإليكترونات تسمى التركيبـــــــة n-channel، بينما تسمى التركيبة p-channel عندما يكون مرور التيار بسبب سريان الفجوات.



شكل (3-19) وصلة ترانزيستور مجالى التأثير

وفى التركيبة n-channel يتم مزج شوائب من النوع p-type بين المنبع والمصب فتتكون وصلة ثنائية p-n وتوصل المادة p بنهاية معدنية تعرف بـــ: البوابة Gate.

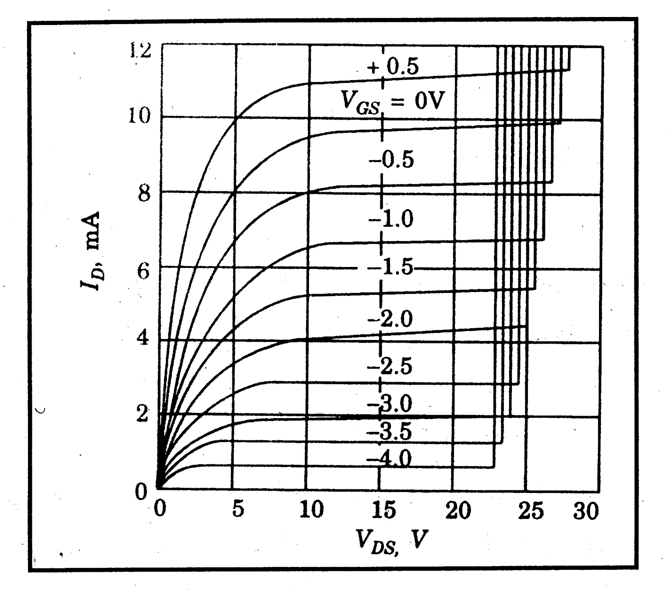
ويتم التحكم فى سريان التيار خلال الدايود p-n من خلال مجال كهربى. ويوضح شكل (3–19-a) التركيبة n-channel لوصلة ترانزيستور مجالى التأثير، كما يوضح شكل (3-19-b) رموز نوعى وصلة ترانزيستور مجالى التأثير المستخدمة فى الدوائر.

فنفرض مثلا أن جهد البوابة-المنبع ($V_{GS} = 0$)، وجهد المصب-المنبع (V_{DS}) منخفض فبناء على ذلك يصبح سمك القناة تقريبا غير منتظم بين المنبع والمصب (أى أن منطقة الإستنفاذ Depletion region تكون صغيرة جدا) وهنا يعمل الجهاز كمقاومة أومية ، ومع إزدياد الجهد V_{GS} يزداد تيار القناة جاعلا وصلة البوابة ذات إنحياز عكسي الذى يكون غير منتظم حيث يزداد مع الإبتعاد عن المنبع ويصل اقصاه عند المصب، وبسبب وصلة البوابة ذات الإنحياز العكسى تنتشر منطقة الإستنفاذ وتضغط على القناة والتى تكون أكثر ظهورا على مسافات أبعد من المنبع، وهذا يتسبب فى إزدياد المقاومة ويكون معدل إزدياد تيار المصب I_D مع الجهد V_{DS} أصغر، وأخيرا نصل للجهد V_{DS} الذى عنده تضيق القناة ويبدأ تيار المصب I_D فى التسطيح Level-off، أى لايكون هناك أى إزدياد فى تيار المصب I_D مهما علا الجهد V_{DS}، كما يشار إلى الجهد V_{DS} الذى يبدأ عنده تشبع تيار المصب I_D عندما يكون ($V_{GS} = 0$) بجهد التضييق Pinch-off voltage ويرمز له V_{PO}، وعلى هذا فعند تطبيق جهد V_{GS} على الدايود (البوابة-المنبع) ذات الإنحياز العكسى، فسيحدث التضييق عند قيم V_{DS} الصغيرة، كما سيكون تيار التشبع للمصب صغيرا، وعموما فإن جهد التضييق V_P لمختلف جهود V_{GS} يتم التعبير عنه بالعلاقة:

$$V_P \approx V_{PO} + V_{GS} \qquad (3\text{-}10)$$

ومن هذه المعادلة يصبح ($V_P = 0$) عندما يكون: ($V_{GS} = - V_{PO}$)، وعند هذا الجهد للبوابة، يصبح تيار المصب مساويا للصفر ويصبح الترانزيستور فى القطع، وأيضا عندما يكون: ($V_{GS} < - V_{PO}$) يصبح الترانزيستور فى القطع.

ويبين شكل (3-20) خاصية الفولت-أمبير لوصلة المصب-المنبع من ترانزيستور مجال التأثير من النوع n-channel



شكل (3-20) خاصية الفولت-أمبير لترانزيستور مجال التأثيرى من النوع n-channel

3-7-2 ترانزيستور شبه الموصل وللأوكسيد والمعدن مجالى التأثير:

وهو يشبه وصلة ترانزيستور مجال التأثيرى JFET، ويتم عمله من مادة شبه موصلة مزروع عليها طبقة رقيقة (سمكها حوالى 0.1 µm) من مادة أكسيدية مثل ثانى أكسيد السيليكون $Si\ O_2$ ومثبت عليها معدن كالألومينيوم فتتكون البوابة Gate، وتكون البوابة المعدنية معزولة عن القناة ولذا فهى تسمى ترانزيستور مجال التأثيرى ذو البوابة المعزولة Insulated Gate Field-Effect Transistor (IGFET).

ويوجد نوعان من الترانزيستور شبه الموصل والأكسيد والمعدن مجال التأثيرى MOSFET:

1- النوع التعزيز Enhancement MOSFET .

2- النوع التفريغ Depletion MOSFET .

وكما فى نوع وصلة المجال التأثيرى JFET، يمكن الحصول على النوعين n-channel، وp-channel، وتتشابه نظرية عملهما، إلا أنه يفضل أنواع أجهزة n-channel نظرا لسرعتها العالية، كما أن أنواع أجهزة p-channel لم تعد تستخدم ولايعتمد عليها، إلا أنها مفيدة جدا فى أجهزة شبه موصلات وأكسيد والمعدن المتتامة Complementary MOS (CMOS)، والتى سيتم مناقشتها لاحقا.

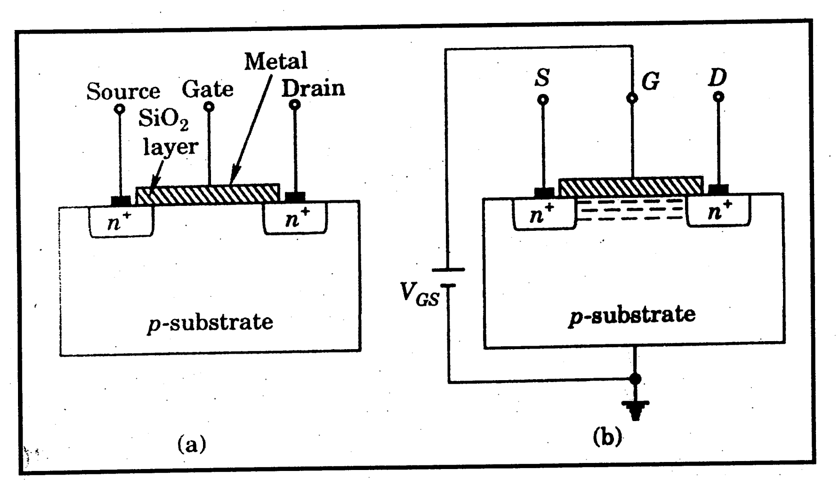
وأجهزة MOSFET تمثل نموذج للمفاتيح حيث لايمر تيار بين المصب والمنبع عندما يتساوى جهدى البوابة والمصدر، إلا أنه إذا زاد جهد البوابة بالنسبة لجهد المنبع عن حد معين فيتحول الجهاز لوضع التوصيل Turn-on.

1- النوع التعزيز Enhancement MOSFET :

ويبين شكل (3-21-a) التركيبة الأساسية لهذا النوع n-channel، حيث يتم غمس منطقتين n-type تعرفان بالمنبع S والمصب D على تركيبة من p-type مزروع عليها طبقة رقيقة من مادة ثانى أوكسيد السليكون تمثل البوابة G، ويتم أخذ نهايات توصيل طرفية معدنية للمنبع، والمصب، والبوابة.

وهنا لن تتواجد قناة بين المنبع والمصب مالم يطبق جهد موجب أكبر من الجهد القمى V_T عند البوابة G كما هو موضح فى شكل (3-21-b) ، وبسبب هذا المجال الناشئ من البوابة تنجذب الإليكترونات من التركيبة P-type لأعلى فى إتجاه البوابة بين منطقتى المنبع والمصب فتحول هذه المنطقة إلى منطقة n-type مكونة قناة من النوع n أو n-channel ، حيث تتسبب هذه القناة فى سريان الإليكترونات من المنبع إلى المصب عند تطبيق جهد موجب على المصب، ومن هنا نجد أن تطبيق الجهد الموجب على البوابة يعزز سمك البوابة ومن هنا جاءت تسمية هذا النوع بـ "النوع التعزيز".

ومع إزدياد جهد المصب يزداد تيار المصب ويؤول التشغيل كتشغيل مقاومة للجهود الصغيرة كما فى نوع وصلة الترانزيستور مجال التأثيرى JFET ، ويحدث التضييق عندما يكون الجهد V_{DS} كبيرا بالقدر الكافى والذى يقلل المجال بالقرب من المصب ليصل للصفر ومما يجعل تيار المصب I_D ثابتا نسبيا .



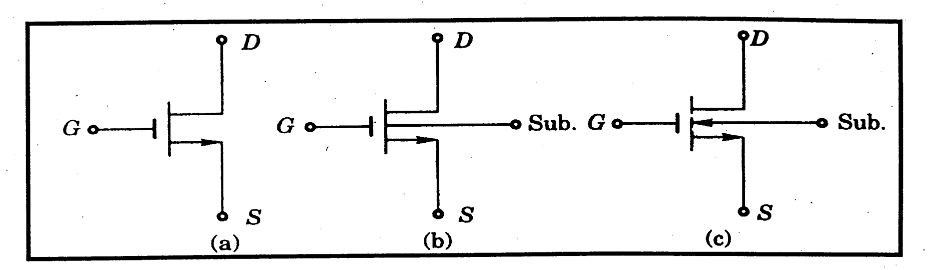
شكل (3-21) a- التركيبة الأساسية للنوع التعزيز n-channel

b- إستثارة القناه عندما : $V_{GS} > V_T$

2- النوع التفريغ Depletion MOSFET :

ويتم تصنيعه بنشر شوائب من نوع n-type بين منطقتين من النوع n-type، والتى تعمل كقناة بين المنبع والمصب، وهنا سيسرى تيار بين المصب والمنبع حتى فى حالة غياب الجهد الموجب على البوابة، كما يتم التحكم فى تيار المصب جهد سالب على البوابة والذى يتسبب فى تفريغ القناة ومن هنا جاءت تسمية هذا النوع بنوع التفريغ Depletion MOSFET، وتتشابه نظرية تشغيله بنظرية تشغيل وصلة الترانزيستور مجال التأثيرى JFET والذى تعتبر أيضا من أجهزة نوع التفريغ.

ويبين شكل (3-22) الرموز المستخدمة فى أجهزة MOSFET من النوع n-channel حيث يمثل الشكلين (3-22-a)، و(3-22-b) كلا النوعين التعزيز والتفريغ، أما الشكل (3-22-c) فيمثل بصفة خاصة نوع التعزيز، ويجب الأخذ فى الإعتبار أن الرموز المستخدمة فى أجهزة MOSFET من النوع p-channel مثل نظيرتها من النوع n-channel فيما عدا أنها تكون معكوسة السهم.



شكل (3-22) الرموز المستخدمة فى أجهزة MOSFET

3-7-3 عمل الترانزيستورات مجال التأثيرى كمفاتيح :

يمكن استخدام كلا من النوعين السابقين كمفاتيح، وكما ذكرنا أنها أجهزة أحادية القطبية أى أن التيار يمر نتيجة لسريان نوع واحد من حاملات الشحنة السائدة، كما أنها أجهزة تحكم جهدية Voltage controlled devices.

فعند استخدام وصلة ترانزيستور مجال التأثيرى JFET كمفتاح ، تكون الوصلة فى تشكيلة منبع مشترك Common Sourse (CS) مع مقاومة R_D فى دائرة المصب، كما سيوضح فى المثال (3-3)، بالمثل يوضح المثال (3-4) استخدام الترانزيستور MOSFET كمفتاح، كما يمكن استخدام الترانزيستور MOSFET كمقاومة كما سيوضحه المثال (3-5) ومنه يمكن استخدام عدد 2 من أجهزة MOSFET لعمل مفتاح يعمل أحدهما كعنصر فعال أو كقائد Driver بينما يعمل الآخر كحمل (مقاومة غير خطية).

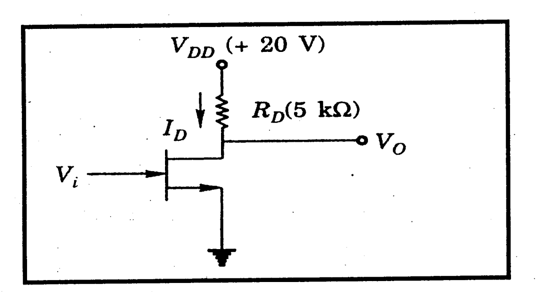
وأجهزة ترانزيستورات مجال التأثيرى FETs ليست لها مشاكل تخزين أو إزالة حاملات الشحنة الأقلية عند تتغير حالاتها من الفتح إلى القفل أو العكس، لذا فإن عملية إعادة توزيع الشحنات لاتنشأ والتى تتسبب فى التأخير الزمنى كما يحدث فى الأجهزة الثنائية القطبية، إلا أن أجهزة ترانزيستورات مجال التأثيرى FETs عند استخدامها كمفاتيح تنشأ عنها سعاويات تساهم فى التأخير الزمنى نتيجة لشحنها وتفريغها خلال مقاومة المصب عند تغيير حالات الفتح والقفل، وعامة فإن أزمنة التأخير فى حالات الفتح والقفل فى الأجهزة الأحادية القطبية تكون أعلى من مثيلتها فى الأجهزة الثنائية القطبية، إلا أن التطورات فى أجهزة شبه الموصلات الأكاسيد

والمعدن MOS جعلت من الممكن الحصول على سرعات أعلى مقارنة بسرعات الأجهزة الثنائية القطبية .

مثال (3-3) :

مطلوب تعيين جهد الخرج V_0 فى الدائرة المبينة فى شكل (3-23) فى حالتى جهد الدخل V_i: أ- مساويا: 5 V - ، ب- مساويا: 0 V .

يتم الإستعانة بخواص الخرج للترانزيستور JFET المبينة فى شكل (3-20) .

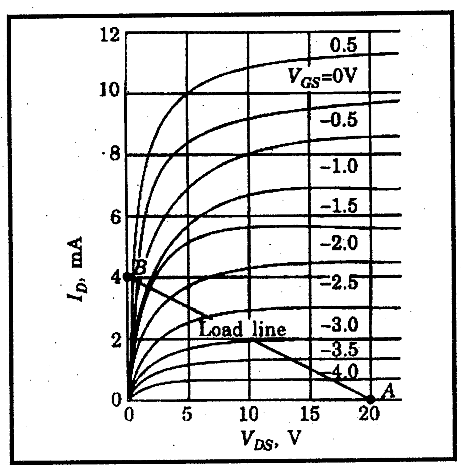


شكل (3-23) دائرة المثال (3-3)

الحل :

يتم رسم خط الحمل Load line كما هو مبين فى شكل (3-24) باعتبار أن :

V_{DD} = 20 V ، و R_D = 5 KΩ ، ومنه يكون : I_D = 4 mA



شكل (3-24) خواص الخرج لوصلة ترانزيستور مجال التأثيرى JFET

أ- عندما يكون جهد الدخل V_i = - 5 V، عندئذ يعمل الترانزيستور عند النقطة A حيث:

$V_0 \approx V_{DD}$ = 20 V و ، $I_D \approx 0$

وهى حالة تعادل حالة فصل OFF .

ب- عندما يكون جهد الدخل V_i = 0 V، عندئذ يعمل الترانزيستور عند النقطة B حيث :

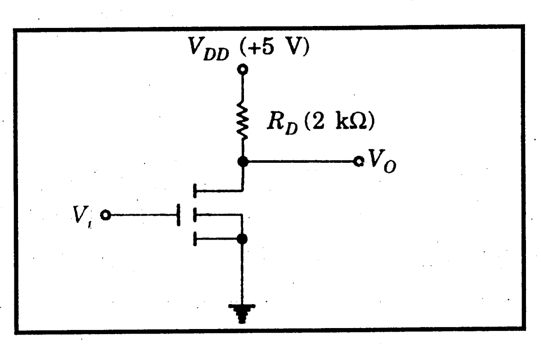
V_0 = 1 V و ، $I_D \approx$ 3.8 mA

وهى حالة تعادل حالة توصيل ON .

مثال (3-4) :

مطلوب تعيين جهد الخرج V_0 فى الدائرة المبينة فى شكل (3-25) فى حالتى جهد الدخل V_i : أ- مساويا 0 V ، ب- مساويا 5 V + .

يتم الإستعانة بخواص الخرج للترانزيستور MOSFET المبينة فى شكل (3-26).

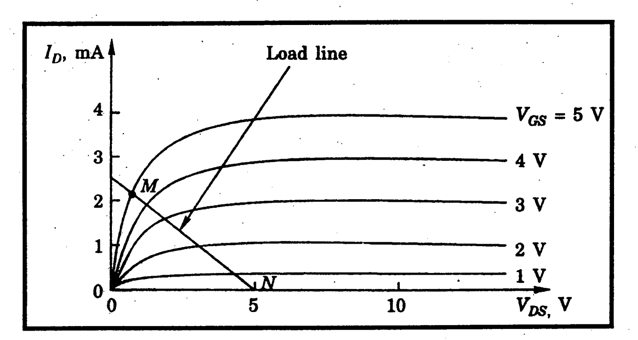


شكل (3-25) دائرة المثال (3-4)

الحل :

يتم رسم خط الحمل Load line كما هو مبين فى شكل (3-26) باعتبار أن:

V_{DD} = 5 V ، و R_D = 2 KΩ ، ومنه يكون : I_D = 2.5 mA



شكل (3-26) خواص الخرج للترانزيستور MOSFET للمثال (3-4) مع خط الحمل

أ- عندما يكون جهد الدخل $V_i = 0$ V، عندئذ يكون الترانزيستور قاطع حيث يكون الجهد بين المنبع والبوابة تحت مستوى جهد العتبه Threshold voltage، وبالتالى يكون جهد الخرج $V_O = 5$ V (النقطة N).

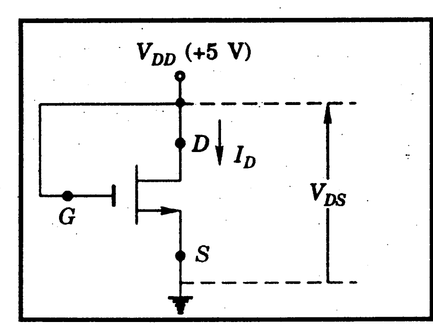
ب- عندما يكون جهد الدخل $V_i = 5$ V عندئذ يعمل الترانزيستور عند النقطة M حيث:

$$V_O \approx 0 \text{ V}$$

وهى حالة تعادل حالة توصيل ON

مثال (3-5) :

مطلوب رسم منحنى الجهد V_{DS} مقابل التيار I_D للترانزيستور نوع التعزيز Enhancement MOSFET والموصل كما هو مبين فى شكل (3-27) يتم الإستعانة بخواص الخرج للترانزيستور MOSFET المبينة فى شكل (3-26).



شكل (3-27) دائرة المثال (3-5)

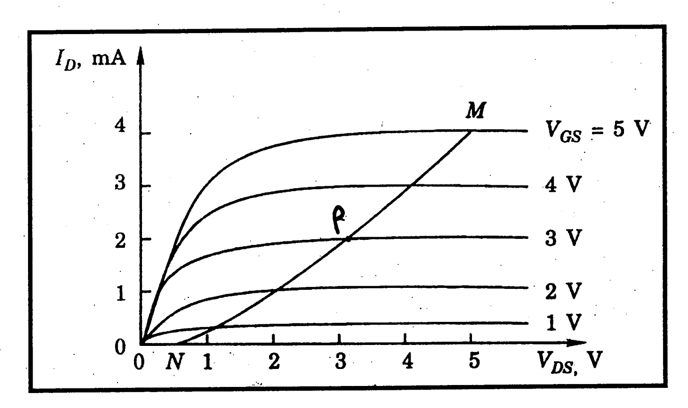
الحل :

من الدائرة نجد أن: $V_{DS} = V_{GS}$

وعلى منحنيات الخرج للترانزيستور يتم توقيع جميع النقط التى يتساوى عندها كلا من الجهدين V_{DS} و V_{GS} (يكون كلاهما مساويا 3 V عند النقطة P)، وكما هو مبين فى شكل (3-28) .

وفى النهاية نجد أن المنحنى MN يمثل المحل الهندسى لجميع النقط التى يتساوى عندها كلا من الجهدين V_{DS} و V_{GS}.

ومن المنحنى يتبين لنا أن الترانزيستور بالتوصيل المبين يعمل كمقاومة غير خطية Non-linear transistor.

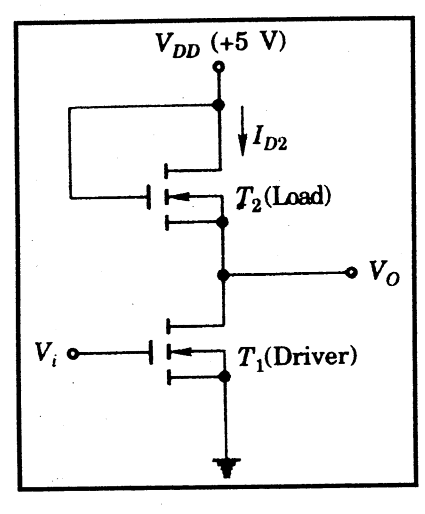


شكل (3-28) توضيح للترانزيستور الذى يعمل كمقاومة غير خطية

مثال (3-6) :

مطلوب تعيين جهد الخرج V_o فى الدائرة المبينة فى شكل (3-27) فى حالتى جهد الدخل V_i: أ- مساويا 0 V ، ب- مساويا 5 V +.

مع العلم أن الترانزيستورين T_1 و T_2 متماثلين، كما يبين شكل (3-26) خواص الخرج لكليهما.



شكل (3-29) دائرة المثال (3-6)

الحل :

من طريقة توصيل الترانزيستور T_2 نجد أنه موصل كما فى شكل (3-27)، ولهذا فهو يعمل كمقاومة غير خطية وكما هو موضح بالمنحنى MN فى شكل (3-28).

ويمكن رسم منحنى الحمل على منحنيات الخواص (I_{DS1} مقابل V_{DS1}) والمقابل للمنحنى MN باستخدام العلاقات التالية:

$$V_{DS1} = V_{DD} - V_{DS2}$$

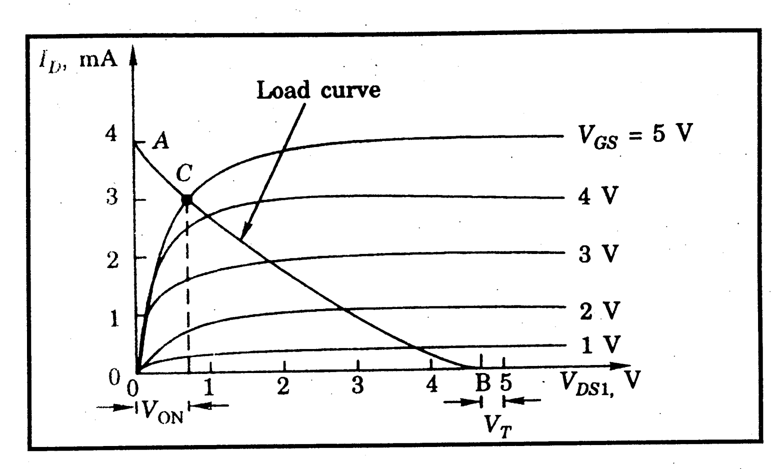
وأيضا :

$$I_{D1} = I_{D2}$$

ويبين المنحنى AB المرسوم فى شكل (3-30) منحنى الحمل .

أ- عندما يكون : $V_i = 0$ ، يعمل الترانزيستور T_1 عند النقطة B ، وهنا :

$$V_O = V_{DD} - V_T$$
$$\approx V_{DD}$$
$$= 5\ V$$



شكل (3-30) منحنيات المثال (3-6)

ب- عندما يكون : $V_i = 5\ V$ ، يعمل الترانزيستور T_1 عند النقطة C ، وهنا :

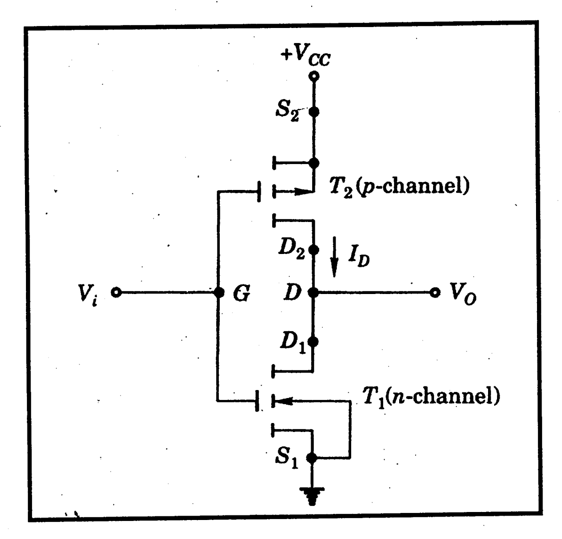
$$V_O = V_{ON}$$
$$\approx 0\ V$$

3-7-4 أجهزة شبه الموصلات والأكسيد والمعدن المتتامة :

يمكن الحصول على ما يعرف بأجهزة شبه موصلات والأكسيد والمعدن المتتامة Complementary MOS (CMOS) بتوصيل قناتين MOSFETs إحداهما قناة p-channel والأخرى قناة n-channel على التوالى، مع توصيل مصبيهما بنقطة واحدة والحصول على الخرج من خلال تلك النقطة، كما يتم تطبيق الدخل عند نقطة البوابة المشتركة كما يتبين ذلك من شكل (3-31).

ففى هذه الدائرة عندما يكون $V_i = V_{CC}$، يصبح T_1 فى وضع ON، فعند ذلك يكون $V_{GS1} > V_T$ كما يكون T_2 فى وضع فصل OFF فعندئذ يكون: $V_{GS2} = 0$، ولهذا يكون $V_o \approx 0V$، وحيث أن الترانزيستورين موصلين على التوالى، فيكون تيار المصب I_D للترانزيستور المفتوح T_2 وهو تيار صغير يمكن إهماله، ومن الناحية الأخرى عندما يكون $V_i = 0$، يصبح T_1 فى وضع فصل OFF، فعند ذلك يكون $V_{GS1} < V_T$، كما يكون T_2 فى وضع توصيل ON، فعندئذ يكون $|V_{GS2}| > |V_T|$، ولهذا يكون $V_o \approx V_{CC}$، ويكون تيار المصب I_D صغيراً للمرة الثانية حيث أنه يمثل تيار المصب

للترانزيستور T_1 المفتوح OFF، وفى الحالتين حيث يكون أيا من الترانزيستورين T_1 أو T_2 فى وضع فتح OFF تكون القدرة المستنفذة صغيرة جدا (حيث أنها تكون حاصل ضرب التيار المتسرب Leakage current فى الجهد V_{CC})، وبسبب هذه الميزة لأجهزة شبه موصلات الأكسيد والمعدن المُكملة CMOS المستخدمة كمفاتيح فإنها تكون مفضلة فى الدوائر المنطقية.



شكل (3-31) دائرة CMOS كمفتاح

* وفى نهاية الفصل يمكننا القول :

أنه تم باختصار مناقشة أساسيات تشغيل أجهزة أشباه الموصلات مثل وصلة p-n الثنائية (أو الدايود) ، ووصلة الترانزيستور ثنائى القطبية BJT ، والترانزيستور مجال التأثيرى FET ، ... إلخ ، كما تمت مناقشة عمليات تشغيل النمط الفجائية Switching mode .

وأشباه الموصلات فى أشكالها المحددة هذه لم تعد مستخدمة فى الأنظمة الرقمية المعقدة إلا ان دراستها يعتبر شئ أساسى كمدخل لفهم تشغيل الدوائر المتكاملة ICs ، كما أن المواءمة بين الدوائر المتكاملة فى العائلات المنطقية المختلفة تحتاج عادة لتلك الأجهزة المحددة .

تدريبات

تدريب (3-1) :

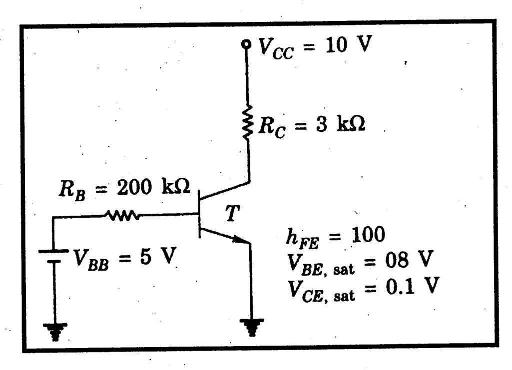
فى وصلة سيليكون ثنائية p-n، إذا كان قيمة الجهد خلال الوصلة هو: 0.7 V عند درجة حرارة الغرفة (300 K) وكانت قيمة التيار المار: 2 mA، وإذا زادت قيمة الجهد لتصبح: 0.75 V، فاحسب:

أ- تيار الدايود.

ب- النسبة المئوية لتغير تيار الوصلة.

تدريب (3-2) :

فى شكل (3-32) حدد عما إذا كان الترانزيستور فى المنطقة الفعالة، أم فى منطقة التشبع، وماهى المنطقة التى يعمل فيها عند: V_{CC} = 6 V.



شكل (3-32) دائرة التدريب (3-2)

تدريب (3-3) :

أيضا فى شكل (3-32) :

أ- إوجد قيمة R_C التى تكفى لبلوغ الترانزيستور منطقة التشبع، وماذا يحدث لو زادت هذه القيمة عن القيمة المحسوبة.

ب- إوجد قيمة R_B التى تكفى لبلوغ الترانزيستور منطقة التشبع، وماذا يحدث لو إستخدمت قيمة أقل من القيمة المحسوبة (مع إعتبار أن $R_C = 3\ K\Omega$).

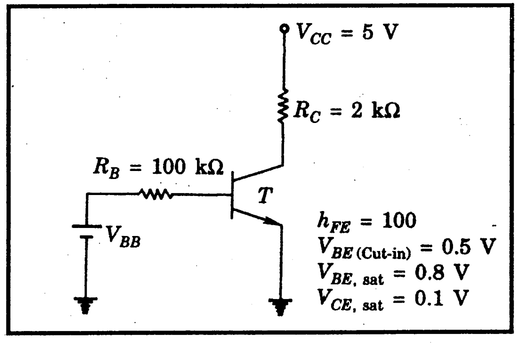
تدريب (3-4) :

فى شكل (3-33) إوجد مدى الجهد V_{BB} ليكون الترانزيستور :

أ- فى منطقة القطع Cut-off region.

ب- فى المنطقة الفعالة Active region.

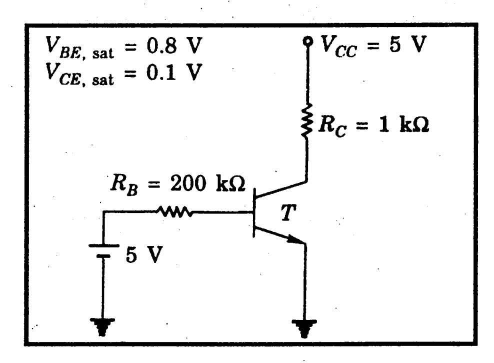
ج- فى منطقة التشبع Saturation region.



شكل (3-33) دائرة الترانزيستور للتدريب (3-4)

تدريب (3-5) :

فى الدائرة الموضحة فى شكل (3-34) ، حدد عما إذا كان الترانزيستور فى المنطقة الفعالة أو فى منطقة التشبع ، واحسب قيم التيارات I_C، I_E، و I_B.



شكل (3-34) دائرة الترانزيستور للتدريب (3-5)

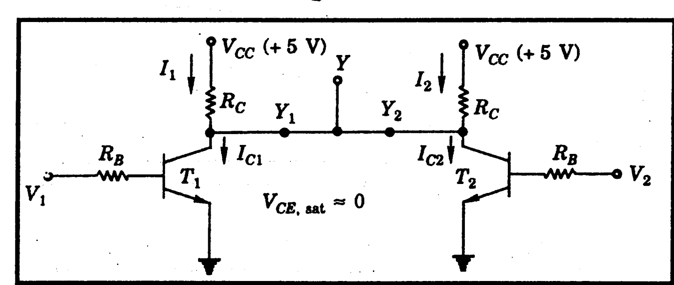
تدريب (3-6) :

فى الدائرة الموضحة فى شكل (3-35) ، تم توصيل خرج العاكسين Invertor، احسب الجهد عند النقطة Y عندما :

أ- $V_1 = V_2 = 0$ V ويكون كلا الترانزيستورين فى منطقة القطع .

ب- $V_1 = V_2 = 5$ V ويكون كلا الترانزيستورين فى منطقة التشبع .

ج- أحد الترانزيستورين فى منطقة القطع ، والآخر فى منطقة التشبع .



شكل (3-35) دائرة الترانزيستور للتدريب (3-6)

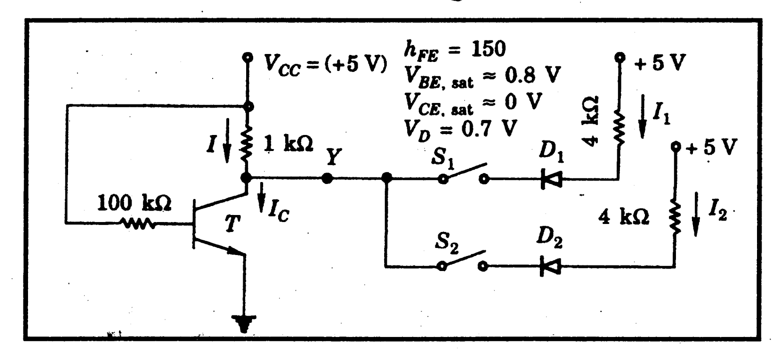
تدريب (3-7) :

فى الدائرة الموضحة فى شكل (3-36)، حدد حالة الترانزيستور عندما يكون:

أ- المفتاحان S_1، و S_2 فى وضع توصيل .

ب- المفتاح S_1 فى وضع توصيل، والمفتاح S_2 فى وضع فصل .

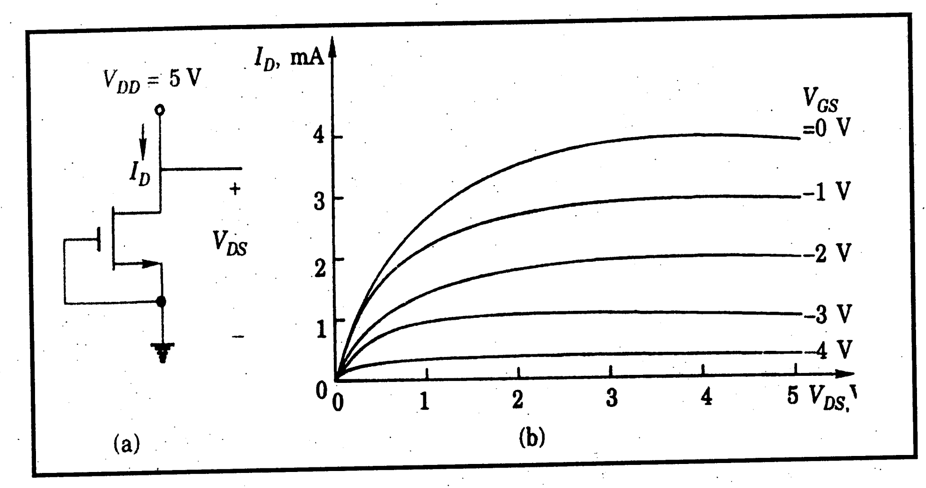
ج- المفتاحان S_1، و S_2 فى وضع توصيل.



شكل (3-36) دائرة الترانزيستور للتدريب (3-7)

تدريب (3-8) :

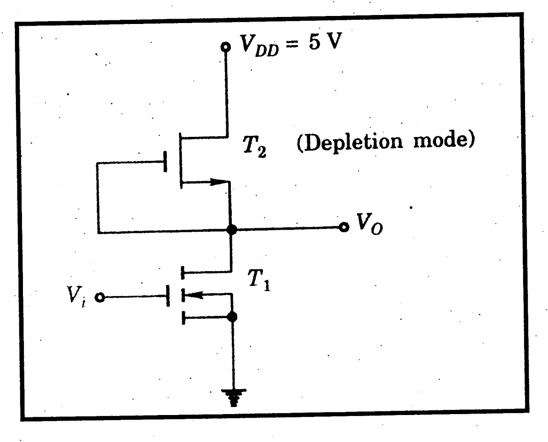
مطلوب رسم الجهد V_{DS} ، و I_D لدائرة الترانزيستور MOSFET الموضحة فى شكل (3-37-a) ، ويبين شكل (3-37-b) خواص الخرج للترانزيستور .



شكل (3-37) دائرة وخواص الخرج للتدريب (3-8)

تدريب (3-9) :

ناقش تشغيل الدائرة الموضحة فى شكل (3-38) باستخدام منحنيات خواص الخرج المرسومة فى شكل (3-26) للترانزيستور T_1، ومنحنيات خواص الخرج المرسومة فى شكل (3-37-b) للترانزيستور T_2.



شكل (3-38) دائرة التدريب (3-9)



4-1 مقدمة :

فى الفصل السابق تم دراسة خصائص التغيير الفجائية Switching characteristics ، ووجدنا أن هناك نوعين أساسيين من أجهزة أشباه الموصلات: أشباه الموصلات الأحادية القطبية، وأشباه الموصلات الثنائية القطبية، والتى على أساسها يبنى تصنيع الدوائر المتكاملة الرقمية والمتاحة تجاريا.

وقد تم تصنيع العديد من مختلف الدوال الوظيفية بأشكال مختلفة باستخدام التكنولوجيا الأحادية القطبية والثنائية القطبية، كما تم تصنيع مجموعة من الدوائر المتكاملة المناسبة والتى لها نفس المستويات المنطقية وتعطى جهوداً لتأدية وظائف منطقية مختلفة وتستخدم تشكيلات لدوائر معينة، وتعرف بما يسمى بـــ "العائلات المنطقية" Logic families.

4-1-1 العائلات المنطقية الثنائية القطبية :

تمثل المقاومات والوصلات الثنائية (والتى يمكن إعتبارها كمكثفات) والترانزيستورات العناصر الرئيسية للدائرة التكاملية الثنائية القطبية، وأساسا يوجد نوعان من التشغيل فى الدوائر المتكاملة الثنائية القطبية.

1- التشغيل المشبع Saturated :

وفيه يعمل الترانزيستور فى الدائرة المنطقية فى منطقة التشبع، وتشتمل عائلات المنطق الثنائى القطبية المشبعة على مايلى:

أ- منطق المقاومة والترانزيستور (Resistor- Transistor Logic (RTL.

ب-منطق الإقتران المباشر للترانزيستور(Direct-Coupled Transistor Logic (DCTL.

ج- منطق الحقن المتكامل (Integrated-Injection Logic (I^2L.

د- منطق الدايود والترانزيستور (Diode- Transistor Logic (DTL.

هـــ- منطق الجهد الحدى العالى (High-Threshold Logic (HTL.

و- منطق الترانزيستور والترانزيستور (Transistor-Transistor Logic (TTL.

2- التشغيل الغير المشبع Non-Saturated :

وفيه لا يتم عمل الترانزيستور فى الدائرة المنطقية فى المنطقة المشبعه، وتشمل عائلات المنطق الثنائى القطبية الغير المشبعة على مايلى:

أ- منطق ترانزيستور وترانزيستور شوتكى Schottky TTL.

ب- منطق اقتران الباعث (Emitter-coupled Logic (ECL.

4-1-2 العائلات المنطقية الأحادية القطبية :

كما درسنا فى أجهزة أشباه الموصلات والأكسيد والمعدن MOS، أنها أجهزة أحادية القطبية وفى الدوائر المنطقية MOS تُستخدم دوائر MOSFETs فقط، والتى تشمل عائلاتها على مايلى:

أ- PMOS.

ب- NMOS.

ج- CMOS.

ففى عائلة PMOS تستخدم دوائر النوع p-channel فقط، بينما تستخدم دوائر النوع n-channel فقط فى عائلة NMOS، كما يمكن الحصول على ما يعرف بأجهزة شبه موصلات والأكسيد والمعدن المتتامة (Complementary MOS CMOS) بتوصيل قناتين MOSFETs إحداهما قناة p-channel والأخرى قناة n-channel على التوالى وتصنيعها على شريحة سيليكون واحدة.

وسوف نتناول دراسة كل هذه العائلات التى تم إستعراضها.

4-2 خصائص الدوائر التكاملية الرقمية :

مع إنتشار الدوائر المتكاملة فى الأنظمة الرقمية، ومع تطور تكنولوجيا تصنيعها، أصبح من الضرورى الإلمام بالخصائص المختلفة لعائلات منطق الدوائر المتكاملة العديدة ومميزاتها وعيوبها النسبية، وتقسم هذه الدوائر المتكاملة الرقمية إما طبقا لعدد البوابات الأساسية المكونة للدائرة التكاملية والتى تحقق نفس الوظائف

المنطقية، وإما طبقا لعدد العناصر التى يتم تصنيعها على الشريحة والتى تحقق نفس الوظائف المنطقية.

ويبين جدول (4-1) تقسيم الدوائر المتكاملة الرقمية.

جدول (4-1)

تقسيم الدوائر المتكاملة	عدد البوابات الأساسية المكافئ	عدد العناصر Components
تكامل النطاق الصغير Small-Scale Integration (SSI)	أقل من 12	حتى 99
تكامل النطاق المتوسط Medium-Scale Integration (MSI)	من 12 إلى 99	من 100 إلى 999
تكامل النطاق الواسع Large-Scale Integration (LSI)	من 100 إلى 999	من 1000 إلى 9,999
تكامل النطاق الواسع جداً Very Large-Scale Integration (VLSI)	من 1,000 إلى 9,999	من 10,000 إلى 99,999
تكامل النطاق فوق الواسع Ultra Large-Scale Integration (ULSI)	من 9,999 فما فوق	من 100,000 فما فوق

وسوف نتناول العديد من خواص الدوائر المتكاملة الرقمية التى تساعد على المقارنة بين أداء بعضها البعض وهى:

1- سرعة التشغيل Speed of operation.

2- القدرة المستنفذة Power dissipation.

3- رقم الجدارة Figure of merit.

4- التفريع الخارجى Fan-out.

5- بارامترات التيار والجهد Current and voltage parameters.

6- حصانة الضوضاء Noise immunity.

7- مدى حرارة التشغيل Operating temperature range.

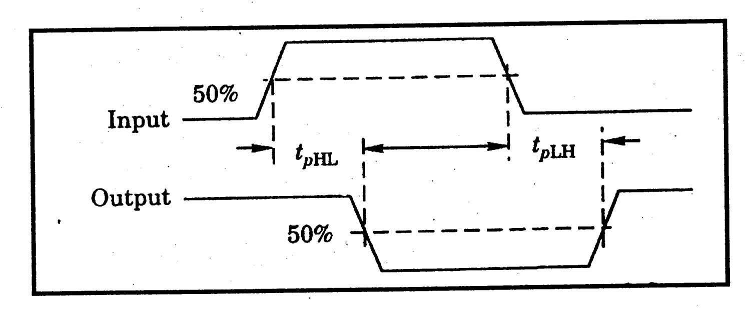
8- متطلبات قدرة التغذية Power supply requirements.

9- قدرات المرونة المتاحة Flexibilities available.

4-2-1 سرعة التشغيل Speed of operation :

تتحدد سرعة تشغيل الدائرة الرقمية بدلالة مايعرف بـــ "زمن تأخير الإنتشار" Propagation delay time.

ويمثل شكل (4-1) شكل الموجة لدخل وخرج بوابة منطقية، حيث يحسب زمن التأخير بالزمن المقاس عند قيمة 50% بين مستويى الجهد للدخل والخرج فى شكلى الموجة، وكما هو واضح بالشكل نرى أن هناك زمنى تأخير هما: t_{pHL}، و t_{pLH} حيث يكون الزمن t_{pHL} عندما يتغير الخرج من المستوى العالى HIGH إلى المستوى المنخفض LOW، بينما يكون الزمن t_{pLH} عندما يتغير الخرج من المستوى المنخفض LOW إلى المستوى العالى HIGH، ويكون زمن التأخير للبوابة المنطقية هو المتوسط لهذين الزمنين.



شكل (4-1) تعريف أزمنة تأخير الإنتشار من خلال أشكال الموجة لدخل وخرج بوابة منطقية

4-2-2 القدرة المستنفذة Power dissipated :

وهى القدرة المستنفذة فى الدائرة المتكاملة، وتقدر بالتيار I_{CC} المسحوب من منبع تغذية جهده V_{CC}، وتساوى حاصل ضرب $I_{CC} \times V_{CC}$، حيث I_{CC} القيمة المتوسطة للتيارين $I_{CC}(0)$، و $I_{CC}(1)$، حيث :

$I_{CC}(0)$: تيار المنبع عندما يكون خرج البوابة عند منطق (0).

$I_{CC}(1)$: تيار المنبع عندما يكون خرج البوابة عند منطق (1).

ويعبر عن هذه القدرة بوحدات المللى وات.

4-2-3 رقم الجداره Figure of merit :

يعرف رقم الجداره للدائرة التكاملية بـــ:

سرعة التشغيل (والمحددة بزمن تأخير الإنتشار ووحداتها النانو ثانية ns) مضروبة فى القدرة المستهلكة (ووحداتها المللى وات mW).

ومن هنا يحدد رقم الجداره بوحدات "البيكو جول" P J أى أن:

[PJ] = [n s] x [m W]

وكلما كانت قيمة هذه الخاصية صغيرة كلما كانت مرغوبة، وعند ثبات هذه القيمة فإنه إذا أريد زيادة سرعة التشغيل (أى تصغير زمن تأخير الإنتشار) فإن ذلك يناظر قدرة مستنفذة أعلى، والعكس إذا أريد تقليل سرعة التشغيل.

4-2-4 التفريع الخارجى Fan-out :

وهو يمثل عدد البوابات المتشابهة التى يمكن قيادتها ببوابة واحدة، ومن المفيد أن يكون هذا البارامتر كبيراً حيث يقلل من عدد البوابات الإضافية المطلوبة لقيادة عدد أكثر من البوابات.

4-2-5 بارامترات التيار والجهد :

من المفيد جدا فى تصميم الأنظمة الرقمية التعريف بالتيارات والجهود التالية:

1- مستوى جهد الدخل العالى High-level input voltage V_{IH}: ويكون أقل جهد دخل يمكن أن تتعرف البوابة عليه كمنطق (1).

2- مستوى جهد الدخل المنخفض Low-level input voltage V_{IL}: ويكون أقصى جهد دخل يمكن أن تتعرف البوابة عليه كمنطق (0) .

3- مستوى جهد الخرج العالى High-level output voltage V_{OH}: ويكون أقل جهد متاح عند الخرج يناظر منطق (1).

4- مستوى جهد الخرج المنخفض Low-level output voltage V_{OL}: ويمثل أقصى جهد متاح عند الخرج يناظر منطق (0).

5- مستوى تيار الدخل العالى High-level input current I_{IH}: ويكون أقل تيار والذى يتم الحصول عليه من المنبع ويناظر لمستوى جهد (1).

6- مستوى تيار الدخل المنخفض Low-level input current I_{IL}: ويكون أقل تيار والذى يتم الحصول عليه من المنبع ويناظر لمستوى جهد (0).

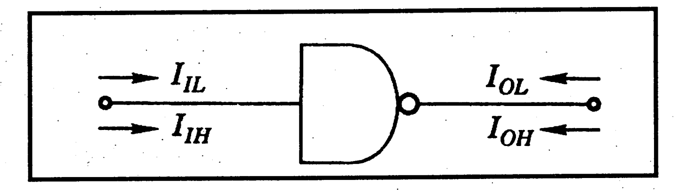
7- مستوى تيار الخرج العالى High-level output current I_{OH}: ويكون أقصى تيار للخرج ويناظر مستوى (1).

8- مستوى تيار الخرج المنخفض LOW-level output current I_{OL}: ويكون أقصى تيار للخرج ويناظر مستوى (0).

9- مستوى تيار المنبع العالى High-level supply current $I_{CC}(1)$: وهو تيار المنبع عندما يكون خرج البوابة عند منطق (1).

10- مستوى تيار المنبع المنخفض Low-level supply current $I_{CC}(0)$: وهو تيار المنبع عندما يكون خرج البوابة عند منطق (0).

ويبين شكل (4-2) إتجاهات التيارات لبوابة.



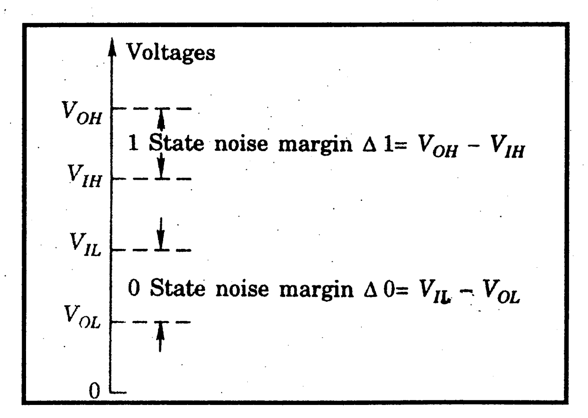
شكل (4-2) إتجاهات التيارات لبوابة منطقية

4-2-6 حصانة الضوضاء Noise immunity :

من المعروف أنه فى الدوائر الكهربية ربما تتولد جهود غير مرغوبة والمعروفة بـــ "الضوضاء" Noise وذلك بسبب المجالات الكهربية والمغناطيسية الشاردة Stray electric & magnetic fields، مما قد يتسبب فى خفض الجهد عند دخل دائرة منطقية ليكون تحت الجهد V_{IH} (وهو أقل جهد دخل يمكن أن تتعرف البوابة عليه كمنطق 1)، أورفع هذا الجهد ليكون فوق الجهد V_{IL} (وهو أقصى جهد دخل يمكن أن تتعرف البوابة عليه كمنطق 0)، وبالتالى يسبب ذلك فى التشغيل الغير مرغوب للدائرة.

ومن هنا تعزى قدرة الدائرة لتحمل إشارات الضوضاء إلى مايعرف بـــ "حصانة الضوضاء" Noise immunity، وهو من المقاييس الكمية والذى يعرف بـــ "هامش الضوضاء" Noise margin ، ويوضح شكل (4-3) هوامش الضوضاء.

وهوامش الضوضاء المحددة عالية تعزى إلى هوامش ضوضاء تيار مستمر d.c. noise margins، إلا أن الكلام الدقيق فى هذا المجال يرجع إلى أن الضوضاء هى نتاج لإشارة تيار متردد ذات سعة Amplitude وعرض نبضة Pulse width، وباختصار شديد فإن الدائرة المنطقية يمكنها تحمل ضوضاء ذات سعة عالية إذا كان زمن الضوضاء قصير جدا.



شكل (4-3) مستويات الجهد وهوامش الضوضاء للدوائر التكاملية

4-2-7 درجة حرارة التشغيل Operating temperature:

لابد من معرفة مدى درجة حرارة التشغل الملائمة للوظائف المختلفة للدوائر المتكاملة، وعامة ينحصر هذا المدى من 0°C إلى 70°C + لدوائر الأغراض الصناعية، بينما ينحصر من 55°C− إلى 125°C + لدوائر الأغراض العسكرية .

4-2-8 متطلبات قدرة التغذية power supply requirements :

لتحديد مصدر قدرة التغذية المناسب لدائرة تكاملية ما، يلزم معرفة جهود التغذية وكمية القدرة المطلوبة لعمل هذه الدائرة.

4-2-9 قدرات المرونة المتاحة Flexibilities available :

تتاح الكثير من قدرات المرونة فى مختلف عائلات المنطق الرقمية وهى تختلف باختلاف هذه العائلات، ولابد من أخذ هذه القدرات فى الإعتبار عند إختيار عائلة منطق رقمية لتنفيذ عمل محدد، ومن أمثلة هذه القدرات مايلى:

1- إتساع المتسلسلة Breadth of the series، ويعنى بها أنواع الوظائف المنطقية المختلفة المتاح تنفيذها فى هذه المتسلسلة.

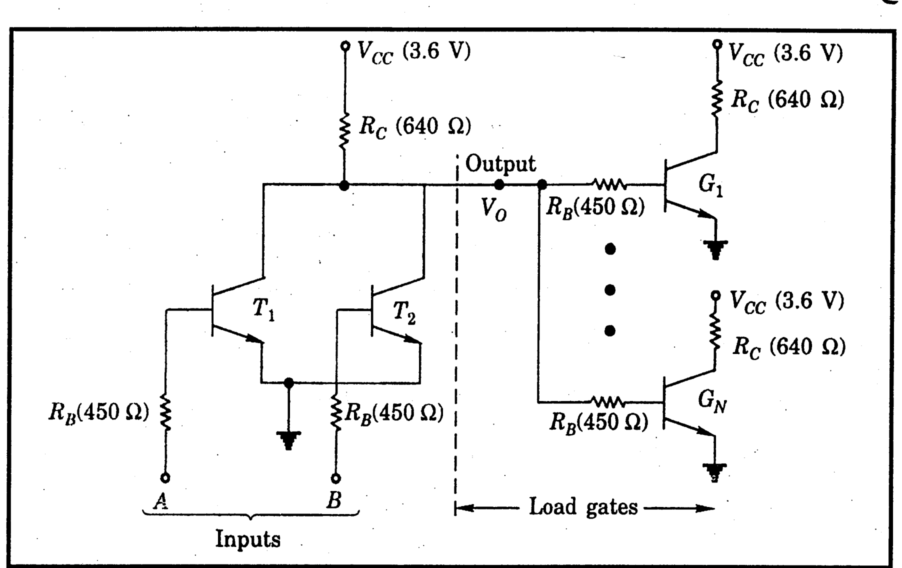
2- إمكانية توصيل المخارج ببعضها البعض للوصول إلى وظائف إضافية دون الحاجة إلى إضافة مكونات مادية أخرى.

3- إمكانية الحصول على تكامل المخرج دون الحاجة إلى إضافة دوائر عاكسة Inverters.

4-3 منطق Resistor-Transistor Logic (RTL) :

كان منطق Resistor-Transistor Logic (RTL) من الأشكال المنطقية المفضلة والشائع استخدامها قبل تطور الدوائر المتكاملة، وكان هذا الشكل المكون من مقاومات وترانزيستورات من أقدم العائلات التى تم تجميعها، وعلى الرغم من إنتهاء عمل هذا المنطق إلا أنه لبساطته نجد أنه من المفضل إعطاء بعض الإهتمام به، والتقديم من خلاله لبعض المفاهيم الهامة والمفيدة لجميع أنواع البوابات.

وتمثل البوابة NOR البوابة الأساسية للمنطق RTL، كما هو موضح فى شكل (4-4)، ولأغراض التبسيط يتكون المنطق من بوابة NOR بمدخلين تسوق عدد N من البوابات المتماثلة كما هو موضح فى الشكل (كما يمكن إمتدادها لتشمل لتشمل عدد أكبر من الدخول)، ويعرف عدد المداخل بالمصطلح Fan-in أى تفريغ الدخل.



شكل (4-4) منطق RTL NOR بمدخلين يسوق عدد N من البوابات المتشابهه

تشغيل المنطق :

يتم تطبيق الدخل المتمثل فى مستويات منطقية (1 و 0) عند الطرفين A و B، بحيث يكون دخل جهد المستوى المنخفض LOW منخفضا بالكفاية التى تسوق الترانزيستور المطبق عليه إلى القطع Cut-off، وبالمثل يكون دخل جهد المستوى العالى HIGH عاليا بالكفاية التى تسوق الترانزيستور المطبق عليه إلى التشبع Saturation.

ففى حالة تطبيق دخل جهد مستوى منخفض LOW على كلا الترانزيستورين T_1، و T_2 أى يكونا فى القطع، يصبح الخرج مستوى عالى HIGH، أما تطبيق دخل جهد مستوى عالى HIGH على أحد الترانزيستورين يقود هذا الترانزيستور إلى التشبع ويكون الخرج مستوى منخفض LOW.

ويعتبر مستوى جهد الخرج المنخفض LOW (أى $V_{CE,sat}$) فى الحدود 0.2 V، أما مستوى جهد الخرج العالى HIGH فيعتمد على عدد البوابات المتصلة بالخرج مما يتسبب فى جعل الخرج متغيرا ويحدد مايعرف بعامل Fan-out للبوابة .

إعتبارات الحمل :

إذا كانت كل الدخول للبوابة منخفضة LOW فيصبح الخرج عالى HIGH ، وبفرض أن البوابة لاتقود بوابات أخرى أى لايوجد أى حمل ، فيصبح جهد الخرج أقل قليلا من الجهد V_{CC} (نظرا لوجود فرق جهد على المقاومة R_C بسبب التيار I_{CO} للترانزيستورين).

وعند توصيل عدد N من البوابات ، فإن الحمل يكافئ مقاومة قيمتها 450/N أوم موصلة على التوالى مع منبع تغذية قيمته 0.8 V (باعتبار أن جهد القاعدة-الباعث للترانزيستور فى التشبع)، ويوضح ذلك شكل (4-5) الذى يبين الجزء المكافئ من الدائرة ، ويكون تيار القاعدة I_B لكل ترانزيستور فى الحمل كالآتى:

$$I_B = \{(3.6 - 0.8)/(640 + 450/N)\}1/N$$

$$= 2.8/(640N + 450) \qquad (4\text{-}1)$$

ويكون تيار المجمع $I_{C,sat}$ لترانزيستور الحمل فى التشبع:

$$I_{C,sat} = (3.6 - 0.2)/640 = 5.31 \text{ mA} \qquad (4\text{-}2)$$

ولابد أن تحقق القيمة N العلاقة التالية:

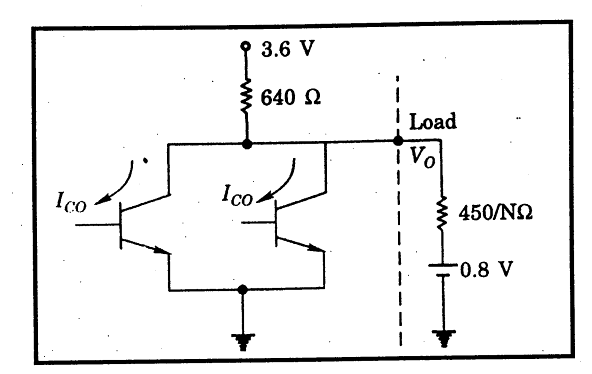
$$h_{FE} . I_B \ge I_{C,sat} \qquad (4\text{-}3)$$

فعند : N = 5 ، يكون $I_B = 0.767$ mA

وعلى هذا يجب أن يكون : $h_{FE} > 7$

حدود الضوضاء :

عندما تكون حالة الخرج منطق (0) ، يصبح عندها جهد الخرج $V_0 = 0.2$ V ، وعند زيادة هذا الجهد ليصل إلى 0.5 V (وهو جهد القاطع Cut-in للترانزيستور) فعندئذ يصبح ترانزيستور الحمل موصلا ومما يتسبب فى إصابة الدائرة بخلل Malfunction .



شكل (4-5) الدائرة المكافئة عند دخل بوابات الحمل

ومن هنا نرى أن هامش الضوضاء عند حالة الخرج للمنطق (0) لابد أن يكون فى الحدود: ($\Delta 0 \approx 0.3$ V).

أما هامش الضوضاء للمنطق (1) فهو يعتمد على عدد البوابات N المقادة، وعند:

N = 5 يكون:

$$V_0 = \frac{90}{90+640}\times(3.6) + \frac{640}{90+640}\times(0.8) = 1.14V \qquad (4\text{-}4)$$

وعند $h_{FE} = 10$، يصبح تيار القاعدة الكلى المطلوب لترانزيستورات الحمل للوصول التشبع: {5 x (5.31/10)} mA، ومنه يجب أن يكون الجهد المناظر V_0 مساويا: 1.04 V، ومن هنا نرى أن هامش الضوضاء عند حالة الخرج للمنطق (1) لابد أن يكون فى الحدود: ($\Delta 1 = 1.14 - 1.04 = 0.1$ V).

زمن تأخير الإنتشار:

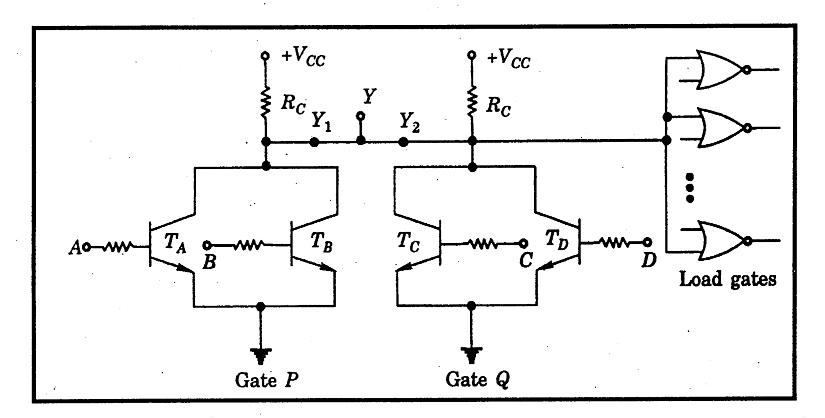
من البديهى أن يتأثر زمن تأخير الإنتشار أيضا بعدد البوابات التى يتم قيادتها ، فعندما يكون خرج البوابة فى الحالة المنخفضة LOW تصبح جميع ترانزيستورات الحمل قاطعة Cut-off، كما تؤول وصلة القاعدة-الباعث لكل هذه الترانزيستورات إلى مكثف Capacitor 'C'، وعند تغير حالة الخرج من المستوى المنخفض LOW إلى المستوى العالى HIGH نتيجةً للتغيرات فى حالة الدخل، فإن ذلك يحدث بثابت زمنى Time constant يحدد بالعلاقة:

$$\{640 + (450/N)\}\ NC = (640N + 450)\ C \qquad (4-5)$$

وتسحب المقاومة فى دائرة المجمع جهد الخرج من المستوى المنخفض LOW إلى المستوى العالى HIGH، لذا فهى تسمى مقاومة سحب Pull-up resistor.

التوصيل المنطقى :

إذا ماتم توصيل مخارج البوابات معا كما هو موضح فى شكل (4-6)، فيكون الخرج Y كالتالى:



شكل (4-6) توصيل AND لبوابات RTL تقود بوابات عديدة متشابهه

$$Y = Y_1 \cdot Y_2$$

$$= (\overline{A+B}).(\overline{C+D})$$

$$= \overline{A+B+C+D}$$

وهذا يوضح إزدياد خاصية تفريع الدخل Fan-in بهذا التوصيل.

وفى النهاية يمكن تلخيص خواص هذا المنطق بأنه:

1- ذو هامش ضوضاء ضعيفة.

2- قدرة تفريع خارجى ضعيفة.

3- سرعة منخفضة.

4- قدرة مستنفذة عالية.

4-4 منطق Direct-Coupled Tran. Logic (DCTL) :

بالرجوع إلى المنطق RTL المبين فى شكل (4-4)، وعند حذف مقاومة القاعدة R_B فإننا نحصل على مايعرف بمنطق DCTL Direct-Coupled Trans. Logic، وفيه تقترن الدخول بالقواعد مباشرة، وهنا تحقق هذه الدائرة منطق NOR موجب، ويكون الجهد $V_{BE,sat}$ والمناظر للمنطق (1) حوالى 0.8 V، بينما يكون الجهد $V_{CE,sat}$ والمناظر للمنطق (0) حوالى 0.2 V، وهنا نجد أن الفاصل بين جهدى المنطقين وهو ما يسمى بـ "تأرجح المنطق" Swing logic صغير جدا:

$$V_{BE,sat} - V_{CE,sat} = 0.6\ V$$

ومن هنا نجد أن هذه الدائرة فقيرة فى هامش الضوضاء.

وعلى الرغم من أن هذا المنطق يعد أبسط من منطق RTL، إلا أنه لم يفضل أبداً بسبب المشاكل الناجمة عما يسمى بالتيارات المتقوسة Hogging currents.

ويلزم أن تكون البوابة قادرة على قيادة ترانزيستورات الحمل إلى التشبع عند مستوى المنطق (1)، وهذا لا يمثل أى إرتباك فى الدائرة متى كانت خصائص الدخل Input characteristics لهذه الترانزيستورات متماثلة، إلا أنه لسوء الحظ ولإن هذه الخواص تختلف بسبب سماحيات التصنيع لحزم الدوائر المتكاملة المختلفة التى تعمل فى درجات الحرارة المختلفة، وبما يؤدى إلى إختلاف جهد التشبع لترانزيستورات الحمل من ترانزيستور لآخر ، فبفرض أن جهد القاعدة-الباعث المناظر للتشبع لهذه الترانزيستورات هى: 0.78V، و 0.79V، و 0.80V فولت ، فنجد أن عند دخل الترانزيستور (الذى جهد القاعدة-الباعث له 0.78V) للتشبع سوف يستهلك كل التيار المزود من البوابة القائد Driver gate، وهذا مايعرف بتيار التقوس Hogging current

5-4 منطق Integrated-Injection Logic (I^2L) :

كما ذكرنا أن منطق DCTL يعانى من تيارات Hogging currents، والتى تجعله منطق غير مناسب، إلا أنه وتأسيساً على هذا المنطق تم إنتاج منطق جديد يعرف بمنطق Integrated-Injection Logic (I^2L)، والذى يشابه فى بساطته منطق DCTL فى استخدامه لشريحة صغيرة جدا من السيليكون واستهلاكه لقدرة قليلة جدا، علاوة على سهولة تصنيعه ورخص تكلفته، ونظرًا لهذه المزايا فهو مناسب جدا للدوائر المتكاملة من نوعى تكامل النطاق المتوسط MSI والواسع LSI بينما لايُستخدم فى الدوائر المتكاملة من نوع تكامل النطاق الصغير SSI.

وتعتمد تقنية تصنيع المنطق I^2L على مفهوم دمج المكونات Merging components بمعنى أن منطقة واحدة من شبه موصل يمكن أن تمثل جزءاً لجهازين أو أكثر، وبسبب هذا النوع من الدمج (والذى يوفر مساحة فى شريحة السيليكون)، سمى هذا المنطق أيضاً بـــ: منطقة الترانزيستور المدمج Merged-Transistor Logic (MTL).

المنطق I^2L كعاكس :

يمكن تقديم شرح لتشغيل منطق I^2L من خلال دائرة العاكس المبينة فى شكل (7-4)، فعندما يكون منطق الدخل V_i منخفضاً LOW ($V_i \approx 0$)، يكون الترانزيستور T_1 مفتوحاً Off حيث أن: $I_{B1} = 0$، كما يعمل مصدر التغذية كغمس للتيار I_1، ولهذا يسرى تيار I_2 خلال قاعدة الترانزيستور T_2 فيصل به إلى التشبع، ومن هنا عندما يكون T_1 مفتوح، و T_2 مغلق يكون:

$$V_{BE2} = V_{CE1} \approx 0.8 \text{ V}$$

ومن ناحية أخرى، فعندما يكون منطق الدخل V_i عالياً HIGH ($V_i \approx 0.8$)، يصبح تيار القاعدة للترتنزيستور T_1 مكوناً من مركبتين : أولهما التيار I_1، والآخر راجع للمصدر V_i، وبالتالى يصبح الترانزيستور T_1 موصلا، ويكون:

$$V_{CE1} = V_{CE,sat} \approx 0.2 \text{ V}$$

شكل (7-4) منطق I^2L كعاكس مقترن مباشرة للمرحلة التالية

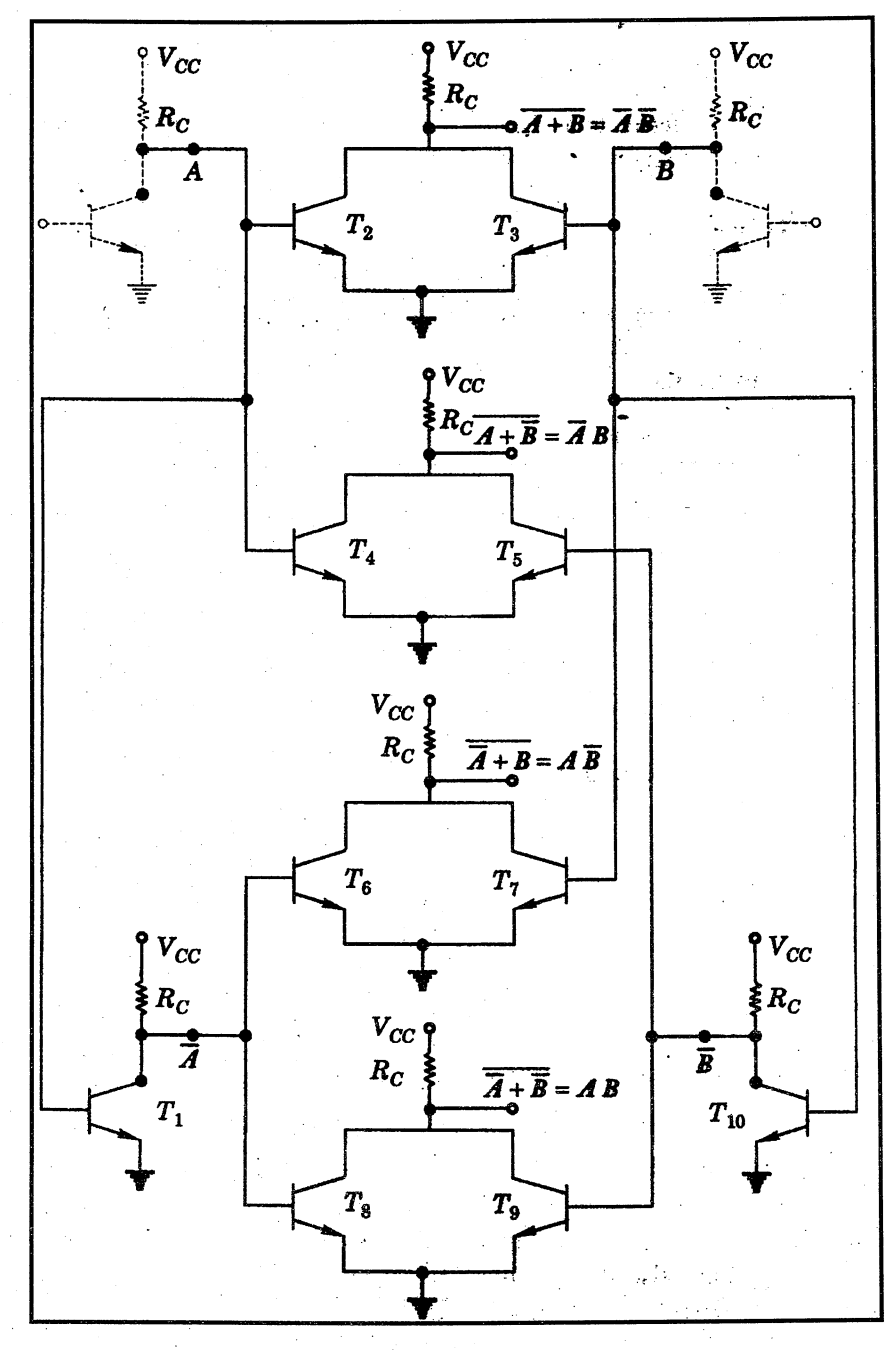
مما يوصل الترانزيستور T_2 للقطع Cut-off ويعمل الترانزيستور T_1 مصدر التغذية كغمس للتيار I_1، وهذا يُظهر أن مستوى المنطق عند V_0 يكون مكملاً لمستوى المنطق عند V_i، أى أن يعمل الترانزيستور T_1 يعمل كعاكس، وهنا يكون جهد التأرجح حوالى: 0.6 V .

هيئة المنطق I^2L :

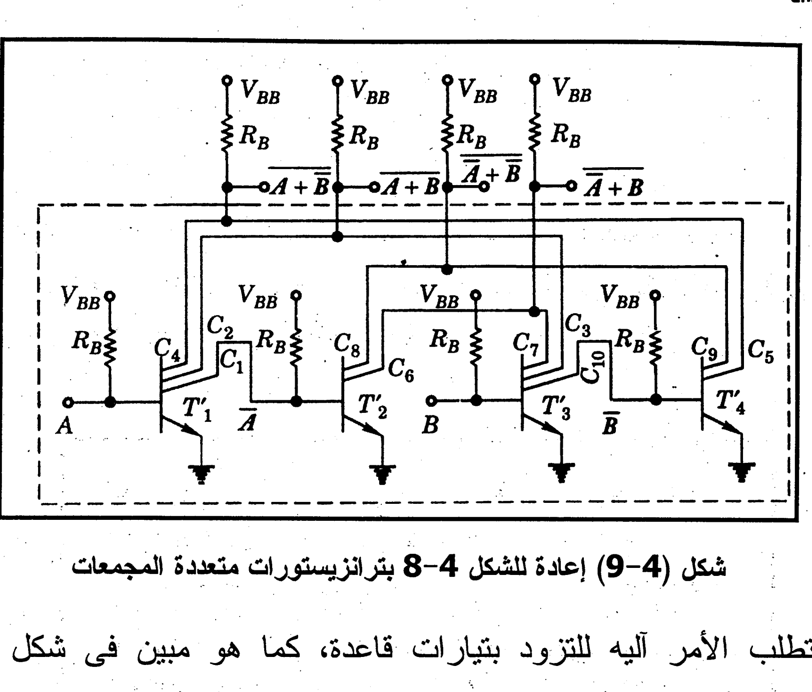
من دائرة التركيب البنائى لبوابة DCTL المبينة فى شكل (8-4) ، وفيها نفرض أن المتغيرين A ، و B يمثلان خرج لبوابتين DCTL متماثلتين ، والمطلوب الحصول على الدوال : $\overline{\bar{A}+\bar{B}}$, $\overline{\bar{A}+B}$, $\overline{A+\bar{B}}$, $\overline{A+B}$.

فمن الشكل نجد أن قواعد الترانزيستورات T_1 و T_2 و T_4 موصلة معاً ، كما أن بواعثها موصلة معاً بالأرض ، ومن ذلك يمكن إستبدال هذه الترانزيستورات T1 و T_2 و T_4 ، بترانزيستور واحد له قاعدة واحدة وباعث واحد و 3 مجمعات.

بالمثل يمكن تنفيذ ذلك مع المجموعات الأخرى من الترانزيستورات ذات القاعدة المشتركة والموجودة فى شكل (8-4)، أى (T_3 و T_7 و T_{10})، و (T_6 و T_8)، و(T_5 و T_9)، ومنه يمكن إعادة رسم الدائرة كالمبين فى شكل (9-4) .



شكل (4-8) التركيب البنائى لبوابة DCTL لتنفيذ وظائف لمتغيرين منطقيين



شكل (4-9) إعادة للشكل 4-8 بترانزيستورات متعددة المجمعات

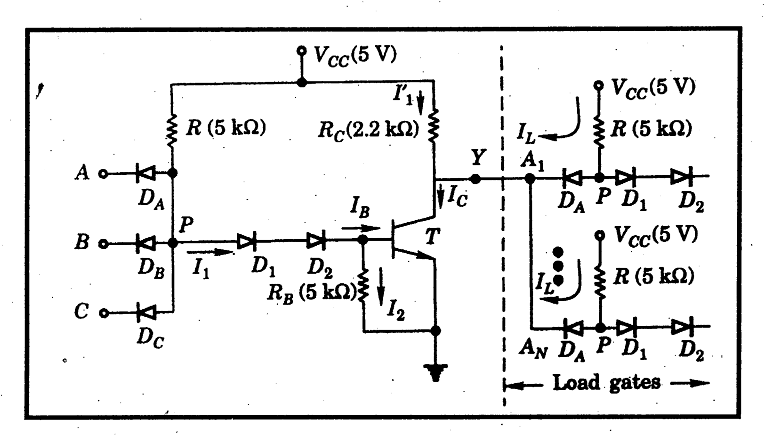
ويتطلب الأمر آليه للتزود بتيارات قاعدة، كما هو مبين فى شكل (4-7)، ولتحقيق هذا تُعامل مقاومات المجمعات R_C للبوابات القائدة (مرسومة بنقط فى شكل 4-8) كمقاومات قاعدة للترانزيستورين متعددى المجمع T'_1 و T'_3، وبالمثل تُعامل مقاومات المجمعات R_C للترانزيستورات T_1 و T_{10} كمقاومات قاعدة للترانزيستورين متعددى المجمع T'_2 و T'_4 على الترتيب، وبالتالى تكون جهود التغذية V_{BB} كما هو موضح، ويكون الجزء من الدائرة خارج الصندوق المنقط كجزء من بوابات أخرى تُقاد بواسطة مخارج الدائرة أو يمكن حذفها، وهذا يعنى أن دائرة I^2L تكون بمخارج مجمع-مفتوح، ويمكن لهذه المخارج إما تغذية دائرة I^2L أخرى، أو توصل لجهود التغذية من خلال مقاومات، ولابد من إستخدام قيم مناسبة لجهود التغذية والمقاومات للحصول على مستويات جهود الخرج المناسبة والتى تناسب قيادة بوابات أخرى مثل النوع TTL.

4-6 منطق (Diode- Transistor Logic (DTL :

هذا المنطق – إلى حد ما – أكثر تعقيدا من منطق RTL، إلا أنه حل محله نظرا لكبر خاصية تفريغ الخرج Fan-out بالإضافة إلى هوامش الضوضاء المُحسَنَة، إلا

أن عيبه الرئيسى هو أنه أقل سرعة، وبسبب هذا العيب تطور إلى المنطق Transistor-Transistor Logic (TTL) والذى أصبح أكثر عائلات المنطق شيوعاً واستخداماً هذه الأيام.

ويبين شكل (4-10) دائرة DTL بعناصر محددة تستخدم دايودات Diodes وترانزيستور كعاكس (NOT)، وقد تم تعديلها لتؤدى كدائرة متكاملة، والتى تسفر عن المنطق DTL الأساسى المتمثل فى بوابة NAND ذات 3 مداخل تقود عدد N من البوابات المتماثلة.



شكل (4-10) بوابة NAND بـ 3 مداخل تعمل كمنطق DTL تقود عدد N بوابات متماثلة

وبالرجوع إلى الشكل، إذا كان أحد الدخول A أو B أو C منخفضاً LOW، فيصبح الدايود المتصل بهذا الدخل مُوصلاً، وبالتالى يصبح الجهد V_P عند النقطة P أعلى من جهد دخل المستوى المنخفض بمقدار فرق الجهد على هذا الموحد، ولابد أن تكون قيمة الجهد V_P بحيث يظل الترانزيستور T قاطعاً Cut-off وبالتالى يكون خرجه مساويا V_{CC}، ومن ناحية أخرى إذا كانت كل الدخول A و B و C عالية HIGH، فتصبح جميع الموحدات المتصلة بهذه الدخول فى القطع، وبالتالى يصبح التيار المار بسبب الجهد V_{CC} خلال المقاومة R كافيا لجعل الترانزيستور T فى التشبع ، ولهذا يصبح خرجه هو $V_{CT,sat}$.

وعند الأخذ فى الإعتبار أن الجهدين V_{CC}، و $V_{CT,sat}$ فى الحالتين السابقتين يمثلان حالتى منطق (1)، و (0)، فيمكن إعتبار أن هذه الدائرة تمثل دائرة منطق NAND .

ويوضح المثال التالى إعتبارات تفريع الخرج Fan-out ، وهوامش الضوضاء.

مثال (4-1) :

للمنطق DTL NAND المبين فى شكل (4-10)، إحسب :

أ- تفريع الخرج Fan-out.

ب- هوامش الضوضاء.

ج- القدرة المتوسطة P المستهلكة بالبوابة.

مع العلم بأن بارامترات الموحد ، والترانزيستور كالتالى:

الجهد خلال الموحد فى حالة توصيله = 0.7 V.

جهد القاطع للموحد V_γ = 0.6 V.

جهد القاطع للترانزيستور V_γ = 0.5 V.

$V_{BE,sat}$ = 0.8 V.

$V_{CE,sat}$ = 0.2 V.

h_{FE} = 30.

الحل :

أ- وكما تمت مناقشته سابقا تكون مستويات المنطق كالتالى:

المستوى المنخفض LOW : $V(0) = V_{CE,sat} = 0.2\ V$

المستوى العـــــالى HIGH: $V(1) = V_{CC} = 5.0\ V$

(1) إذا كانت كل الدخول A و B وC عالية HIGH، فتصبح جميع الموحدات المتصلة بهذه الدخول ذات إنحيازاً عكسياً، وبفرض أن الموحدين D_1 و D_2 موصلان والترانزيستور T فى التشبع، فيصبح الجهد V_P:

$$V_P = 0.7 + 0.7 + 0.8 = 2.2\ V$$

وبتطبيق قانون كيرتشهوف Kirchhoff للتيار عند قاعدة الترانزيستور T يكون:

$I_B = I_1 - I_2$

حيث :

$I_1 = (V_{CC} - V_P) / R = (5 - 2.2) / 5 = 0.56 \text{ mA}$

وأيضا :

$I_2 = V_{BE,sat} / R_B = 0.8 / 5 = 0.16 \text{ mA}$

ومنه :

$I_B = 0.56 - 0.16 = 0.4 \text{ mA}$

وبفرض عدم توصيل أى بوابات فى الحمل، فيكون تيار المجمع I_C كالتالى:

$I_C = (V_{CC} - V_{CE,sat}) / R_C = (5 - 0.2) / 2.2 = 2.182 \text{ mA}$

ومن هنا يكون :

$h_{FE} . I_B = 30 \times 0.4 = 12 \text{ mA}$

وهى قيمة أعلى من تيار المجمع I_C (2.128 mA)، وبما يؤكد من أن الترانزيستور فى التشبع ، وأن الخرج فى المستوى المنخفض LOW.

والآن فى حالة توصيل عدد N بوابة فى خرج الترانزيستور فإن الموحدات فى مداخل هذا الحمل (D_A's) تصبح مُوصلة من خلال خرج الترانزيستور T أى يكون هو مصدر التيار لمداخل الموحدات بهذا الترانزيستور، وبفرض أن جميع الدخول الأخرى لكل بوابة حمل فى المستوى العالى HIGH ماعدا البوابة التى يقودها الترانزيستور T، فيصبح تيار الحمل I_L كالتالى:

$I_L = (V_{CC} - V_P) / R = (5 - 0.9) / 5 = 0.82 \text{ mA}$

ويعبر عن تفريغ الخرج Fan-out من العلاقة:

$I_C \leq h_{FE} . I_B$

أو :

$0.82 N + 2.182 \leq 12 \text{ mA}$

ومنه :

$N < 12$

ويمكن إختيار N لتكون 10 ، ويجب أن يكون أقصى تيار للمجمع 12 mA.

(2) إذا كان على الأقل أحد الدخول A أو B أو C منخفضة LOW، فيصبح الموحد المتصل بهذا الدخل مُوصلاً، وحيث أن الجهد خلال الموحد فى حالة توصيله يكون مساويا 0.7 V ، فعلى ذلك يصبح الجهد V_P:

$V_P = 0.2 + 0.7 = 0.9 \text{ V}$

وحيث أن أقل جهد مطلوب لكى يصبح كل من D_1 و D_2 و T موصلاً:

$= V_{\gamma D1} + V_{\gamma D2} + V_{\gamma T}$

$= 0.6 + 0.6 + 0.5 = 1.7 \text{ V}$

وهذا الجهد أقل من الجهد V_P ومما يؤكد أن الموحدين D_1 و D_2 غير موصلين، ومن هنا يكون الترانزيستور T فى القطع Cut-off ، وبما يترتب عليه أن يصبح الخرج مساويا للجهد V_{CC} (5 V) فى حالة عدم توصيل بوابات الحمل.

وعند توصيل بوابات الحمل، فإن الموحدات فى مداخل هذا الحمل (D_A's) تصبح غير مُوصلة مما يعنى أن تيار التشبع العكسى لهذه الموحدات يكون مزودا من خلال مقاومة المجمع R_C حيث يتسبب هذا التيار فى فرق جهد على هذه المقاومة، وبالتالى يصبح جهد الخرج المناظر للحالة HIGH أقل قليلا من الجهد V_{CC} .

ب- (1) إذا كانت كل الدخول عالية HIGH، يصبح الخرج منخفض LOW، وحيث أن الجهد: $V_P = 2.2 \text{ V}$، فتصبح الموحدات للمدخل منحازة عكسيا بالجهد: ($5 - 2.2 = 2.8 \text{ V}$)، وحيث أن جهد القطع للموحد هو: 0.6 V، فمن هنا نجد أن جهد ضوضاء سالب عند الدخل قيمته 3.4 V سوف يسبب خلل فى الدائرة، وعلى هذا فإن هامش الضوضاء لمستوى المنطق (0) يكون فى الحدود:

$\Delta 0 = 3.4 \text{ V}$

(2) إذا كانت أحد الدخول على الأقل منخفضة LOW، يصبح الخرج عالى HIGH ، وحيث أن الجهد: $V_P = 0.9 \text{ V}$، ويكون أقل جهد مطلوب لكى يصبح كل من

D_1 و D_2 و T (كما ذكرنا من قبل) هو: 1.7 V، وعلى هذا فإن هامش الضوضاء لمستوى المنطق (1) يكون فى الحدود:

$$\Delta 1 = 0.8\ V$$

ج- عندما يكون الخرج منخفض LOW فإن القدرة P(0) تعطى من العلاقة:

$$P(0) = V_{CC}(I_1 + I'_1) = 5(0.56 + 2.182) = 13.71\ mW$$

عندما يكون الخرج عالى HIGH، فعلى الأقل يكون أحد الموحدات للدخل موصلا، وعلى هذا يكون : $I_1 = 0.82$ mA، و $I'_1 = 0$، فإن القدرة P(1) تعطى من العلاقة:

$$P(1) = 5(0.82) = 4.1\ mW$$

وتكون القدرة المتوسطة P المستهلكة:

$$P_{av} = \{P(0) + P(1)\} / 2 = (13.71 + 4.1) / 2 = 8.905\ Mw$$

أزمنة تأخير الإنتشار :

ترتبط هذه التأخيرات بتأخير الوصل Turn-on delay، وتأخير الفصل Turn-off delay لترانزيستور الخرج، فخلال الوصل يتفرغ أى مكثف Shunting خرج البوابة سريعا خلال الإعاقة المنخفضة لترانزيستور الخرج فى وجوده فى حالة التشبع، وعلى الجانب الآخر فخلال الفتح يتفرغ المكثف Shunting خلال مقاومة السحب R_C بالإضافة إلى زمن تأخير التخزين، ويكون تأخير الفتح أكبر مرتين أو ثلاث مرات من تأخير القفل، كما يكون زمن تأخير الإنتشار فى البوابات DTL التجارية فى الحدود من 30 ns إلى 80 ns.

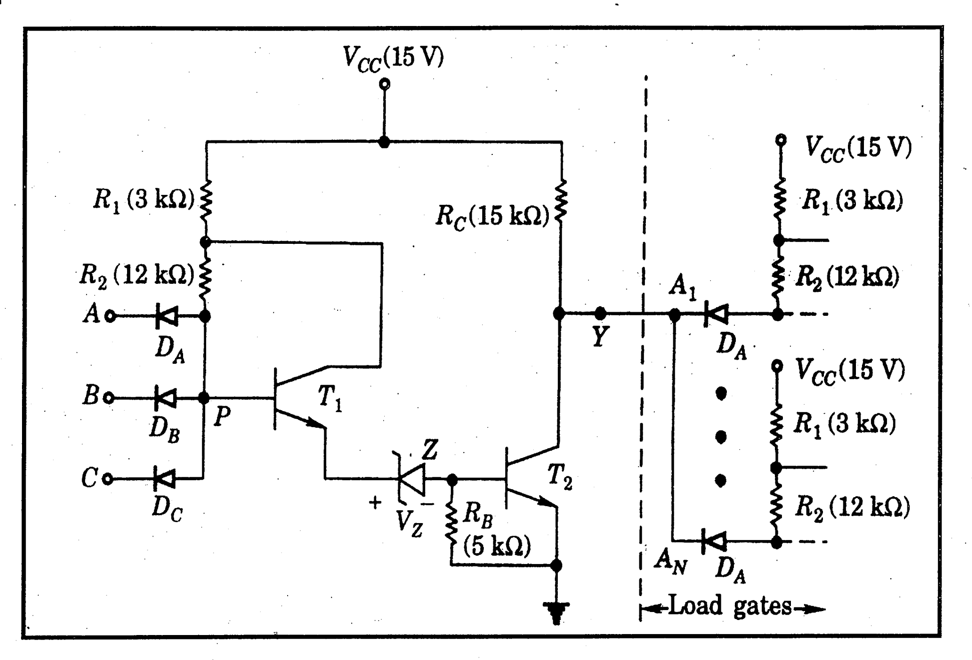
بوابة المنطق NAND DTL المعدلة :

من المثال السابق نجد أنه يمكن زيادة تعريفات الخرج بزيادة تيار القاعدة لترانزيستور الخرج وذلك عن طريق إستبدال الموحد D_1 بالترانزيستور T_1 كما هو مبين فى شكل (4-14)، ويمكن تحليل هذه الدائرة بطريقة مشابهه للمثال (4-1).

شكل (4-11) بوابة المنطق DTL NAND المعدلة تقود عدد N بوابة متماثلة

4-7 منطق High-Threshold Logic (HTL) :

فى الأماكن والأوساط الصناعية وبسبب وجود الموتورات الكهربائية ودوائر تحكم الفتح-الغلق ومفاتيح الجهد العالى ..إلخ، يصبح مستوى الضوضاء عالياً تماماً، ومن هنا نجد أن عائلات المنطق التى تمت مناقشتها سالفاً لاتستطيع تأدية وظائفها المنوطة بها بالكفاءة المطلوبة، ولهذا الغرض تم تعديل المنطق DTL المبين فى شكل (4-11) بمنبع تغذية أكبر (أى 15 V بدلا من 5 V)، كما يتم إستبدال الموحد D_2 بموحد زينر Z بجهد إنهيار 6.9 V، كما يتم تعديل المقاومات للحصول على نفس التيارات فى دائرة المنطق DTL تقريبا، ونحصل فى النهاية على بوابة المنطق HTL NAND بـــ 3 مداخل تقود عدد N بوابة متماثلة، والمبينة فى شكل (4-12)، وهنا يتأثر زمن تأخير الإنتشار بطريقة غير ملائمة بسبب القيم العالية للمقاومات حيث يصل هذا الزمن إلى المئات من النانو ثانية، كما تكون الحساسية لدرجة الحرارة أقل من مثيلتها فى المنطق DTL.



شكل (4-12) بوابة المنطق HTL NAND بـ 3 مداخل تقود عدد N بوابة متماثلة

4-8 منطق Transistor-Transistor Logic (TTL) :

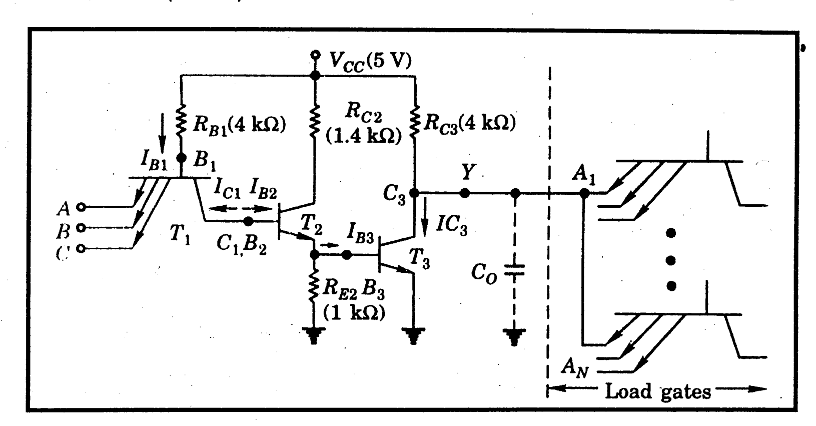
بسبب السرعات المحددة للمنطق DTL فقد أصبح من الطرازات القديمة، وتم إستبدالة تماما بما يسمى بمنطق (TTL) Transistor-Transistor Logic، وينحصر السبب الرئيسى فى السرعات المحددة للمنطق DTL فى بطئ عملية إزالة شحنات القاعدة لترانزيستور الخرج ، فمثلا فى دائرة المنطق فى شكل (4-10) عند تحول الترانزيستور من حالة التشبع لحالة القطع يصبح الموحدين D_1 و D_2 غير موصلين، مما تضطر شحنة القاعدة من التسرب خلال المقاومة R_B وهى عملية ميكانيكية بطيئة نسبيا، ويمكن التغلب على هذا العيب بإجراء التعديلات التالية فى دائرة DTL فى شكل (4-10):

1- يتم إستبدال موحدات الدخل D_A، و D_B، D_C بوصلات باعث - قاعدة لترانزيستور متعدد البواعث T_1 Multiple-emitter transistor، والذى يتم تصنيعه بسهولة على دائرة متكاملة.

2- تعمل وصلة المجمع-القاعدة للترانزيستور T_1 كالموحد D_1.

3-إستبدال الموحد D_2 بوصلة باعث-قاعدة لترانزيستور T_2 آخر.

فى النهاية نحصل على الدائرة المعدلة المعرووفة ببوابة المنطق TTL NAND ذات 3 مداخل تقود عدد N بوابة متماثلة والمبينة فى شكل (4-13) .



شكل (4-13) بوابة المنطق TTL NAND ذات 3 مداخل تقود عدد N بوابة متماثلة

عمل المنطق TTL NAND :

يتشابه عمل المنطق TTL المبين فى شكل (4-13) بعمل المنطق DTL المبين فى شكل (4-10) طالما تم الأخذ فى الإعتبار ظروف الحالة الثابتة والواضحة من الشرطين (أ)، و (ب) التاليين ، أما الشرط (ج) فهو يفرق عمل المنطق TTL عن عمل المنطق DTL ويجعله الأسرع من ضمن عائلات المنطق المشبعة.

ومن طريقة التشغيل التى سيتم مناقشتها، نفرض أن بوابات الحمل غير موجودة، وأن جهد المنطق (0) هو: $V_{CE,sat} \approx 0.2$ V، بينما جهد المنطق (1) هو: $V_{CC} = 5$ V

الشرط (أ) :

على الأقل أحد الدخول للترانزيستور T_1 يكون منخفضاً LOW، وتكون وصلة الباعث-القاعدة المتصلة بهذا الدخل فى إنحياز أمامى مما يجعل الجهد عند النقطة B_1 ($V_{B1} = 0.2 + 0.7 = 0.9$ V)، وحتى تصبح وصلة القاعدة-المجمع للترانزيستور T_1

فى الإنحياز الأمامى، ويصبح كلا من T_2، و T_3 موصلين فلابد أن يكون الجهد V_{B1} على الأقل مساويا ($0.6 + 0.5 + 0.5 = 1.6\ V$)، ومن هنا نجد أن كلا من T_2 و T_3 مفتوحان OFF، وحيث أن T_3 مفتوح فيكون الجهد عند النقطة Y هو جهد الحالة (1) أى V_{CC}.

الشرط (ب) :

كل دخول الترانزيستور T_1 عالية HIGH وبالتالى تصبح كل وصلات الباعث-القاعدة للترانزيستور T_1 فى الإنحياز العكسى، وإذا فرضنا أن كلا الترانزيستورين T_2، و T_3 مغلقان ON، عندئذ يصبح الجهد V_{B2}: ($V_{B2} = V_{C1} = 0.8 + 0.8 = 1.6\ V$)، وحيث أن النقطة B_1 موصلة بالجهد V_{CC} المساوى 5V من خلال المقاومة R_{B1} فتصبح الوصلة المجمع-القاعدة للترانزيستور T_1 فى الإنحياز الأمامى ، والترانزيستور T_1 يعمل فى الوضع الفعال العكسى مما يجعل سريان التيار I_{C1} فى الإتجاه العكسى والذى يسرى إلى قاعدة الترانزيستور T_2 موصلا كل من الترانزيستورين T_2 و T_3 للتشبع ، فيكون الجهد عند النقطة Y هو جهد الحالة (0) V أى: $\approx 0.2\ V$.

ومن الشرطين (أ)، و (ب) نجد أن الترانزيستور T_1 يعمل كموحدات ظهر لظهر Back-to-back ونجد أن أهميته تظهر واضحة من الشرط (ج) .

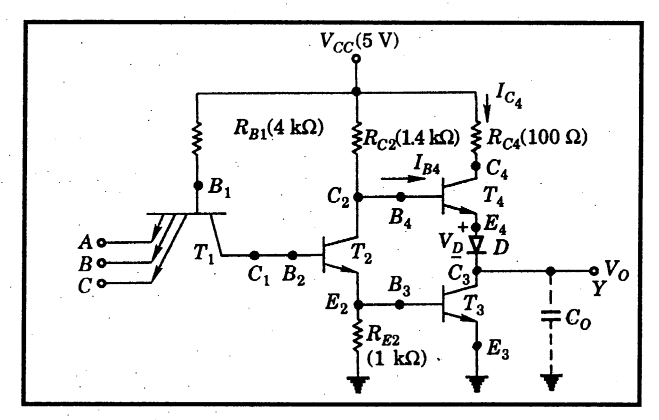
الشرط (ج) :

نفرض أن الدائرة تعمل تحت الشرط (ب) عندما يصل أحد الدخول فجأة إلى V(0)، وتبدأ وصلة الباعث-القاعدة المناظرة للترانزيستور T_1 فى التوصيل ويهبط الجهد V_{B1} إلى 0.9 V ، كما سينفتح الترانزيستورين T_2 و T_3 عندما تزال شحنات قواعدهما، وحيث أن: ($V_{C1} = V_{B2} = 1.6\ V$) فتصبح وصلة المجمع-القاعدة للترانزيستور T_1 فى الإنحياز الخلفى مما يجعل الترانزيستور T_1 يعمل فى الوضع الفعال المعتاد، وهذا التيار الكبير لمجمع الترانزيستور T_1 يكون فى إتجاه بحيث يساعد على إزالة شحنات قواعد الترانزيستورين T_2، و T_3 ومما يحسن من خواص السرعة للدائرة.

ويمكن التحسين من خواص السرعة للدائرة أكثر بتقليل قيمة المقاومة R_{C3}، والتى تقلل من قيمة الثابت الزمنى ($R_{C3} . C_0$) حيث يُشحن مكثف الخرج من مستوى المنطق (0) إلى مستوى المنطق (1)، إلا أن هذا التخفيض سيؤدى إلى زيادة القدرة المستنفذة، كما يؤدى إلى صعوبة أكثر فى تشبع الترانزيستور T_3.

الرفع الفعال Active Pull-up :

فى البوابات TTL، من الممكن التعجيل بشحن مكثف الخرج بدون زيادة فى القدرة المستنفذة وذلك بمساعدة دائرة خرج كالمبينة فى شكل (4-14) والتى تعرف بدائرة الرفع الفعال أو ما تعرف بـــ "دائرة الصمود الطوطمى" Totem-pole.



شكل (4-14) بوابة TTL بدائرة خرج القطب الرمزى Totem-pole

ويمكن شرح هذه الدائرة كالتالى :

لكى يكون الخرج Y فى الحالة المنخفضة LOW لابد أن يكون كلا من الترانزيستور T_4 والدايود فى القطع Cut-off، وعند إنتقال الخرج من الحالة المنخفضة LOW إلى الحالة العالية HIGH (والذى يناظر التحول الحادث لأى دخل إلى الحالة المنخفضة LOW) فينتقل الترانزيستور T_4 إلى التشبع ويكون مصدراً لتيار الشحن لمكثف الخرج وبثابت زمنى صغير، وهذا التيار يقل ويصل فى النهاية تحت شرط الحالة الثابتة عند: Y=V(1) ، ويستخدم الموحد D فى الدائرة للإحتفاظ بالترانزيستور T_4 فى القطع عندما يكون الخرج عند المنطق (0) والذى عنده يكون كلا من الترانزيستورين T_2 و T_3 فى التشبع ، وعلى هذا يكون :

$$V_{C2} = V_{B4} = V_{BE3,sat} + V_{CE2,sat} = 0.8 + 0.2 = 1.0\ V \qquad (4\text{-}6)$$

وحيث أن: ($V_0 = V_{CE3,sat} \approx 0.2\ V$)، فيكون الجهد على وصلة القاعدة–الباعث للترانزيستور T_4 والموحد D مساوياً: ($1.0 - 0.2 = 0.8\ V$)، مما يعنى أن كلا من الترانزيستور T_4 والموحد D فى القطع Cut-off.

وإذا هبط أحد الدخول إلى مستوى المنطق المنخفض LOW ، يصبح كلا الترانزيستورين T_2 و T_3 فى القطع Cut-off، ولايستطيع أن يتغير الخرج فى الحال (لكونه الجهد عبر المكثف C_0) وبسبب توجه الترانزيستور T_2 إلى القطع Cut-off يرتفع جهد قاعدة الترانزيستور T_4 موصلاً إياه إلى التشبع.

وبمجرد ان يكون T_2 فى القطع Cut-off، يكون:

$$\begin{aligned} V_{B4} &= V_{BE4,sat} + V_D + V_0 \\ &= 0.8 + 0.7 + 0.2 \\ &= 1.7\ V \qquad (4\text{-}7) \end{aligned}$$

ولهذا يكون:

$$\begin{aligned} I_{B4} &= (V_{CC} - V_{B4}) / R_{C2} \\ &= (5 - 1.7) / 1.4 \\ &= 2.36\ mA \qquad (4\text{-}8) \end{aligned}$$

وأيضاً:

$$\begin{aligned} I_{C4} &= (V_{CC} - V_{CE4,sat} - V_D - V_0) / R_{C4} \\ &= (5 - 0.2 - 0.7 - 0.2) / 0.4 \\ &= 39\ mA \qquad (4\text{-}9) \end{aligned}$$

ومن هنا يكون الترانزيستور T_4 فى التشبع إذا زادت h_{FE} عن:

($39/2.36 = 16.5$).

ويرتفع جهد الخرج V_0 أسياً فى الإتجاه V_{CC} بالثابت الزمنى:

$$(R_{C4} + R_{CS4} + R_f)\ C_0$$

حيث: R_{CS4} مقاومة التشبع للترانزيستور T_4، R_f: مقاومة الموحد الأمامية.

ومع إزدياد جهد الخرج V_0، يقل كلا من تيار القاعدة والمجمع للترانزيستور T_4، حتى يصبح بالكاد خارج التوصيل فى الحالة الثابتة، ولهذا يكون:

$$\begin{aligned} V(1) &= V_{CC} - V_\gamma(T_4) - V_\gamma(D) \\ &= 5 - 0.5 - 0.6 \\ &= 3.9\ V \end{aligned}$$

والآن ، إذا كان الخرج عند V(1)، وجميع الدخول عالية HIGH، يتجه الترانزيستور T_2 للقفل ON، وبالتالى يتجه كلا من الترانزيستور T_4 والموحد D إلى الفتح OFF ويصبح الترانزيستور T_3 موصلاً، ويُفرغ المكثف C_0 خلال الترانزيستور T_3، وباقتراب جهد الخرج V_0 من V(0) يدخل الترانزيستور T_3 للتشبع.

من المناقشة السابقة يتضح أن أقصى تيار مسحوب من المصدر يكون عندما يعمل الخرج تحولاً من V(0) إلى V(1)، ويكون مساوياً:

$$I_{C4} + I_{B4} = 39 + 2.4 = 41.4\ mA$$

وهذا التيار العالى المدبب Spike يولد ضوضاء فى نظام توزيع مصدر القدرة، وتزيد القدرة المستنفذة فى البوابة، والتى تزداد أكثر عند عملها فى الترددات العالية.

4–9 منطق Schottky TTL :

ترجع حدود السرعة فى منطق TTL بصفة رئيسية إلى التأخيرات فى أزمنة الفتح المتعلقة بالترانزيستورات عند الإنتقال من حالة التشبع لحالة القطع، ويمكن التخلص من تلك التأخيرات باستبدال ترانزيستورات المنطق TTL بترانزيستورات شوتكى Schottky، وبهذا يمنع الترانزيستورات من دخول التشبع وبالتالى توفير الزمن المستغرق فى الفتح Turn-off.

وفى النهاية نحصل على منطق Schotty TTL بزمن تأخير إنتشار قدره: 2 ns وهو زمن صغير جدا بالمقارنة بزمن تأخير الإنتشار فى المنطق TTL القياسى والمقدر بـــ: 10 ns، ولهذا فهو يعد منطق ثنائى القطبية غير متشبع Non-saturating bipolar logic .

4-10 سلسلة 5400/7400 TTL :

تعتبر سلسلة 5400/7400 TTL أفضل سلاسل الدوائر المتكاملة وأوسعها إنتشاراً، وتستخدم سلسلة 7400 فى الأجهزة المستخدمة فى التطبيقات التجارية، بينما تستخدم سلسلة 5400 فى الأجهزة المستخدمة فى التطبيقات العسكرية، والإختلاف الوحيد بين هاتين السلسلتين ينحصر فى مدى كل من درجة الحرارة وقدرة التغذية لكل منهما، فتنحصر درجة حرارة التشغيل لسلسلة 7400 مابين 0ºC و 70ºC، بينما تنحصر لسلسلة 5400 مابين 55ºC - و 125ºC، كما أن مدى قدرة التغذية لسلسلة 7400 تكون 5 ± 0.25 V ، بينما لسلسلة 5400 تكون 5 ± 0.5 V.

ويبين جدول (4-2) 7 سلاسل مختلفة من عائلات المنطق TTL -54/-74 .

جدول (4-2)

السلسلة	الرقم المسبوق فى السلسلة	أمثلة
TTL القياسى	-74	7402 , 74193
TTL القدرة العالية	-74H	74H02 , 74H193
TTL القدرة المنخفضة	-74L	74L02 , 74L193
TTL شوتكى	-74S	74S02 , 74S193
TTL شوتكى القدرة المنخفضة	-74LS	74LS02 , 74LS193
TTL شوتكى المتقدم	-74AS	74AS02, 74AS193
TTL شوتكى القدرة المنخفضة المتقدم	-74ALS	74ALS02, 74ALS193

كما يلخص جدول (4-3) الخواص المختلفة لعائلات المنطق TTL -54/-74.

ونلاحظ الآتى من الجدول :

1- خواص جهود الدخل والخرج متطابقة لكل السلاسل تقريبا، مما يُمكِن من سهولة مزج الدوائر المتكاملة لهذه السلاسل لتحقيق التصميم الأفضل من وجهة نظر زمن تأخير الإنتشار والقدرة المستنفذة.

2- خواص تيارات الدخل والخرج متطابقة تقريبا، كما أن عدد بوابات كل السلاسل التى يمكن قيادتها بأمان يمكن تحديدها من جدول (4-4).

جدول (4-3)

الخاصية	5400 7400	54H00 74H00	54L00 74L00	54S00 74S00	54LS00 74LS00	54AS00 74AS00	54ALS00 54ALS00	الوحدات
V_{IH}	2	2	2	2	2	2	2	V
V_{IL}								V
سلسلة 54	0.8	0.8	0.7	0.8	0.7	0.8	0.8	
سلسلة 74	0.8	0.8	0.7	0.8	0.8	0.8	0.8	
V_{OH}								V
سلسلة 54	2.4	2.4	2.4	2.5	2.5	3	3	
سلسلة 74	2.4	2.4	2.4	2.7	2.7	3	3	
V_{OL}								V
سلسلة 54	0.4	0.4	0.3	0.5	0.4	0.5	0.4	
سلسلة 74	0.4	0.4	0.4	0.5	0.5	0.5	0.5	
I_{IH}	40	50	10	50	20	20	20	μA
I_{IL}	-1.6	-0.2	-0.18	-2.0	-0.36	-0.5	-0.1	mA
I_{OH}	-400	-500	-200	-1000	-400	-2000	-400	μA
I_{OL}								mA
سلسلة 54	16	20	2	20	4	20	4	
سلسلة 74	16	20	3.6	20	8	20	8	
$I_{CC}(1)$	8	16.8	0.8	16	1.6	3.2	0.85	mA
$I_{CC}(0)$	22	40	2.04	36	4.4	17.4	3	mA
t_{pHL}	15	10	60	5	15	4	8	ns
t_{pLH}	22	10	60	4.5	15	4.5	11	ns

3- السلاسل ذات القدرة المنخفضة (L و LS و ALS) تحتاج لمتطلبات أدنى قدرة، فهى بالتالى مناسبة للدوائر التى تعمل بالبطاريات، كما أنه من دون هذه السلاسل نجد أن السلسلة ALS تتميز بأدنى زمن تأخير إنتشار، لذا فهى مفضلة عن السلسلتين الأخريين.

4- تتميز السلسلة H بانخفاض زمن تأخير الإنتشار (أى السرعة العالية)، إلا أنها تحتاج لقدرة أعلى.

5- تتميز السلاسل S و AS بانخفاض زمن تأخير الإنتشار، إلا أنه يُفضل السلسلة AS بسبب إنخفاض قيمة القدرة المستنفذة وانخفاض زمن تأخير الانتشار.

أما فى جدول (4-4)، فتتلخص تفريعات الخرج Fan-out لكل سلسلة عند قيادتها دوائر متكاملة من نفس السلسلة، أو من سلاسل أخرى.

جدول (4-4)

أجهزة TTL كمصدر	أجهزة TTL كحمل						
	54/74	54H/74H	54L/74L	54S/ 74S	54LS/ 74LS	54AS/ 74AS	54ALS/ 74ALS
54/74	10	8	40	8	20	20	20
54H/74H	12	10	50	10	25	25	25
54L/74L	2	1	20	1	10	7	10
54S/74S	12	10	100	10	50	40	50
54LS/74LS	5	4	40	4	20	16	26
54AS/74AS	12	10	110	10	55	40	100
54ALS/74ALS	5	4	40	4	20	16	20

4-11 منطق Emitter-coupled Logic (ECL) :

هذا المنطق هو الأسرع فى عائلات المنطق قاطبة، لذا فهو يستخدم فى التطبيقات التى يكون أساس عملها هو السرعة العالية جدا.

وترجع السرعة العالية فى هذا المنطق فى أن الترانزيستورات المستخدمة مُنظمة فى هيئة مكبر فرق Difference amplifier configuration، فمن خلال هذا التشكيل لا تُقاد هذه الترانزيستورات للتشبع أبدا، وبالتالى يتم التخلص من زمن التخزين، فهنا نجد أن تغيرات الترانزيستورات من حالة الفتح لحالة القفل أو العكس تحدث بين المنطقتين القاطعة Cut-Off والفعالة Active، ويصل زمن تأخير الإنتشار إلى أقل من 1 ns فى هذا المنطق.

وأساسا يتحقق منطق ECL باستخدام مكبر فرق، حيث يتصل باعثى ترانزيستورين، ومن هنا يعزى مسمى هذا المنطق "منطق اقتران الباعث" Emitter-coupled logic .

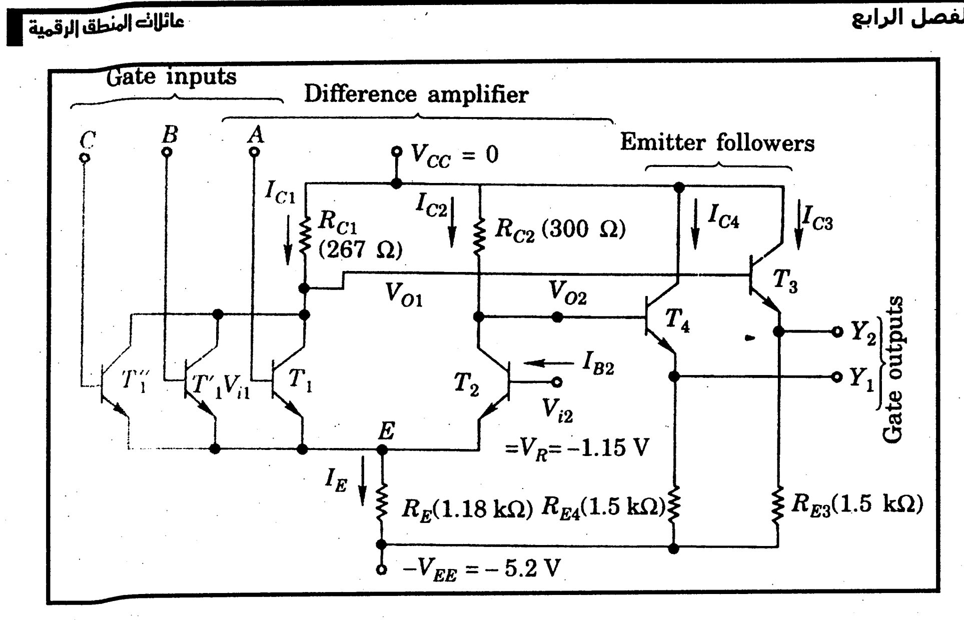
ويبين شكل (4-15) منطق بوابة ECL بـــ 3 مداخل والذى يتكون من 3 أجزاء:

1- مكبر فرق Difference amplifier: وهو الجزء الأوسط والذى يؤدى العملية المنطقية.

2- توابع الباعث Emitter followers: والمستخدمة فى إزاحة مستويات خرج التيار المستمر، بحيث يكون كلا من V(0)، و V(1) نفسه ولايتغيران للدخول والخروج يجب ملاحظة أنه يوجد خرجين: Y_1 و Y_2 وهما متتامين، حيث يناظر الخرج Y_1 منطق OR، بينما يناظر الخرج Y_2 منطق NOR، ومن هنا جاءت تسميته بالبوابة OR/NOR.

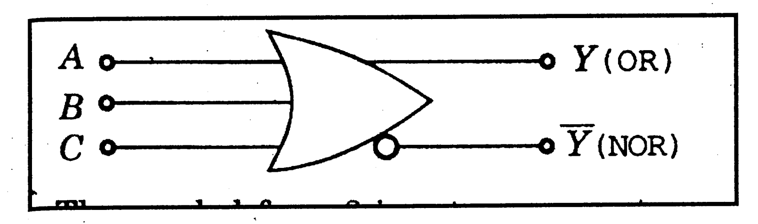
3- بوابة دخول Gate inputs: وهى ترانزيستورات إضافية موصلة على التوازى مع الترانزيستور T_1 للحصول على تفريعات دخل Fan-in.

ويوجد فرق أساسى بين كل عائلات المنطق الأخرى بمافيها منطق MOS، وبين المنطق ECL، عند الأخذ فى الإعتبار جهد التغذية، ففى المنطق ECL يتم توصيل الطرف الموجب لمنبع التغذية بالأرض، بينما فى عائلات المنطق الأخرى يتم توصيل الطرف السالب لمنبع التغذية بالأرض، ويتم عمل هذا لتقليل جهود الضوضاء المُحثة فى منبع التغذية ، كما يحمى الدائرة من قصور الدائرة الفجائى الناشئ بين خرج البوابة والأرض.



شكل (4-15) بوابة ECL OR/NOR ذات 3 مداخل

ويكون كلا الجهدان المناظران للحالتين V(0) وV(1) سالباً نتيجة لتوصيل الطرف الموجب لمنبع التغذية بالأرض، ويبين شكل (4-16) رمز البوابة ECL OR/NOR ذات 3 مداخل.



شكل (4-16) بوابة ECL OR/NOR ذات 3 مداخل

مثال (4-2) :

أ- تحقق من أن الدائرة المبينة فى شكل (4-15) تؤدى عمل OR/NOR.

ب- بين أن الترانزيستورات فى هذه الدائرة تعمل فى المنطقة الفعالة وليس فى منطقة التشبع.

ج- إحسب هوامش الضوضاء.

د- إحسب القدرة المتوسطة المستنفذة بالبوابة.

بفرض أن جهد القاعدة-الباعث للترانزيستور الموصل فى المنطقة الفعالة مساويا 0.7 V.

الحل :

أ-(1) بفرض أن كل الدخول منخفضة LOW:

نفرض أن كل ترانزيستورات الدخل T_1، و T'_1، و T''_1 قاطعة Cut-off بينما الترانزيستور T_2 موصل فى المنطقة الفعالة، فيكون الجهد عند الباعث المشترك V_E:

$$V_E = V_{i2} - V_{BE2} = -1.15 - 0.7 = -1.85 \text{ V}$$

ويكون التيار I_E :

$$I_E = \{V_E - (-V_{EE})\}/R_E = (-1.85 + 5.2)/1.18 = 2.84 \text{ mA}$$

وحيث أن : $(I_{B2} << I_{C2})$، فعلى هذا يكون: $(I_{C2} \approx I_E)$ ، كما يكون:

$$V_{O2} = -0.3\ I_{C2} = 0.3(2.84) = -0.852 \text{ V}$$

ومنه يكون الترانزيستور موصلاً ويكون الخرج عند Y_1:

$$Y_1 = V_{O2} - V_{BE4} = -0.852 - 0.7 = -1.55 \text{ V}$$

والذى نفرضه أن يكون جهد الحالة V(0).

وعلى هذا فإذا كانت كل الدخول عند الحالة V(0) والتى تكون مساوية −1.55V ، فعندئذ يكون جهد القاعدة-الباعث لترانزيستور الدخل:

$$V_{BE} = V_{i1} - V_E = -1.55 + 1.85 = 0.3 \text{ V}$$

وهو أقل من جهد القطع (0.5 V) للترانزيستور، ومن هنا نرى أن ترانزيستورات الدخل غير موصلة كما أفترض من قبل، كما تكون القاعدة والمجمع للترانزيستور T_3 عند نفس الجهد ومن هنا يعمل كموحد، وتصل قيمة التيار المار خلال هذا الموحد فى حدود 3 mA وبما يناظر جهد عبر الموحد قيمته 0.75 V، ومن

هنا يكون جهد النقطة Y_2 مساويا 0.75 V – والذى يفترض أن يمثل جهد الحالة V(1)، ومما يبين أن كلا من Y_1 و Y_2 متتامين أى أن : $\overline{Y_1} = Y_2$.

(2) بفرض أن أحد الدخول عالى HIGH، فبناءً على ذلك يُفرض أن يكون الترانزيستور T_1 موصلاً والترانزيستور T_2 قاطع، عندئذ يكون:

$$V_E = V_{i1} - V_{BE1} = -0.75 - 0.7 = -1.45\ V$$

ومن هنا يكون :

$$V_{BE2} = V_{i2} - V_E = -1.15 + 1.45 = 0.3\ V$$

وهذا يحقق الفرض بأن الترانزيستور T_2 قاطع.

ويكون الجهد V_{O1}:

$$V_{O1} = -R_{C1} . I_{C1}$$

حيث:

$$I_{C1} = \{V_E - (-V_{EE})\}/R_E = (-1.45 + 5.2)/1.18 = 3.18\ mA$$

وحيث أن تيار المجمع للترانزيستور T_1 أكبر من تيار المجمع للترانزيستور T_2 عندما يكون موصلاً، فمن هنا يكون: $R_{C1} < R_{C2}$ للحصول على نفس مستويات الجهد.

وهذا يعطى جهد عند Y_2 قيمته: 1.55 V –، وهو ما يمثل جهد الحالة V(0)، كما تكون قيمة الجهد عند Y_1: 0.75 V – ، وهو ما يمثل جهد الحالة V(1).

من (1)، و (2) نجد أنه عند النقطة Y_1 تتحقق وظيفة المنطق OR، بينما تتحقق وظيفة المنطق NOR عند النقطة Y_2، أى أننا أمام بوابة OR/NOR وتكون الجهود –1.55، و 0.75 – هى المناظرة للمنطقين (0)، و (1). كما يكون منطق جهد التأرجح مساوياً: 0.8V.

ب- من الجزئية أ-(1) يكون الجهد بين المجمع والقاعدة للترانزيستور T_2:

$$V_{CB2} = V_{O2} - V_{i2} = -0.85 + 1.15 = 0.3\ V$$

مما يبين أن وصلة المجمع-القاعدة فى إنحياز عكسى، ومن هنا يعمل الترانزيستور T_2 فى المنطقة الفعالة.

ومن الجزئية أ-(2) يكون الجهد بين المجمع والقاعدة للترانزيستور T_1:

$$V_{CB1} = V_{O1} - V_{i1} = -0.85 + 0.75 = -0.1\ V$$

مما يبين أن وصلة المجمع-القاعدة فى إنحياز أمامى، إلا أن قيمته أقل كثيراً من جهد القطع، ومن هنا يعمل الترانزيستور T1 فى المنطقة الفعالة.

ج- من الجزئية أ-(1) يكون جهد القاعدة-الباعث لترانزيستورات الدخل: 0.3 V، وهى قيمة أقل بـــ: 0.2 V من جهد القطع، ومن ذلك يكون هامش الضوضاء للحالة (0):

$$\Delta 0 = 0.2\ V$$

من الجزئية أ-(ب) يكون جهد القاعدة-الباعث للترانزيستور T_2 : 0.3 V ، وهى قيمة تعطى هامش الضوضاء للحالة (1) :

$$\Delta 1 = 0.2\ V$$

ومن هنا نجد أن هوامش الضوضاء متساوية، كما أنها تكون صغيرة تماماً.

د- من الجزئية أ-(1) يكون:

$$I_{C2} = 2.84\ mA$$

$$I_{C3} = (5.2 - 0.75)/1.5 = 2.97\ mA$$

وأيضا:

$$I_{C4} = (5.2 - 1.55)/1.5 = 2.43\ mA$$

ومن الجزئية أ-(2) يكون:

$$I_{C1} = 3.18\ mA$$

$$I_{C3} = 2.43\ mA$$

$$I_{C4} = 2.97\ mA$$

ومن هنا يصبح:

$I_E = (2.84 + 3.18)/2 = 3.01$ mA

ويكون التيار المسحوب الكلى:

$I_{EE} = 3.01 + 2.97 + 2.43 = 8.41$ mA

وعلى ذلك تكون القدرة المستنفذة:

$= V_{EE} \cdot I_{EE} = 5.2 \times 8.41 = 43.7$ mW

عائلات المنطق ECL :

توجد عائلتان مفضلتان من عائلات المنطق ECL: سلسلة 10xxx أو (10K)، وسلسلة 100xxx أو (100K) .

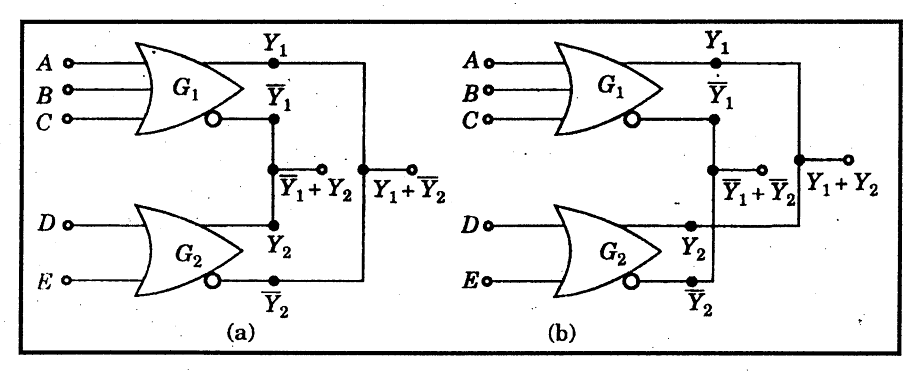
وتعتبر سلسلة 100K هى الأسرع ضمن كل عائلات المنطق، فلها زمن تأخير إنتشار أقل من 1 ns، ويبين جدول (4-5) خواص الفلتية لسلاسل المنطق ECL.

جدول (4-5)

السلاسل	جهد التغذية V_{EE}	V_{OL}	V_{OH}	V_{IL}	V_{IH}
10K	5.2	- 1.7	- 0.9	- 1.4	- 1.2
100K	4.5	- 1.7	- 0.9	- 1.4	- 1.2

توصيلات المنطق ECL :

يمكننا الحصول على منطق إضافى وذلك بتوصيل خرج بوابتين أو أكثر من بواباتECL وبدون إستخدام مكونات مادية أخرى وكما هو موضح فى شكل(4-17).



شكل (4-17) توصيلات البوابات ECL

المواءمة بين بوابات ECL ، و TTL :

من الطبيعى ومن الضرورى اللجوء إلى الربط بين دوائر مختلف عائلات المنطق، فبفرض أن يكون مطلوباً المواءمة بين بوابات ECL، وبوابات TTL، فمن الطبيعى أن تكون هناك الكثير من الفروق فى مستويات المنطق بينهما، ومن هنا يتطلب ذلك إدخال مايعرف بـــ "دوائر إزاحة المستوى" Level shifting circuits بينهما.

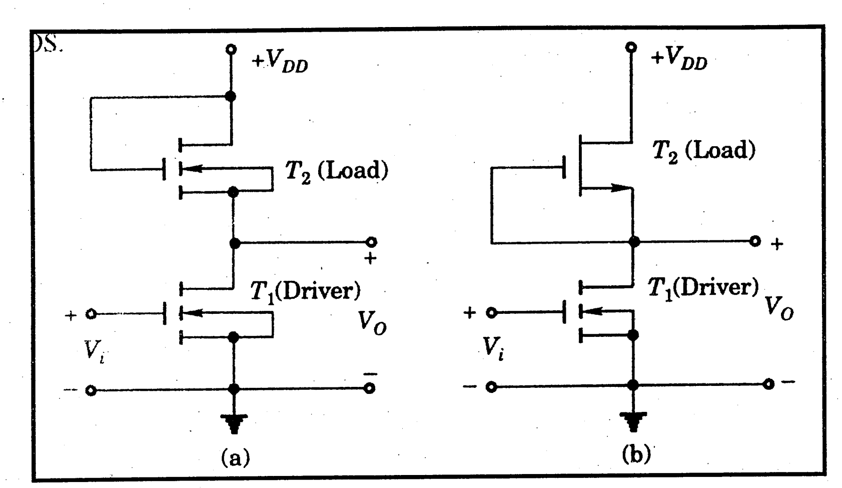
4-12 منطق MOS :

لقد أصبحت أجهزة MOSFETs مفضلة كدوائر منطقية نظراً لكثافة التصنيع على الشريحة الواحدة وقلة القدرة المستنفذة، وعند إستخدام أجهزة MOS فى دوائر المنطق فإنه يتم إستخدام أحد النوعين إما نوع n-channel، أو نوع p-channel، وتعرف أنواع هذه الدوائر بمنطق NMOS، أو منطق PMOS على الترتيب ، كما يمكن تصنيع نوع التعزيز Enhancement MOSFET لكلا النوعين على نفس الشريحة، والتى يطلق عليها شبه الموصلات والأكسيد والمعدن المتتامة Complementary MOS أو باختصار (CMOS)، وفى هذه النوعية تكون مفضلة حيث تكون القدرة المستنفذة صغيرة جداً.

وبوابة المنطق MOS الأساسية هى عبارة عن عاكس Inverter كما هو موضح فى شكل (4-18) حيث يكون الترانزيستور T_1 من نوع التعزيز Enhancement MOSFET والذى يعمل كقائد، ويمكن أن يكون الترانزيستور T_2 والذى يعمل كحمل من نوع التعزيز Enhancement MOSFET كما فى شكل (4-22-a)، أو من النوع التفريغ Depletion MOSFET كما فى شكل (4-22-b) حيث يعمل هذا الترانزيستور كحمل بدلا من زرع مقاومة على الشريحة لتعمل كحمل (حيث تحتل المقاومة مساحة تقدر بحوالى 20 مرة قدر المساحة التى يحتلها المنطق نفسه على الشريحة)، ومما يزيد من الكثافة العالية للتصنيع ووقوع هذا المنطق فى تقسيم الدوائر المتكاملة ضمن تكامل النطاق الواسع Large-Scale Integration (LSI).

وتكون المستويات المنطقية لدوائر MOS كالتالى:

$V(0) \approx 0$



شكل (4-18) منطق MOS كعاكس

$V(1) \approx V_{DD}$

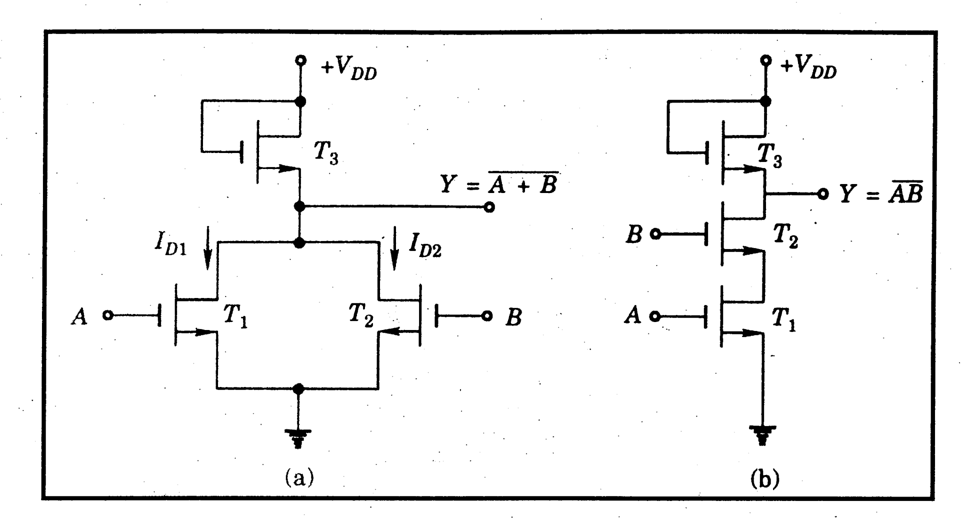
وعلى الرغم من أن دوائر المنطق MOS تتماثل كما فى هيئتها مع دوائر المنطق ثنائىّ القطبية DCTL، إلا أن المشكلة المعروفة بتيارات التقوس Hogging currents غير موجودة ، وقد تمت مناقشة دوائر المنطق MOSFET فى القسم (3-7) .

ويُستخدم المنطق MOS بصفة رئيسية فى:

تكامل النطاق الواسع Large-Scale Integration (LSI) ، وتكامل النطاق الواسع جدا Very Large-Scale Integration (VLSI) ولايستخدم فى تكامل النطاق الصغير Small-Scale Integration (SSI)، وتكامل النطاق المتوسط Medium-Scale Integration (MSI) وكما أن معظم المعالجات الدقيقة والذاكرات والأجهزة الطرفية تتحقق بالمنطق NMOS .

بوابات MOSFET NAND & NOR :

يمكن الحصول على بوابات NOR عن طريق قائدات متعددة على التوازى، بينما يمكن الحصول على بوابات NAND عن طريق قائدات متعددة على التوالى، ويبين شكل (4-19a) بوابة NOR بـــ 2 مدخل، بينما يبين شكل (4-19b) بوابة NAND بـــ 2 مدخل .



شكل (4-19) بوابات NMOS بـــ 2 مدخل

ففى بوابة الشكل (4-19a)، إذا كان كلا الدخلين 0 فيكون كلا الترانزيستورين T_1، و T_2 مفتوحين OFF ($I_{D1} = I_{D2} = 0$)، ومن هنا يكون الخرج V_{DD}، أما إذا كان أحد الدخلين أو كلاهما مساويا: $V(1) = V_{DD}$، فتكون الترانزيستورات المناظرة مغلقة ON، ويصبح الخرج مساويا: 0 V، ويبين جدول (4-6) جدول الحقيقة للبوابة، ويلاحظ أنه يعادل عمل بوابة NOR.

جدول (4-6)

الخرج	الدخول	
Y	B	A
V_{DD}	0	0
0	V_{DD}	0
0	0	V_{DD}
0	V_{DD}	V_{DD}

وفى بوابة الشكل (4-19b)، إذا كان أحد الدخلين أو كلاهما: $V(0) = 0$، فيكون الترانزيستور المناظر مفتوح OFF، ويكون الجهد خلال ترانزيستور الحمل مساويا: 0، ومن هنا يكون الخرج: V_{DD}، أما إذا كان كلا الدخلين مساويا: $V(1) = V_{DD}$ فيكون

كلا الترانزيستوران T_1 و T_2 مغلقين ON، ويصبح الخرج مساويا: 0 V، ويبين جدول (4-7) جدول الحقيقة للبوابة، ويلاحظ أنه يعادل عمل بوابة NAND

جدول (4-7)

الدخول		الخرج
A	B	Y
0	0	V_{DD}
0	V_{DD}	V_{DD}
V_{DD}	0	V_{DD}
V_{DD}	V_{DD}	0

تفريعات الخرج Fan-out :

حيث أن للأجهزة MOS إعاقة دخل عالية جداً، فيكون تفريعات الخرج Fan-out كبير، إلا أن قيادة عدد كبير من بوابات MOS يزيد من السعة Capacitance عند خرج البوابة القائدة مما يقلل من سرعة بوابات MOS بدرجة ملحوظة.

والآتى بعد هى بارامترات الجهد والتيار للمعالجات طرازات 8085 و 8086 وأجهزة NMOS أخرى:

$V_{CC} = 5$ V

$V_{IL} = 0.8$ V

$V_{IH} = 2$ V

$V_{OL} = 0.45$ V , $I_{OL} = 2$ mA

$V_{OH} = 2.4$ V , $I_{OH} = -400$ µA

أزمنة تأخير الإنتشار والقدرة المستنفذة فى أجهزة MOS :

فى أجهزة MOS نجد أن أزمنة تأخير الإنتشار كبيرة بسبب تواجد سعويات كبيرة فى دخل وخرج هذه الأجهزة، علاوة على علو قيم المقاومات التى من خلالها

يتم شحن تفريغ هذه المكثفات، وحيث أن ظاهرة تخزين الشحنات الأقلية غير موجودة فى هذه الأجهزة، فإن سرعة التشغيل ترتبط بصفة رئيسية بسرعة شحن وتفريغ هذه المكثفات.

ونتيجة لتطور تكنولوجيا تصنيع أجهزة MOS، فقد أصبح من الممكن الحصول على سرعات يمكن مقارنتها بسرعات منطق TTL.

كما أن القدرة المستنفذة فى دوائر MOS تكون صغيرة، مما يجعل ذلك مفيدا فى تكامل النطاق الواسع.

4-13 منطق CMOS :

يمكن الحصول على هذا المنطق والذى يطلق عليه شبه الموصلات والأكسيد والمعدن التتامية Complementary MOS (CMOS) بتوصيل قناة MOSFET من نوع n-channel على التوالى بأخرى من نوع p-channel وبتوصيل مصبهما بنقطة واحدة، وأخذ الخرج من المصب المشترك، كما يتم تطبيق الدخل عند نقطة البوابة المشتركة كما يتبين ذلك من شكل (3-31) .

العاكس CMOS :

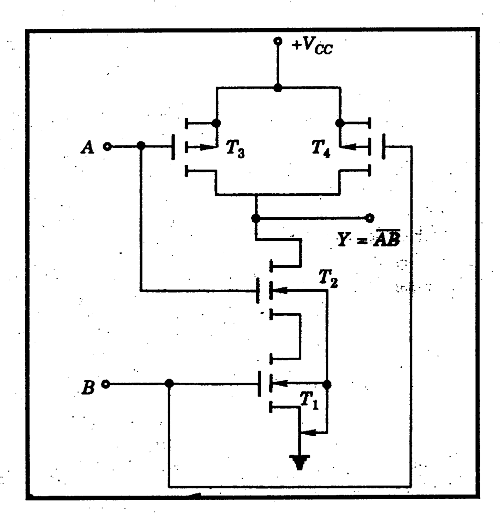
يمثل العاكس المبين فى شكل (3-31) الدائرة الأساسية لمنطق CMOS، وفى هذه الدائرة يكون الجهد: 0 V هو مستوى المنطق (0)، كما يمثل الجهد V_{CC} مستوى المنطق (1)، وعندما يكون : $V_i = V_{CC}$ يصبح الترانزيستور T_1 مغلقاً ON، بينما يصبح الترانزيستور T_2 مفتوحاً OFF، ولهذا يكون: $V_0 \approx 0$ V، وحيث أن الترانزيستورات موصلة على التوالى فيكون التيار I_D صغير جدا، ومن الناحية الأخرى عندما يكون $V_i = 0$، يصبح T_1 فى وضع فتح OFF كما يكون T_2 فى وضع غلق ON، ولهذا يصبح جهد الخرج: $V_o \approx V_{CC}$ ويكون تيار المصب I_D صغيراً للمرة الثانية.

وفى الحالتين حيث يكون أيا من الترانزيستورين T_1 أو T_2 فى وضع فتح OFF تكون القدرة المستنفذة صغيرة جدا حيث أنها تكون حاصل ضرب التيار التسرب فى وضع الفتح Leakage current × الجهد V_{CC}.

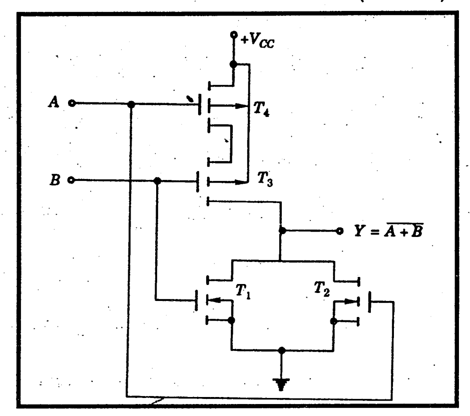
ويمكن تحقيق المزيد من الوظائف المعقدة باستخدام ترتيبات من هذه العواكس.

بوابات CMOS NAND & NOR :

يبين شكل (4-20) بوابة CMOS NAND ذات 2 مدخل ، كما يبين شكل (4-21) بوابة CMOS NOR ذات 2 مدخل، ففى البوابة CMOS NAND يتم توصيل الترانزيستورات القائدة NMOS على التوالى بينما توصل ترانزيستورات الحمل PMOS على التوازى، أما البوابة CMOS NOR فيتم الحصول عليها بتوصيل الترانزيستورات القائدة NMOS على التوازى، بينما توصل ترانزيستورات الحمل PMOS على التوالى .



شكل (4-20) بوابة CMOS NAND ذات 2 مدخل



شكل (4-21) بوابة CMOS NOR ذات 2 مدخل

ومن جدول (4-8) يمكن فهم عمل البوابة CMOS NAND .

جدول (4-8)

الدخول		حالات أجهزة MOS				الخرج
A	B	T_1	T_2	T_3	T_4	Y
0	0	OFF	OFF	ON	ON	V_{CC}
0	V_{CC}	ON	OFF	ON	OFF	V_{CC}
V_{CC}	0	OFF	ON	OFF	ON	V_{CC}
V_{CC}	V_{CC}	ON	ON	OFF	OFF	0

كما يمكن فهم عمل البوابة CMOS NOR بطريقة مشابهه .

هامش الضوضاء :

يعتبر هامش الضوضاء للدوائر المتكاملة للمنطق CMOS أعلى من مثيله للدوائر المتكاملة للمنطق TTL بدرجة ملحوظة ، فأجهزة CMOS لها جهود تغذية ذات مدى واسع، كما يزيد هامش الضوضاء بزيادة جهد التغذية V_{CC}، ونجد أنه يعادل: 0.45 من الجهد V_{CC} .

سلاسل 54C00/74C00 CMOS :

توجد سلسلتان شائعتا الاستخدام للدوائر المتكاملة لمنطق CMOS، وهما: سلسلة 4000، وسلسلة 54C/74C، وتتكافأ سلسلة المنطق CMOS: 54C/74C مع عائلة المنطق TTL: 54/74 رجل برجل، ووظيفة بوظيفة لذا فإنها تعد من السلاسل المفضلة.

وتتراوح درجة الحرارة التشغيل للسلسلة 54C مابين 55°C -، و 125°C +، بينما تتراوح للسلسلة 74C مابين 40°C -، و 85°C +، كما ان السلسلة 54C/74C تتمتع كما ذكرنا بمدى جهد تغذية واسع يتراوح بين 3 V، و 15 V.

ولقد حدثت تطويرات هامة ومؤثرة للسلسلة 54C/74C، فظهرت السلسلة <u>74HC/74HCT</u> والتى تتمتع بسرعات عالية وقدرات تيارات أفضل، وتعرف السلسلة 74HC بـــ "سلسلة CMOS السرعة العالية"، بينما تعرف السلسلة 74HCT بـــ "سلسلة

CMOS السرعة العالية المطابقة للمنطق TTL"، كما ظهرت السلسلة 74AC/74ACT والتى تتمتع بالسرعات العالية جدا وتعرف السلسلة 74AC بـــ "سلسلة CMOS المتقدمة"، بينما تعرف السلسلة 74ACT بـــ "سلسلة CMOS المتقدمة المطابقة للمنطق TTL"، وتصل قيمة تفريعات الخرج Fan-out للسلسلة 74HC/74HCT إلى 20، بينما تصل فى السلسلة 74AC/74ACT إلى 50 عد قيادتها لسلاسل من CMOS، ويمكن تحديد قيمة تفريعات الخرج Fan-out عند قيادتها لمختلف بوابات سلاسل TTL بالرجوع إلى جدول (3-4) الذى يبين الخواص المختلفة لعائلات المنطق TTL، وجدول (9-4) الذى يبين الخواص المختلفة لعائلات CMOS ، كما تعمل هذه السلاسل المتطورة عند جهود تغذية تتراوح بين 2 V، و 6 V.

ويبين جدول (9-4) خواص الجهد والتيار لمختلف سلاسل المنطق 74 CMOS وتعمل عند جهد تغذية 5 V، ونلاحظ من الجدول أن تيارات وجهود الخرج للسلاسل 74HC/74HCT/74AC/74ACT تختلف باختلاف قيادتها لبوابات دوائر من نوع CMOS أو من نوع TTL.

وتتطابق سلسلتى 74HCT، و 74ACT مع سلسلة TTL فى الدخول والخروج، لذا فهى تستخدم سويا للوصول لتصميم النظام الأفضل من وجهة نظر السرعة، والقدرة المستنفذة، وهوامش الضوضاء ، والتكلفة .. إلخ.

جدول (9-4)

الخاصية	الحمل	74C	75HC	74HCT	74AC	74ACT	الوحدات
V_{IH}		3.5	3.85	2.0	3.85	2.0	V
V_{IL}		1.5	1.35	0.8	1.35	0.8	V
V_{OH}	CMOS	4.5	4.4	4.4	4.4	4.4	V
	TTL		3.84	3.84	3.76	3.76	V
V_{OL}	CMOS	0.5	0.1	0.1	0.1	0.1	V
	TTL		0.33	0.33	0.37	0.37	V
I_{IH}			1	1	1	1	µA
I_{IL}			-1	-1	-1	-1	µA
I_{OH}	CMOS	-0.1	-0.02	-0.02	-0.05	-0.05	mA
	TTL		-4.0	-4.0	-24.0	-24.0	mA
I_{OL}	CMOS	0.36	0.02	0.02	0.05	0.05	mA
	TTL		4.0	4.0	24.0	24.0	mA

14-4 المواءمة بين المنطق CMOS والمنطق TTL :

لتحقيق الأداء الأفضل فى النظام المنطقى وحيث تستخدم أجهزة من أكثر من عائلة واحدة، وللإستفادة من الخواص المميزة من كل عائلة والتى تناسب كل جزء من النظام، فعلى سبيل المثال تستخدم الدوائر المتكاملة لمنطق CMOS فى تلك الأجزاء من النظام التى تتطلب قدرة مستنفذة منخفضة، بينما تستخدم الدوائر المتكاملة لمنطق TTL فى الأجزاء من النظام التى تتطلب سرعة تشغيل عالية، كما أن بعض الوظائف المتاح تأديتها بواسطة المنطق TTL وغيرها يمكن أن تكون متاحة باستخدام المنطق CMOS، ومن هنا كان من الضرورى تجربة المواءمة بين المنطقين CMOS و TTL، فمثلا نجد أن السلسلة 74C من الدوائر المتكاملة للمنطق CMOS يمكنها العمل مع أى مصدر تغذية يتراوح مداه من 3 V إلى 15 V بينما تعمل السلاسل 74HC/74HCT/74AC/74ACT مع مصادر تغذية تتراوح مداها من 2 V إلى 6 V، وحيث أن منبع التغذية 5 V يستخدم فى كل السلاسل 74 للدوائر المتكاملة للمنطق TTL، فعلى هذا يصبح من الضرورى تشغيل أجهزة المنطق CMOS بمنابع تغذية قيمتها 5 V حتى تتحقق المواءمة المناسبة بينها وبين أجهزة المنطقTTL .

المنطق **CMOS** كقائد للمنطق **TTL** :

يبين شكل (22-4) بوابة CMOS كقائدة لعدد N من بوابات TTL، ولضمان أفضل عمل لهذا التشكيل، فإنه يتطلب تحقيق الشروط التالية:

$$V_{OH}\,(CMOS) \geq V_{IH}\,(TTL) \qquad (4\text{-}10)$$

$$V_{OL}\,(CMOS) \leq V_{IL}\,(TTL) \qquad (4\text{-}11)$$

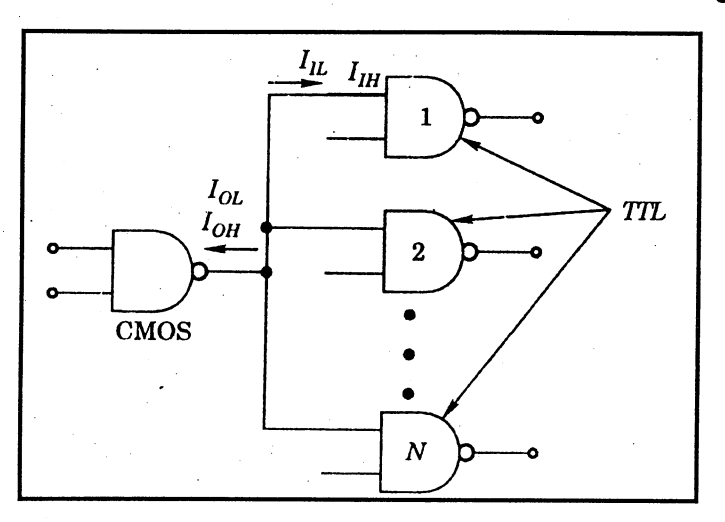
$$-I_{OH}\,(CMOS) \geq N\,I_{IH}\,(TTL) \qquad (4\text{-}12)$$

$$I_{OL}\,(CMOS) \geq -N\,I_{IL}\,(TTL) \qquad (4\text{-}13)$$

ومن الخواص الموجودة فى الجدولين (3-4)، و(9-4) نلاحظ مايلى:

1- شروط المعادلتين (10-4)، (11-4) متحققة دائما، وتكون هوامش الضوضاء عند قيادة السلسلة 74ACT لبوابات من السلسلة 74ALS كالتالى :

$$\Delta\,1 = 3.36 - 2.00 = 1.76\ V$$



شكل (4-22) بوابة CMOS كقائدة لعدد N من بوابات TTL

$\Delta 0 = 0.80 - 0.37 = 0.43$ V

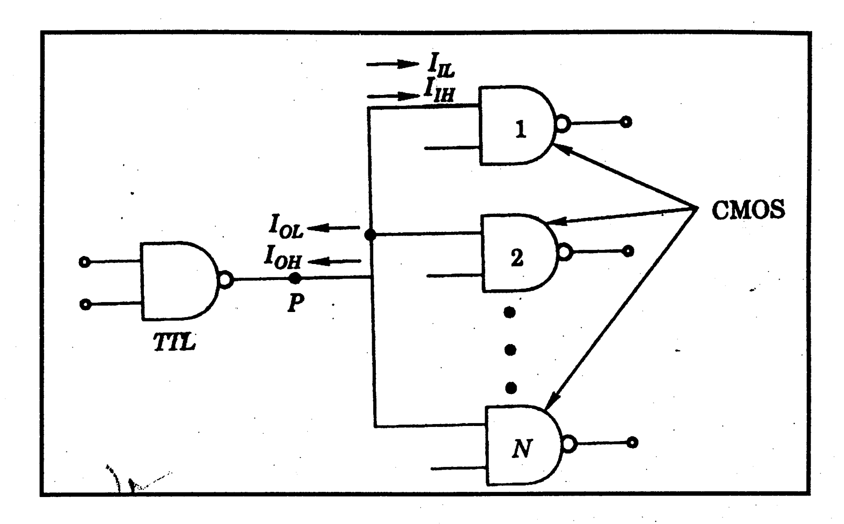
2- شروط المعادلتين (4-12)، (4-13) متحققة دائما للسلاسل 74HC/74HCT/74AC/74ACT، كما تختلف عدد البوابات N التى يتم قيادتها باختلاف السلاسل، فنجد مثلا أن السلسلة 74 ACT يمكنها قيادة عدد 240 بوابة من السلسلة 74ALS .

* فى حالة السلسلة 74C نجد إن شرط المعادلة (4-12) يتحقق لقيم N صغيرة، أما شرط المعادلة (4-13) فهو غير مُحقق حتى ولو عند: N = 1 عدا فى حالة سلاسل 74L، و 74ALS للمنطق TTL، ويمكن التغلب على هذه الصعوبة باستخدام بوابات عزل Buffer من نوع المنطق CMOS يتاح منها تيار خرج مناسب.

* يتحقق شرط المعادلة (4-13) عندما تقود بوابة من السلسلة 74C لعدد 2 من بوابات السلسلة 74L، أو لعدد 3 من بوابات السلسلة 74ALS .

المنطق TTL كقائد للمنطق CMOS :

يبين شكل (4-23) بوابة TTL كقائدة لعدد N من بوابات CMOS، ولضمان أفضل عمل لهذا التشكيل ، فإنه يتطلب تحقيق الشروط التالية:



شكل (4-23) بوابة TTL كقائدة لعدد N من بوابات CMOS

$$V_{OH}\,(TTL) \geq V_{IH}\,(CMOS) \quad (4\text{-}14)$$

$$V_{OL}\,(TTL) \leq V_{IL}\,(CMOS) \quad (4\text{-}15)$$

$$-I_{OH}\,(TTL) \geq N\, I_{IH}\,(CMOS) \quad (4\text{-}16)$$

$$I_{OL}\,(TTL) \geq -N\, I_{IL}\,(CMOS) \quad (4\text{-}17)$$

وتتحقق كل الشروط السابقة دائما فى السلاسل 74HC/74HCT/74AC/74ACT عند قيم N العالية، بينما لا يتحقق شرط المعادلة (4-14) فى السلسلة 74C، وتستخدم دائرة معدلة لرفع قيمة الجهد V_{OH} (TTL) أعلى من القيمة 3.5 V، وذلك بتوصيل مقاومة قيمتها حوالى 2 kΩ بين النقطتين P و V_{CC}، فتعمل كرفع إيجابى Passive pull-up والذى يرفع الجهد عند النقطة P لقيمة أعلى عندما يصبح الترانزيستور T_4 غير موصل .

15-4 منطق الحالات الثلاثة TRI-STATE :

فى دوائر المنطق المعتادة والتى نعرفها جيدا، نجد أن هناك حالتين للخرج هما: الحالة المنخفضة LOW، والحالة العالية HIGH، وحيثما لايكون الخرج فى الحالة المنخفضة LOW ، فهو بالتالى فى الحالة الأخرى، أى فى الحالة العالية HIGH،

وبالمثل حيثما لايكون فى الحالة العالية HIGH، فهو بالتالى فى الحالة الأخرى، أى فى الحالة المنخفضة LOW.

وفى الأنظمة الرقمية المعقدة كالحاسبات الدقيقة والمعالجات الدقيقة يكون المطلوب توصيل عدد من مخارج لبوابات على خط مشترك يُعرف بـ "ناقل البيانات" Data Bus، ومما يتطلب بالتالى قيادة عدد من مداخل لبوابات، وعند توصيل عدد من مخارج لبوابات على ناقل البيانات فإننا نتعرض لبعض المشاكل ومنها:

1- المخارج المعروفة بمخارج العمود الطوطمى Totem-pole outputs لايمكن توصيلها معا بسبب التيار الكبير جدا المسحوب من منبع التغذية ومما يتسبب فى تسخين الدوائر المتكاملة وبالتالى قد يتسبب ذلك فى إنهيارها.

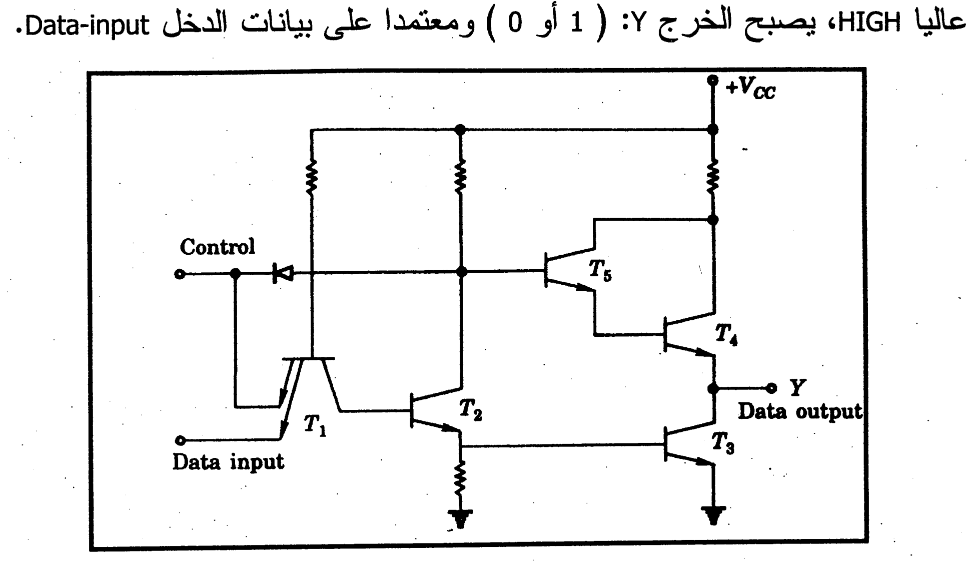
2- مخارج المجمع المفتوح Open-collector outputs يمكن توصيلها معا بمقاومة مجمع مشتركة موصلة خارجيا، مما قد يتسبب فى مشاكل فى الأحمال وسرعات التشغيل.

وللتغلب على هذه المشاكل طورت بعض الدوائر الخاصة والتى تتواجد فيها حالة خرج ثالثة تضاف للحالتين المنخفضة LOW والعالية HIGH، تعزى إلى الحالة الثالثة Third state، أو حالة الممانعة العالية High-impedance state، وتعرف هذه الدوائر بمنطق "الحالات الثلاث" Tri-state logic، أو Three-state logicوتختصر بـ : TSL.

فمثلا يوجد فرق وظيفى أساسى بين تمديدات بوابة OR ومنطق TSL، ففى تمديدات البوابة OR يكون الخرج Y: ($Y = Y_1 + Y_2$)، أما فى منطق TSL فالنتيجة لاتكون متماشية مع جبر بوول ، ولكن المقدرة على تجميع العديد من الوظائف من الناحية التجارية.

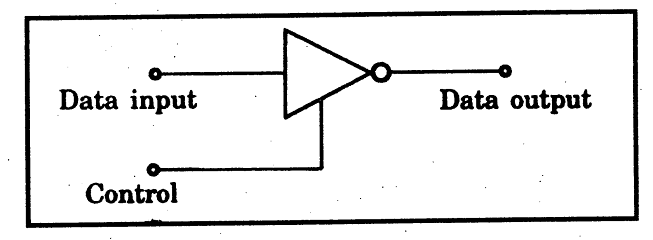
ويبين شكل (4-24) دائرة عاكس TSL ذات 3 حالات خرج، فعندما يكون التحكم منخفضا LOW، فعندئذٍ تزال القيادة من الترانزيستورات T_3 و T_4 ومن هنا

يصبحان فى القطع Cut-off ويكون الخرج فى الحالة الثالثة، أما عندما يكون التحكم عاليا HIGH، يصبح الخرج Y: (1 أو 0) ومعتمدا على بيانات الدخل Data-input.



شكل (4-24) منطق TSL يعمل كعاكس

كما يبين شكل (4-24) رمز للمنطق TSL يعمل كعاكس.



شكل (4-25) رمز للمنطق TSL يعمل كعاكس

ويوضح جدول (4-10) جدول الحقيقة لهذا المنطق .

جدول (4-10)

بيانات الدخل	التحكم	بيانات الخرج
0	0	HIGH - Z
1	0	HIGH - Z
0	1	1
1	1	0

كما يوضح جدول (4-11) خصائص تيارات الدخل والخرج للمنطق TSL الذى يعمل كعاكس.

جدول (4-11)

البارامتر	دخل التحكم منخفض LOW	دخل التحكم عالى HIGH
I_{IH}	40 µA	40 µA
I_{IL}	-1.6 mA	-1.6 mA
I_{OH}	40 µA	-5.2 mA
I_{OL}	-40 µA	1.6 mA

* وفى نهاية الفصل يمكننا القول:

تمت مناقشة المعالم الأساسية لغالبية عائلات المنطق ، ويمكن الوصول إلى الاستنتاجات الهامة التالية :

1- لم تعد العائلات RTL، و DTL مستخدمة فى أى أنظمة رقمية جديدة، ويرجع ذلك بسبب سرعاتها المنخفضة والقدرة العالية المستنفذة وإنخفاض قيمة تفريعات الخرج.

2- عائلة المنطق TTL هى أفضل عائلات المنطق عامة حيث تتاح فى 7 سلاسل مختلفة مع مدى واسع من سرعات التشغيل والقدرات المستنفذة وقيم تفريعات الخرج، كما يتاح فى هذه العائلة عدد كبير من الوظائف فى تكامل النطاق الصغير SSI والمتوسط MSI، كما تتاح الدوائر المتكاملة لمنطق TTL ذات مخرج العمود الطوطمى (والذى يقلل حاصل ضرب السرعة x القدرة)، وذات مخرج المجمع المفتوح (والذى يتيح إمكانية عملية توصيلات AND وناقل المعلومات)، ومخارج TSL (وهى نموذجياً تناسب عملية ناقل المعلومات) .

3- عائلة المنطق HTL هى أنسب عائلات المنطق إستخداما فى الأوساط الصناعية، حيث يرتفع مستوى الضوضاء الكهربية فى هذه الأوساط .

4- عائلة المنطق ECL هى أسرع عائلات المنطق، إلا أن إنخفاض هوامش الضوضاء وكبر القدرة المستنفذة تعتبر من عيوبها الرئيسية، وعند مواءمتها مع عائلات المنطق الأخرى يتطلب ذلك إدخال دوائر إزاحة المستوى Level shifting circuits.

5- عائلة المنطق I^2L هى عائلة المنطق المشبعة الثنائية القطبية الوحيدة والمناسبة لتكامل النطاق الواسع LSI حيث الإحتياج إلى منطقة صغيرة من شريحة سيليكون وقدرة مستهلكة منخفضة، كما نجد أن جهد التغذية المطلوب يكون منخفضا، فبالتالى تناسب هذه العائلة بدرجة كبيرة للأنظمة التى تعمل بالبطاريات، كما يمكن لهذه العائلة من قيادة دوائر TTL إذا تم توصيل حمل مقاومة فى مرحلة خرج للمنطق I^2L مع جهد تغذية أعلى قيمته 5 V.

6- تحتل أجهزة MOS جزءاً صغيراً جداً فى منطقة من شريحة سيليكون مقارنة بالأجهزة الثنائية القطبية، كما تحتاج لقدرة صغيرة جداً، ولهذا فهى أفضل عائلات المنطق لتكامل النطاق الواسع LSI، أما العيب الرئيسى لهذه الأجهزة فهو سرعتها المنخفضة، والتى تم تطويرها مع تطوير تكنولوجيا تصنيع هذه الجهزة.

7- تتميز عائلة المنطق CMOS بأن خاصية قيمة حاصل ضرب السرعة x القدرة هى أصغر القيم ضمن عائلات المنطق جميعا، كما أنها تحتاج لقدرة صغيرة جداً، كما أنها تصبح المفضلة أكثر فى تكامل النطاقين المتوسط MSI، والواسع LSI.

* وفى النهاية يبين جدول (4-12) مقارنة بين مختلف عائلات المنطق .

جدول (4-12)

المنطق / البارامتر	البوابة الأساسية	تفريع الخرج	القدرة المستنفذة لكل بوابة (mW)	حصانة الضوضاء	زمن تأخير الإنتشار (ns) لكل بوابة	P.J
RTL:	NOR	5	12	عادى	12	144
I^2L:	NOR	(1)	(2)	ضعيف	25-250	<1
DTL:	NAND	8	8-12	جيد	30	300
HTL:	NAND	10	55	ممتاز	90	4950
TTL :						
القياسى	NAND	10	10	جيد جدا	10	100
قدرة عالية وسرعة عالية H	NAND	10	22	جيد جدا	6	132
قدرة منخفضة وسرعة منخفضة L	NAND	20	1	جيد جدا	33	33
شوتكى سرعة منخفضة LS	NAND	20	2	جيد جدا	9.5	19
شوتكى S	NAND	10	19	جيد جدا	3	57
شوتكى متقدم AS	NAND	40	10	جيد جدا	1.5	15
شوتكى متقدم قدرة منخفضة ALS	NAND	20	1	جيد جدا	4	4
ECL:						
10K	OR-NOR	25	40-55	ضعيف	2	100
100K	OR-NOR		40-55	ضعيف	0.75	40
MOS:	NAND	20	10	جيد	300	60
CMOS :						
74C	NOR أو NAND	50	0.01	جيد جدا	70	0.7

المنطق / البارامتر	البوابة الأساسية	تفريع الخرج	القدرة المستنفذة لكل بوابة (mW)	حصانة الضوضاء	زمن تأخير الإنتشار (ns) لكل بوابة	P.J
74HC	NOR أو NAND	20	0.0025	جيد جدا	18	0.045
74HCT	NOR أو NAND	20	0.0025	جيد جدا	18	0.045
74AC	NOR أو NAND	50	0.005	جيد جدا	5.25	0.026
74ACT	NOR أو NAND	50	0.005	جيد جدا	4.75	0.024

ملاحظة:

(1) تعتمد على تيار الحقن.

(2) من 6nw إلى 70µw

تدريبات

تدريب (4-1) :

فى شكل (4-4) الذى يمثل منطق RTL NOR بـــ 2 مدخل يسوق عدد N من البوابات المتشابهه ، إحسب القدرة المتوسطة المزودة من V_{CC} للبوابة القائدة عندما تقود 5 بوابات ، وبفرض أن :

$V_{BE,sat} \approx 0.8$ V و ، $V_{CE,sat} \approx 0.2$ V و ، $h_{FE} = 10$.

مع إهمال تيارات التسريب .

تدريب (4-2) :

فى دائرة الشكل (4-4)، إحسب: جهد الخرج V_o ، وهامش الضوضاء $\Delta 1$ عند: (N = 5 , 6 , 7 , 8 , 9 , 10) مع فرض أن: $h_{FE} = 10$.

تدريب (4-3) :

فى دائرة DTL المبينة فى شكل (4-10)، ماذا يحدث إذا:

أ- حذف أحد الموحدين D_1 أو D_2.

ب- إضافة موحد ثالث D_3 على التوالى مع الموحدين D_1 و D_2 .

تدريب (4-4) :

إحسب قيمة h_{FE} المطلوبة لكى يصبح قيمة تفريعات الخرج مساوية 10 فى دائرة DTL المبينة فى شكل (4-10).

تدريب (4-5) :

فى دائرة DTL NAND المعدلة والمبينة فى شكل (4-11)، بين أنه عندما يكون الترانزيستور T_1 موصلاً فإنه يصبح فى المنطقة الفعالة وليس فى منطقة التشبع.

تدريب (4-6) :

إشرح عمل دائرة DTL NAND المعدلة والمبينة فى شكل (4-11)، واحسب:

أ-تفريعات الخرج.

ب- هوامش الضوضاء.

ج- القدرة المتوسطة المستنفذة.

بفرض أن : $h_{FE} = 30$.

تدريب (4-7) :

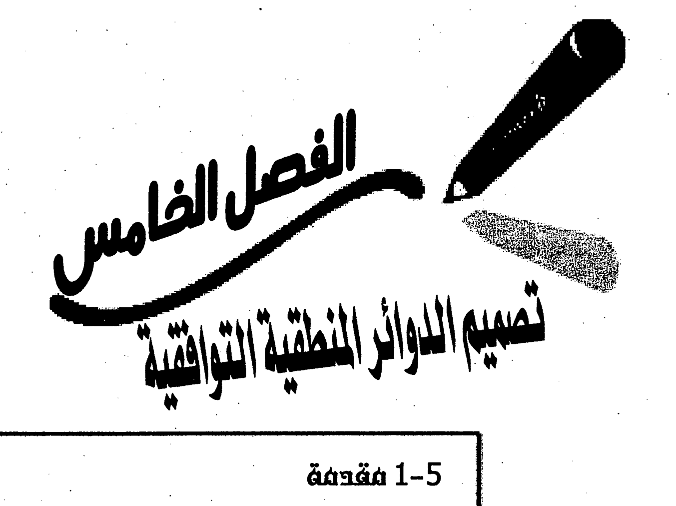
فى دائرة HTL المبينة فى شكل (4-12)، احسب:

أ- تفريعات الخرج.

ب- هوامش الضوضاء.

ج- القدرة المتوسطة المستنفذة.

بفرض أن : $h_{FE} = 40$.



الفصل الخامس

تصميم الدوائر المنطقية التوافقية

1-5 مقدمة :

فى الفصل الأول تمت دراسة العمليات المنطقية وجبر بوول، وعرفنا أن نظريات بوول الجبرية تستخدم فى التعامل مع التعبيرات المنطقية، كما وضحنا أنه يمكن تنفيذ التعبيرات المنطقية باستخدام البوابات المنطقية Logic gates، ومع إمكانية تبسيط التعبير المنطقى فإنه بالتالى يمكن تقليل عدد البوابات المستخدمة وأيضا تقليل عدد أطراف المداخل Input terminals لهذه البوابات لتحقيق هذا التعبير المنطقى، ولهذا فإن عملية تبسيط التعبير المنطقى هامة جداً، حيث يمكن توفير الكثير من المكونات المادية المطلوبة عند تصميم نظام معين.

كما يمكن تحقيق عدد كبير من الدوال أو الوظائف بدائرة تكاملية واحدة، ولهذا لابد من أن نكون قادرين على الاستخدام الأمثل للدوائر التكاملية عند تصميم الأنظمة الرقمية، ولقد تطرقنا إلى بعض أنواع البوابات المختلفة على شكل دوائر متكاملة فى القسم (1-7)، كما سيتم فى هذا الفصل مناقشة بعض الدوائر الأخرى على شكل الدوائر المتكاملة.

وأساساً يتم تقسيم الدوائر الرقمية إلى فئتين رئيسيتين:

1- الدوائر التوافقية Combinational circuits.

2- الدوائر التتابعية Sequential circuits.

ففى الدوائر التوافقية يكون الخرج فى أى لحظة من الوقت معتمدا على الدخل المتواجد عند نفس الوقت، وبما يعنى عدم وجود أى نوع من الذاكرة فى هذه الدوائر، أما فى الدوائر التتابعية فيعتمد الخرج فيها فى أى لحظة من الوقت على الدخل المتواجد عند نفس اللحظة من الوقت، بالإضافة إلى الدخول أو الخروج السابقة، وهذا يعنى وجود عناصر Elements مستخدمة فى تخزين معلومات سابقة، والتى تعرف بعناصر الذاكرة Memory.

كما يمكن أن تحتوى الأنظمة المنطقية التتابعية عند تصميمها على أنظمة فرعية توافقية، وسيتم هنا دراسة تصميم الأنظمة التوافقية، أما الأنظمة التتابعية فسوف يتم التطرق إليها لاحقا.

ويمكن تحديد متطلبات تصميم الدوائر التوافقية فى واحدة من الطرق الآتية:

1- مجموعة من الجمل Statements.

2- تعبير من تعبيرات بوول.

3- جدول الحقيقة.

والهدف الآن هو تصميم دائرة باستخدام البوابات التى تمت دراستها من قبل ، أو التصميم باستخدام بعض الدوائر الأخرى التى هى فى الحقيقة مشتقة من البوابات الأساسية، وبما يحقق المطلوب - ماهو معروف فى فلسفة التصميمات الهندسية - بأقل عدد من المكونات Components لتحقيق التكلفة المنخفضة والتوفير فى الحجم، وكذلك التوفير فى متطلبات القدرة المستهلكة.

وتوجد طريقتان لتصميم الدوائر التوافقية، إحداهما الطريقة التقليدية والتى سوف يتم مناقشتها فى هذا الفصل وفيها يتم تبسيط تعبير بوول أو جدول الحقيقة بواسطة الطرق القياسية Standard methods، ثم تحقيق هذا التعبير المبسط باستخدام البوابات، أما الطريقة الثانية فعادة لاتحتاج إلى أى يتم تبسيط للتعبير المنطقى أو جدول الحقيقة حيث يستخدم بدلا منها الدوال المنطقية المركبة والتى تكون متاحة فى الدوائر المتكاملة المتوسطة النطاق Medium Scale ICs (MSI)، والدوائر المتكاملة الواسعة النطاق Large Scale ICs (LSI).

وفى تبسيط دوال بوول ، يتم استخدام الطرق التالية:

1- الطريقة الجبرية Algebric method.

2- تقنية خريطة كارنوف KARNAUGH - Map technique (K-map).

3- تقنية خريطة المتغير المنضم Variable Entered Mapping (VEM) technique.

4- طريقة كوين-ماكلوسكى QUINE-McCLUSKEY method.

وسيتم هنا بالإكتفاء بالطريقتين الأولى والثانية، حيث تعد تقنية خريطة كارنوف K-map أبسط الطرق وأكثرها شيوعاً، حيث يمكن إستخدامها إلى حتى 6 متغيرات كما سيتم توضيحه.

2-5 التمثيل القياسى للدوال المنطقية :

يتم التعبير عن الدالة المنطقية بدلالة مايعرف بالمتغيرات المنطقية Logic variables، ويستخدم الشكل الثنائى Binary form فى تمثيل الدوال والمتغيرات المنطقية، كما يمكن التعبير عن أى دالة إختيارية بأحد الأشكال الآتية:

1- شكل مجموع حواصل الضرب Sum-Of-Products form (SOP).

2- شكل مضروب المجموعات Product-Of-Sums form (POS).

وهذا لايعنى عدم إمكانية كتابة الدالة المنطقية على أشكال أخرى، بل يمكن كتابتها بأشكال عديدة، إلا ان الشكلين المذكورين هما أنسب الأشكال وأقربها إلى الطرق التقليدية لتصميم الدوائر، والتى ستكون واضحة من المناقشات التالية.

مثال (5-1) :

من المعادلة المنطقية التالية:

$$Y = (A + BC)(B + \overline{C}A) \qquad (5\text{-}1)$$

أ- مطلوب استخدام البوابات فى تصميم دائرة تحقق هذه المعادلة.

ب- بين إذا كان من الممكن تصميم الدائرة باستخدام نوع واحد من البوابات (NAND أو OR) ، وإذا تحقق ذلك فمطلوب تصميم هذه الدائرة.

ج- بين إذا كان من الممكن تبسيط هذه المعادلة، وفى حالة تحقيق ذلك فمطلوب تبسيطها ثم تصميمها.

د- قارن بين الدوائر التى تم الحصول عليها فى البنود السابقة من حيث عدد البوابات وعدد المداخل وأنواع البوابات وزمن تأخير الإنتشار.

الحل :

من المعادلة المعطاه، نجد أننا أمام 3 مدخل متغير منطقى A وB وC كما نجد أن الخرج ممثل بالمتغير Y، ويظهر المتغير C على شكل C و $\overline{C}$، ويسمى المتغير

الموجود على الشكل المكمل Complemented أو الموجود على الشكل غير المكمل Uncomplemented بالمتغير الواقعى Literal.

أ- يمكن ببساطة تمثيل الدوائر التى تستخدم البوابات وذلك بالنظر إلى المعادلة ثم البحث عن البوابات الأساسية التى يمكن استخدامها لتنفيذ أجزاء المعادلة المختلفة، ثم توصيل هذه الأجزاء ببعضها للوصول فى النهاية إلى الدائرة المطلوبة فنفرض أولا ان كل إشارات Signals المتغيرات الموضوعية متاحة سواء أكانت على الشكل غير المكمل مثل: C، أو على الشكل المكمل مثل: $\overline{C}$.

(1) بالنظر إلى المقطع (A + B C)، فهو مكون من جزئيتين ، الجزئية الأولى تمثلها متغير واقعى واحد هو: A، أما الجزئية الثانية B C فيمثلها المتغيرين الواقعين B وC، والتى يمكن تحقيقها باستخدام بوابة AND ذات مدخلين، ثم تجميع الجزئيتَين A وB و C باستخدام بوابة OR ذات مدخلين، ونحصل فى النهاية على التحقيق الكامل للمقطع (A + B C) عند نهاية الخرج Y_1، وكما هو موضح فى شكل (5-1-a) ، اى أن:

$$Y_1 = (A + BC)$$

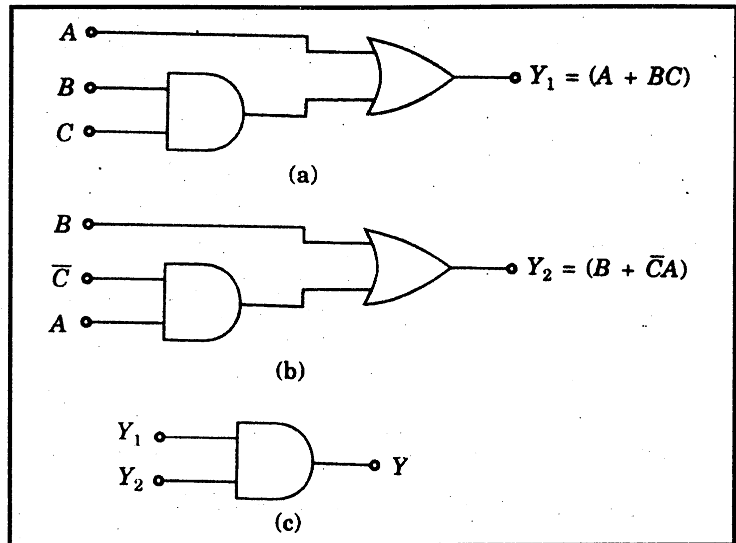
(2) بالمثل وبالنظر إلى المقطع $B+\overline{CA}$، فهو مكون من جزئية يمثلها متغير واقعى واحد هو: B، بالإضافة إلى الجزئية $\overline{CA}$ ويمثلها المتغيرين الواقعيين $\overline{C}$ وA، ويتم تحقيق هذا المقطع بنفس الخطوات السابقة عند تنفيذ المقطع (A + B C) وكما هو موضح فى شكل (5-1-b) حيث يكون :

$$Y_2=(B+\overline{CA})$$

(3) والآن يتم التحقيق الكامل للمعادلة باستخدام بوابة AND ذات مدخلين هما: Y_1، Y_2، ونحصل على الخرج Y، كما هو موضح فى شكل (5-1-c) حيث يكون:

$$Y = Y_1 . Y_2$$

*وفى النهاية نجد أن المعادلة قد تحققت بعدد 2 بوابة من نوع OR كل منهما بمدخلين، وعدد 3 بوابة من نوع AND كل منها بمدخلين ايضاً.



شكل (5-1) الدوائر المنطقية التى تحقق المعادلة (5-1)

ب- يمكن تبسيط المعادلة بطريقتين :

- شكل مجموع حواصل الضرب Sum-Of-Products form (SOP)
- شكل مضروب المجموعات Product-Of-Sums form (POS)

(1) شكل مجموع حواصل الضرب (SOP) :

يمكن كتابة المعادلة (5-1) باستخدام النظرية (1-9)، فتكون على الصورة:

$$Y = A(B+\overline{C}A)+(BC)(B+\overline{C}A)$$

$$=AB+A\overline{C}A+BCB+BC\overline{C}A \qquad (5-2)$$

باستخدام النظرية (1-6) يكون :

$$A\overline{C}=(A.A).\overline{C}=A\overline{C}$$

وأيضا يكون :

$$BCB=(B.B).C=BC$$

وباستخدام النظرية (1-8)، يكون:

$$BC\bar{C}A = B(C.\bar{C}).A = B.0.A$$

ومن النظرية (1-4)، يكون:

$$BC\bar{C}A = B.0.A = 0$$

وبالرجوع إلى المعادلة (5-2)، يكون:

$$Y = A B + A \bar{C} + B C \qquad (5\text{-}3)$$

ويسمى الشكل المُمثّل بالمعادلة (5-3) بشكل مجموع حواصل الضرب (SOP)، ويمكن تحقيق المعادلة باستخدام تشكيل AND-OR كما فى شكل (5-2-a) ويعرف هذا التحقيق بـــ "التحقيق بمستويين" Two-level realization، حيث يتكون المستوى الأول من عدد 3 بوابات AND كل منها بمدخلين، بينما يتكون المستوى الثانى من بوابة واحدة OR بثلاثة مداخل .

وباستخدام نظرية (1-22) يمكن كتابة المعادلة (5-3) لتكون على الصورة:

$$\bar{Y} = \overline{AB + A\bar{C} + BC}$$

$$= \overline{AB}.\overline{A\bar{C}}.\overline{BC} \qquad (5\text{-}4)$$

أو يمكن أن نقول:

$$= \overline{Y_1 \cdot Y_2 \cdot Y_3}$$

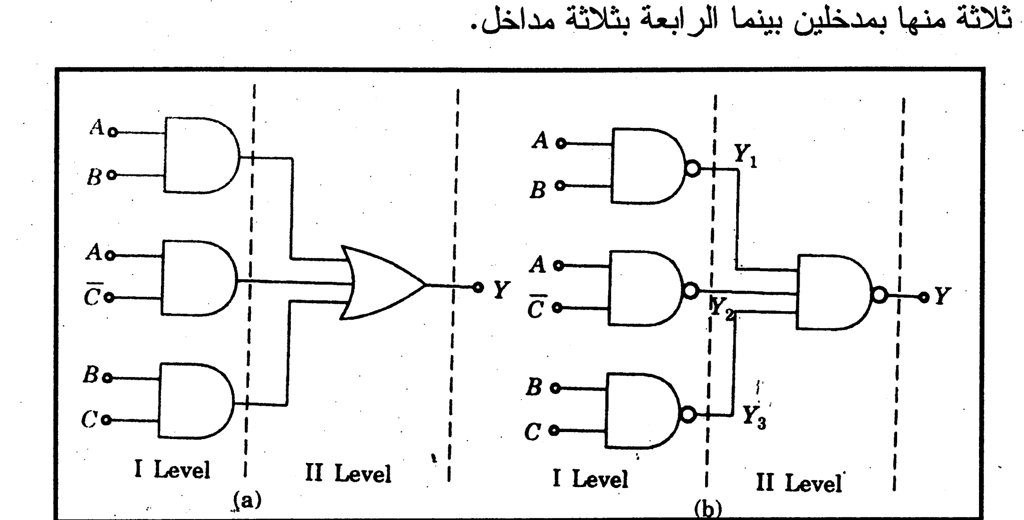
$$Y_1 = \overline{AB}$$

$$Y_2 = \overline{A\bar{C}}$$

$$Y_3 = \overline{BC}$$

ويتم تمثيل المعادلة (5-4) باستخدام بواباتNAND فقط ، كما فى شكل (5-2-b) وهو أيضا تحقيق بمستويين، وعلى هذا نجد أنه عند تمثيل المعادلة على الشكل

SOP، فيمكن تصميم الدائرة باستخدام نوع واحد من البوابات (NAND) عددها 4، ثلاثة منها بمدخلين بينما الرابعة بثلاثة مداخل.



شكل (5-2) تحقيق المعادلة (5-3) باستخدام بوابات AND-OR ، وبوابات NAND-NHND

(2)- شكل مضروب المجموعات Product-Of-Sums (POS) :

يمكن كتابة المعادلة (5-1) باستخدام النظرية (1-10) لتكون على الصورة:

$$Y = (A+B)(A+C)(B+\bar{C})(B+A)$$

ومن النظرية (1-6) يكون:

$$(A+B)(B+A) = (A+B)$$

ومنه يكون:

$$Y = (A+B).(A+C).(B+\bar{C}) \qquad (5\text{-}5)$$

ويسمى شكل التمثيل للمعادلة (5-3) بشكل مضروب المجموعات (POS)، ويمكن تحقيق المعادلة باستخدام تشكيل OR-AND كما فى شكل (5-3-a)، وهو أيضا تحقيق بمستويين، حيث يتكون المستوى الأول من عدد 3 بوابات OR كل منها بمدخلين، بينما يتكون المستوى الثانى من بوابة واحدة AND بثلاثة مداخل.وباستخدام نظرية (1-21) يمكن كتابة المعادلة (5-5) لتكون على الصورة :

$$\overline{Y} = \overline{(A+B)(A+C)+(B+\overline{C})}$$

أو:

$$= \overline{(A+B)} + \overline{(A+C)} + \overline{(B+\overline{C})}$$

$$Y = \overline{Y_A + Y_B + Y_C} \qquad (5\text{-}6)$$

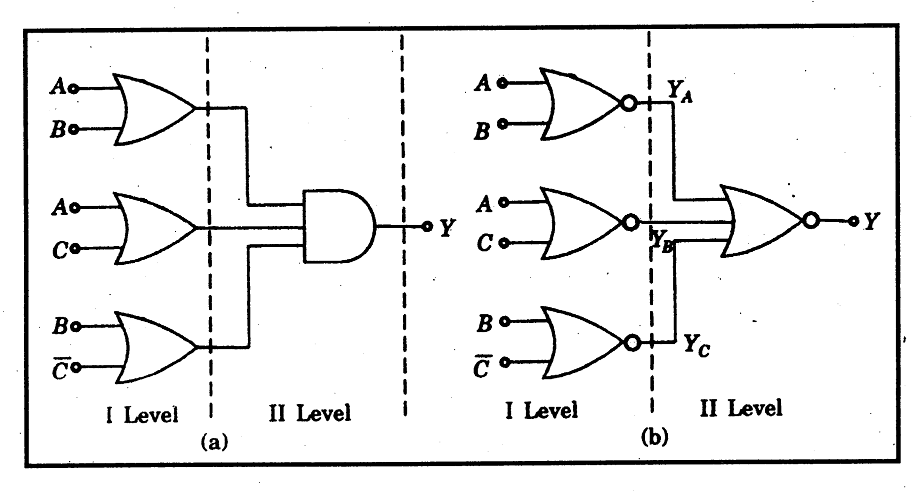
حيث:

$$Y_A = \overline{A+B}$$

$$Y_B = \overline{A+C}$$

$$Y_C = \overline{B+\overline{C}}$$

ويتم تمثيل المعادلة (5-6) باستخدام بوابات NOR فقط ، كما فى شكل (5-3-b) وهو أيضا تحقيق بمستويين، وعلى هذا نجد أنه عند تمثيل المعادلة على الشكلPOS، فيمكن تصميم الدائرة باستخدام نوع واحد من البوابات (NOR) عددها 4، ثلاثة منها بمدخلين بينما الرابعة بثلاثة مداخل .



شكل (5-3) تحقيق المعادلة (5-5) باستخدام بوابات OR-AND ، وبوابات NOR-NOR

ج- (1) تبسيط المعادلة (5-3) :

بالرجوع للمعادلة (5-3) ، يكون :

$$Y = AB + A\overline{C} + BC$$

ومن نظرية (1-19) يكون :

$$Y = BC + A\overline{C} \qquad (5\text{-}7)$$

(2) تبسيط المعادلة (5-5) :

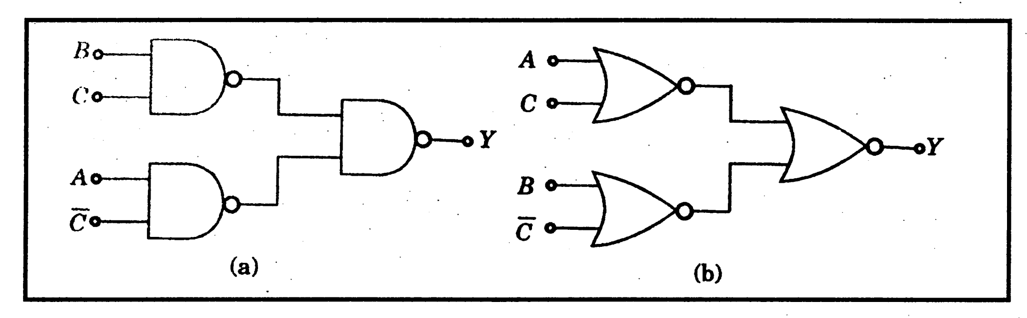
بالرجوع للمعادلة (5-5) ، يكون :

$$Y = (A+B).(A+C).(B+\overline{C})$$

ومن نظرية (1-20) يكون :

$$Y = (A+C).(B+\overline{C}) \qquad (5\text{-}8)$$

ويكون تمثيل المعادلتين (5-7) و(5-8) ، كما هو موضح فى الشكلين (5-4-a)، (5-4-b)



شكل (5-4) تحقيق المعادلتين (5-7) ، (5-8)

ومن هنا نرى أن متطلبات البنود (أ)، و (ب)، و (ج) تختلف، ويبين جدول (5-1) تلخيص لهذه المتطلبات.

حيث يمكن مقارنة النتائج كالآتى :

* تحقيق البند (أ) يحتاج بوابات مختلفة وكثيرة، علاوة على تحقيق ذلك من خلال 3 مستويات Three-level realization، وبما يسبب زيادة فى زمن تأخير الإنتشار ومنه إلى تقليل سرعة التشغيل ، إلا أن التحقيق من خلال البندين (ب)، و(ج) يكون أكثر فائدة حيث يستخدم نوع واحد من البوابات (NAND، أوNOR) والذى يكون مناسبا أكثر ومن السهل تحقيقه حيث يتوافر العديد من النوع الواحد من البوابات فى حزمة Package واحدة من دائرة تكاملية، ألا أن التنفيذ بالبند (ج) يتطلب عدد أقل من البوابات، والذى يظهر منه أن تبسيط التعبيرات الرقمية مفيد.

* ونجد أن المعادلتين (5-3) و (5-5) واللتين تمثلان الشكلين (SOP) و(POS) على الترتيب، لايحتوى كل مقطع من المعادلة بالمتغيرات الواقعية الثلاثة مجتمعة، وفى حالة إحتواء كل المتغيرات الواقعية فى كل المقاطع فى الشكلين(SOP) و(POS)، فيسميان بالشكلين القياسيين Standard، أو القانونيين Canonical، كما يسمى كل مقطع من الشكل (SOP) القياسى مثل المقطع (AB) من المعادلة (5-3) بمدلول أدنى Minterm، بينما يسمى كل مقطع من الشكل (POS) القياسى مثل المقطع (A+B) من المعادلة (5-5) بمدلول أقصى Maxterm

جدول (5-1)

الجزء (أ)	الجزء (ب)		الجزء (ج)
3 بوابة AND كل منهما بمدخلين . و : 2 بوابة OR كل منهمابمدخلين .	3 بوابة AND كل منهما بمدخلين . و : 1 بوابة OR بـــ 3 مداخل . أو : 3 بوابة NAND كل منها بمدخلين . و : 1 بوابة NAND بـــ 3 مداخل .	3 بوابة OR كل منهما بمدخلين . و : 1 بوابة AND بـــ 3 مداخل . أو : 3 بوابة NOR كل منها بمدخلين . و : 1 بوابة NOR بـــ 3 مداخل .	3 بوابة NAND كل منها بمدخلين . أو : 3 بوابة NOR كل منها بمدخلين .

ويمكن تحويل كل شكل من الشكلين(SOP)، و(POS) الغير قياسيين إلى الشكل القياسى كالآتى:

* *تحويل الشكل (SOP) الغير قياسى إلى الشكل القياسى :*

يتم تحويل الشكل (SOP) الغير قياسى إلى الشكل القياسى، وذلك بعمل ANDing لكل مقطع من المعادلة بالمتغير الغير موجود فى المقطع بأن يتم تمثيل هذا المتغير الغير موجود بـــOring له مع مكمله، فمثلا إذا كان لدينا تعبير يشمل 3 متغيرات A وB وC وكان المتغيران B، وC غير موجودين، أى أن المقطع ممثل بالمتغير A فقط، فيتم تكوين مقطعين بعمل Oring لكل منهما، أى:

$(B+\bar{B})$، و $(C+\bar{C})$، ثم ANDing لهما مع المتغير A، أى نحصل فى النهاية على المقطع كالتالى:

$$A = A.(B+\bar{B}).(C+\bar{C})$$

ويصبح بذلك الشكل (SOP) القياسى على الصورة:

$$A = ABC + A\bar{B}C + AB\bar{C} + A\bar{B}\bar{C}$$

مثال (5-2) :

- مطلوب تحويل المعادلة (5-3) إلى الشكل SOP القياسى.

الحل :

من المعروف أن المعادلة (5-3) على الصورة:

$$Y = AB + A\bar{C} + BC$$

حيث نجد أن المتغير C غير موجود فى المقطع الأول فيتم ANDing $(C+\bar{C})$ إليه، وبالمثل نجد أن المتغير B غير موجود فى المقطع الثانى فيتم ANDing $(B+\bar{B})$ إليه، كما نجد أن المتغير A غير موجود فى المقطع الثالث فيتم ANDing $(A+\bar{A})$ إليه، وعلى ذلك تؤول المعادلة إلى:

$$Y = AB(C+\bar{C}) + A\bar{C}(B+\bar{B}) + BC(A+\bar{A})$$

$$= ABC + AB\bar{C} + AB\bar{C} + A\bar{B}\bar{C} + ABC + \bar{A}BC$$

وبتطبيق نظرية (1–6) تؤول المعادلة السابقة إلى :

$$Y = ABC + AB\bar{C} + A\bar{B}\bar{C} + \bar{A}BC \qquad (5\text{-}9)$$

** تحويل الشكل (POS) الغير قياسى إلى الشكل القياسى :*

بالمثل يمكن تحويل الشكل (POS) الغير قياسى إلى الشكل القياسى وذلك بعمل ORing فى المقاطع المختلفة من المعادلة بالمتغيرات التى كانت غير موجودة فى المقطع بتمثيل ذلك المتغير بـــANDing له مع مكمله، فمثلا إذا كان لدينا تعبير يشمل 3 متغيرات A وB وC وكان المتغيران B وC غير متواجدين، فنقوم بتكوين مقطعين بعمل ANDing لكل منهما، أى ($B\bar{B}$) و($C\bar{C}$)، ثم Oring لهما مع المتغير A، أى نحصل فى النهاية على المقطع:($A + B\bar{B} + C\bar{C}$) وبتطبيق نظرية (1–10) يكون الناتج مساويا:

$$A = (A + B\bar{B} + C)(A + B\bar{B} + \bar{C})$$

$$= (A+B+C)(A+\bar{B}+C)(A+B+\bar{C})(A+\bar{B}+\bar{C}) \qquad (5\text{-}10)$$

مثال (5–3) :

مطلوب تحويل المعادلة (5–5) إلى الشكل POS القياسى .

الحل :

من المعروف أن المعادلة (5–5) على الصورة :

$$Y = (A+B)(A+C)(B+\bar{C})$$

حيث نجد أن المتغير C غير موجود فى المقطع الأول فيتم ORing ($C\bar{C}$) إليه،

وبالمثل نجد أن المتغير B غير موجود فى المقطع الثانى فيتم ORing ($B\bar{B}$) إليه،

كما نجد أن المتغير A غير موجود فى المقطع الثالث فيتم ORing ($A\bar{A}$) إليه، وعلى ذلك تؤول المعادلة إلى:

$$Y = (A+B+C\bar{C})(A+B\bar{B}+C)(A\bar{A}+B+\bar{C})$$

وبتطبيق نظرية (1–10) يكون :

$$Y = (A+B+C)(A+B+\bar{C})(A+B+C)(A+\bar{B}+C)(A+B+\bar{C})(\bar{A}+B+\bar{C})$$

وبتطبيق نظرية (1–6) تؤول المعادلة إلى :

$$Y = (A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(\bar{A}+B+\bar{C}) \qquad (5\text{-}11)$$

ومفهوم المدلول الأدنى والمدلول أقصى الذى تم شرحه، يسمح لنا بتقديم مختصر مناسب جدا للتعبير عن الدوال الرقمية، ويوضح الجدول (5–2) المدلولات الأدنى والمدلولات الأقصى لدالة منطقية مكونة من 4 متغيرات والتى يبلغ مجموع المدلولات الأدنى والأقصى لكل منها: $2^4 = 16$، وعامة إذا كان عدد متغيرات الدالة المنطقية هى: n، فإن مجموع عدد المدلولات الأدنى والأقصى لكل منهما: 2^n، ومن الجدول نجد أن كل مدلول أدنى ممثل بالرمز m_i، حيث i يمثل المكافئ العشرى للعدد الرقمى الطبيعى المناظر للمدلول الأدنى مع تمثيل المتغيرات الطبيعية بـــ 1,s، وتمثيل المتغيرات المكملة بـــ 0,s، بالمثل نجد أن كل مدلول أقصى ممثل بالرمز M_j، حيث j يمثل المكافئ العشرى للعدد الرقمى الطبيعى المناظر للمدلول الأقصى، مع تمثيل المتغيرات الطبيعية بـــ 0,s، وتمثيل التغيرات المكملة بـــ 1,s ، وعلى هذا وباستخدام هذه الرموز يمكن كتابة المعادلة (5–9) لتكون على الصورة:

$$Y = m_7 + m_6 + m_4 + m_3$$

أو بالترتيب التصاعدى:

$$Y = m_3 + m_4 + m_6 + m_7$$

أى أن:

$$Y = \sum m\,(3, 4, 6, 7) \qquad (5\text{-}12)$$

حيث:

$m_3 = \bar{A}\,BC$

$m_4 = A\bar{B}\bar{C}$

$m_6 = AB\,\bar{C}$

$m_7 = ABC$

بالمثل يمكن كتابة المعادلة (5-11) لتكون على الصورة :

$Y = M_0 + M_1 + M_2 + M_5$

$Y = \prod M(0, 1, 2, 5)$ (5-13)

حيث :

$M_0 = A+B+C$

$M_1 = A+B+\bar{C}$

$M_2 = A+\bar{B}+C$

$M_5 = \bar{A}+B+\bar{C}$

وتمثل المعادلتان (5-12) و(5-13) شكلين مختزلين للشكلين SOP وPOS النموذجين على الترتيب، وحيث أن كلا منهما يمثل المعادلة المنطقية الرئيسية (5-1)، فنجد أن هناك نوع من العلاقة التكاملية بين الدالتين الممثلتين بدلالتى المدلولات الأدنى والمدلولات الأقصى، فهنا تعاملنا فى هاتين المعادلتين مع دالة منطقية مكونة من 3 متغيرات ، وحيث يكون عدد المدلولات الأدنى والأقصى مساويا 8، ويكون العدد العشرى المناظر محصور بين 0 و7، وكانت الأعداد العشرية المناظرة للمقاطع الأدنى هى: 3 و4 و6 و7 ، كما كانت الأعداد العشرية المناظرة للمقاطع الأقصى فكانت: 0 و1 و2 و5 (أى الأعداد الغير موجودة فى المقاطع الأدنى) ومن هنا نجد أن أى دالة منطقية يتم التعبير عنها بالمدلولات الأدنى فيمكن استنتاج التمثيل المناظر للتعبير عنها بالمدلولات الأقصى باستخدام خاصية التكامل، كما نجد أن أى دالة منطقية يتم التعبير عنها بالمدلولات الأقصى فيمكن استنتاج التمثيل

المناظر للتعبير عنها بالمدلولات الأدنى باستخدام خاصية التكامل، فمثلا إذا كان التعبير بالمدلولات الأدنى لدالة منطقية مكونة من 4 متغيرات، لدالة منطقية على الصورة :

جدول (5-2)

المتغيرات				المدلول الأدنى	المدلول الأقصى
A	B	C	D	m_I	M_I
0	0	0	0	$\bar{A}\bar{B}\bar{C}\bar{D} = m_0$	$A+B+C+D = M_0$
0	0	0	1	$\bar{A}\bar{B}\bar{C}D = m_1$	$A+B+C+\bar{D} = M_1$
0	0	1	0	$\bar{A}\bar{B}C\bar{D} = m_2$	$A+B+\bar{C}+D = M_2$
0	0	1	1	$\bar{A}\bar{B}CD = m_3$	$A+B+\bar{C}+\bar{D} = M_3$
0	1	0	0	$\bar{A}B\bar{C}\bar{D} = m_4$	$A+\bar{B}+C+D = M_4$
0	1	0	1	$\bar{A}B\bar{C}D = m_5$	$A+\bar{B}+C+\bar{D} = M_5$
0	1	1	0	$\bar{A}BC\bar{D} = m_6$	$A+\bar{B}+\bar{C}+D = M_6$
0	1	1	1	$\bar{A}BCD = m_7$	$A+\bar{B}+\bar{C}+\bar{D} = M_7$
1	0	0	0	$A\bar{B}\bar{C}\bar{D} = m_8$	$\bar{A}+B+C+D = M_8$
1	0	0	1	$A\bar{B}\bar{C}D = m_9$	$\bar{A}+B+C+\bar{D} = M_9$
1	0	1	0	$A\bar{B}C\bar{D} = m_{10}$	$\bar{A}+B+\bar{C}+D = M_{10}$
1	0	1	1	$A\bar{B}CD = m_{11}$	$\bar{A}+B+\bar{C}+\bar{D} = M_{11}$
1	1	0	0	$AB\bar{C}\bar{D} = m_{12}$	$\bar{A}+\bar{B}+C+D = M_{12}$
1	1	0	1	$AB\bar{C}D = m_{13}$	$\bar{A}+\bar{B}+C+\bar{D} = M_{13}$
1	1	1	0	$ABC\bar{D} = m_{14}$	$\bar{A}+\bar{B}+\bar{C}+D = M_{14}$
1	1	1	1	$ABCD = m_{15}$	$\bar{A}+\bar{B}+\bar{C}+\bar{D} = M_{15}$

$Y = \sum m(0 . 3, 6, 7, 10, 12, 15)$

فيكون التعبير بالمقاصع الأقصى على الصورة:

$Y = \prod M(1, 2, 4, 5, 8, 9, 11, 13, 14)$

5-3 تمثيل الدوال المنطقية باستخدام K-map :

فى القسم السابق تم التطرق إلى مناقشة الدوال المنطقية على الشكلين النموذجين SOP وPOS وتحقيقهما باستخدام البوابات، كما تم التطرق إلى الحاجة إلى تبسيط تعبيرات بوول وتقديم طريقة التبسيط الجبرى باستخدام نظريات بوول الجبرية، وفى الحقيقة لا يمكن التأكد فى بعض الأحيان عما أنه إذا كان من الممكن تبسيط التعبير المنطقى من عدمه.

وهناك تقنية أخرى لتبسيط التعبير المنطقى، وهى طريقة يستخدم فيها الرسم تعرف باسم تقنية "خريطة كارنوف" KARNAUGH map، أو بالإختصار K-map، والتى تعطى طريقة منظمة لتبسيط والتعامل مع تعبيرات بوول.

وفى هذا التقنية يتم تمثيل المعلومات الموجودة فى جدول الحقيقة أو فى تشكيلى SOP، وPOS على K-map، ولربما تكون هذه التقنبة من أحسن الطرق لتبسيط الدوال المنطقية، والتى تتعامل مع عدد من المتغيرات يصل إلى 6 متغيرات، أما فوق ذلك فتصبح الطريقة صعبة ومعقدة جدا.

ويبين شكل (5-5) K-maps لمتغيرين و3 متغيرات و4 متغيرات، ويتم التعبير عن عدد الخلايا (المربعات) فى كل خريطة بالعلاقة: 2^n، حيث n تمثل عدد المتغيرات، (فمثلا إذا كان عدد المتغيرات 2 تكون عدد الخلايا 4، وإذا كان عدد المتغيرات 3 تكون عدد الخلايا 8، أما إذا كان عدد المتغيرات 4 تكون عدد الخلايا 16، ...وهكذا)، كما تحتوى كل خلية على مجموعة معينة من المتغيرات، وعلى هذا فإن كل صف من جدول الحقيقة، أو كل مدلول أدنى يمثلها خلية محـــــددة من K-map، كما يتم التعبير عن المتغيرات بالحروف A وB وC وD، وتؤخذ الأعداد الثنائية من مجموعات تتمثل بالمقاطع AB، أو ABC، أو ABCD من K-maps لمتغيرين و3 متغيرات و4 متغيرات على الترتيب، ويشير أول بت فى هذه المقاطع للمتغير الأول كما يشير ثانى بت للمتغير الثانى، وهكذا، كما يستخدم كود جراى فى التعريف بالخلية (وسبب استخدام كود جراى سيتم توضيحه مستقبلا عند مناقشة تطبيقات استخدام K-map)، ويمكن التثبت من العدد العشرى المناظر لكل خلية من

الرقم المكتوب فى الركن الأيسر العلوى من الخلية ، كما هو موضح فى شكل (5-5).

(a)

B \ A	0	1
0	0	2
1	1	3

(b)

C \ AB	00	01	11	10
0	0	2	6	4
1	1	3	7	5

(c)

CD \ AB	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

شكل (5-5) K-maps لأعداد من المتغيرات المختلفة

a-متغيرين b- 3 متغيرات c-4 متغيرات

كما يبين شكل (5-6) المدلولات الأدنى والأقصى المناظرة لكل خلية حيث يكتب المقطع داخل كل خلية بغرض توضيح الفهم .

(a)

B \ A	0	1
0	$\bar{A}\,\bar{B}$	$A\bar{B}$
1	$\bar{A}B$	AB

(b)

B \ A	0	1
0	$A + B$	$\bar{A} + B$
1	$A + \bar{B}$	$\bar{A} + \bar{B}$

(c)

C \ AB	00	01	11	10
0	$\bar{A}\,\bar{B}\,\bar{C}$	$\bar{A}B\bar{C}$	$AB\bar{C}$	$A\bar{B}\,\bar{C}$
1	$\bar{A}\,\bar{B}\,C$	$\bar{A}BC$	ABC	$A\bar{B}\,C$

(d)

CD \ AB	00	01	11	10
0	$A + B + C$	$A + \bar{B} + C$	$\bar{A} + \bar{B} + C$	$\bar{A} + B + C$
1	$A + B + \bar{C}$	$A + \bar{B} + \bar{C}$	$\bar{A} + \bar{B} + \bar{C}$	$\bar{A} + B + \bar{C}$

(e)

CD \ AB	00	01	11	10
00	$\bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$	$\bar{A}B\bar{C}\,\bar{D}$	$AB\bar{C}\,\bar{D}$	$A\bar{B}\,\bar{C}\,\bar{D}$
01	$\bar{A}\,\bar{B}\,\bar{C}\,D$	$\bar{A}B\bar{C}\,D$	$AB\bar{C}\,D$	$A\bar{B}\,\bar{C}\,D$
11	$\bar{A}\,\bar{B}\,CD$	$\bar{A}BCD$	$ABCD$	$A\bar{B}\,CD$
10	$\bar{A}\,\bar{B}\,C\bar{D}$	$\bar{A}BC\bar{D}$	$ABC\bar{D}$	$A\bar{B}\,C\bar{D}$

(f)

CD \ AB	00	01	11	10
00	$A + B + C + D$	$A + \bar{B} + C + D$	$\bar{A} + \bar{B} + C + D$	$\bar{A} + B + C + D$
01	$A + B + C + \bar{D}$	$A + \bar{B} + C + \bar{D}$	$\bar{A} + \bar{B} + C + \bar{D}$	$\bar{A} + B + C + \bar{D}$
11	$A + B + \bar{C} + \bar{D}$	$A + \bar{B} + \bar{C} + \bar{D}$	$\bar{A} + \bar{B} + \bar{C} + \bar{D}$	$\bar{A} + B + \bar{C} + \bar{D}$
10	$A + B + \bar{C} + D$	$A + \bar{B} + \bar{C} + D$	$\bar{A} + \bar{B} + \bar{C} + D$	$\bar{A} + B + \bar{C} + D$

شكل (5-6) المدلولات الأدنى والأقصى المناظرة لكل خلية من خلايا K-map

5-3-1 تمثيل جدول الحقيقة على K-map :

بفرض جدول الحقيقة (5-3) والمكون من 3 متغيرات ، وفيه يكون الخرج المنطقى Y بالمنطق 1 للصفوف المحددة بأرقام: 1، و 2، و 4، و 7، ولذا فإنه يمكن كتابة المعادلة المناظرة لذلك بدلالة الشكل SOP القياسى ، على النحو التالى:

$$Y = \bar{A}\,\bar{B}\,C + \bar{A}\,B\,\bar{C} + A\,\bar{B}\,\bar{C} + ABC \qquad (5\text{-}14)$$

وتمثل هذه المعادلة جدول الحقيقة المتكامل بدلالة الشكل SOP القياسى.

بالمثل يكون الخرج المنطقى Y بالقيمة 0 للصفوف أرقام 0 و3 و5 و6، ولذا فإنه يمكن كتابة المعادلة المناظرة لذلك بدلالة الشكل POS القياسى، على النحو التالى:

$$Y = (A + B + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C) \qquad (5\text{-}15)$$

وتمثل هذه المعادلة جدول الحقيقة المتكامل بدلالة الشكل POS القياسى .

جدول (5-3)

رقم الصف	الدخول			الخرج
	A	B	C	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

كما تكون المعادلتان (5-14) و(5-15) متكافئتين ، وسوف نستغل K-map ذات الثلاثة متغيرات الموضح فى شكل (5-5-b) وإدخال قيم الخرج Y سواء أكانت 1 أو 0 فى كل خلية ومناظرة للعدد العشرى ونصل فى النهاية إلى K-map المتكامل فى شكل (5-7) والذى يمثل جدول الحقيقة (5-3).

C \ AB	00	01	11	10
0	0: 0	2: 1	6: 0	4: 1
1	1: 1	3: 0	7: 1	5: 0

شكل (5-7) خريطة K-map التى تمثل جدول الحقيقة (5-3)

والعملية التى تمت سابقا تكون عامة، وتستخدم فى تمثيل جدول الحقيقة على K-map، ومن ناحية أخرى فى حالة وجود تمثيل على K-map فإنه يمكن تمثيل جدول الحقيقة المناظر باتباع خطوات عكسية، حيث يكون الخرج Y بقيمة المنطق 1 مناظرا للأعداد العشرية أو المدلولات الأدنى المتمثلة فى الخلايا بالإدخالات 1، أما الخلايا الأخرى فيكون الخرج Y بقيمة المنطق 0.

مثال (5-4) :

مطلوب إنشاء جدول الحقيقة لخريطة K-map الممثلة فى شكل (5-8).

CD \ AB	00	01	11	10
00	0: 1	4:	12: 1	8:
01	1:	5: 1	13:	9: 1
11	3:	7: 1	15: 1	11:
10	2:	6:	14: 1	10:

شكل (5-8) K-map للمثال (5-4)

ملحوظة : دائما يتم إدخال إما 1,s أو 0,s، فإذا تم إدخال 1,s فتمثل الأماكن الخالية 0,s ، وإذا تم إدخال 0,s فتمثل الأماكن الخالية 1,s، وفى مثالنا تم إدخال 1,s ومنه تمثل 0,s الأماكن الخالية.

الحل :

يتم الحصول على جدول الحقيقة كما فى جدول (5-4)

جدول (5-4)

رقم الصف	الدخول A	B	C	D	الخرج Y
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

5-3-2 تمثيل شكل SOP القياسى على K-map :

أى معادلة منطقية على الشكل SOP القياسى يمكن تمثيلها على خريطة K-map وذلك بإدخال 1,s فى خلايا K-map لكل مدلول أدنى ممثل فى المعادلة.

مثال (5-5):

مطلوب تمثيل المعادلة (5-14) على K-map.

الحل :

المعادلة (5-14) على الصورة:

$$Y = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

ومقابلا لكل مدلول أدنى من المعادلة، يتم إدخال 1 على كل خلية من خلايا K-map، وتكون خريطة K-map المطلوبة ممثلة فى شكل (5-7) .

بالمثل يمكن استنتاج المعادلة المنطقية المناظرة وذلك على الشكل SOP القياسى، وذلك بـــ Oring المدلولات الأدنى المناظرة للمنطق 1 فى K-map، كما فى المثال التالى:

مثال (5-6) :

اكتب المعادلة المنطقية على الشكل SOP القياسى لخريطة K-map الموجودة فى شكل (5-8).

الحل :

يكون الخرج Y كالآتى:

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BCD + A\bar{B}\bar{C}D + AB\bar{C}\bar{D} + ABC\bar{D} + ABCD$$

$$= \sum m(0,5,7,9,12,14,15) \qquad (5\text{-}16)$$

ويجب مراعاة أنه إذا كانت المعادلة على الشكل SOP الغير قياسى فإنه يلزم تحويلها أولا إلى الشكل SOP القياسى بالطريقة كما تمت دراستها، ثم تمثيلها على K-map، إلا أنه توجد طريقة أخرى لتمثيل الشكل SOP الغير قياسى على K-map بدون اللجوء إلى التحويل إلى الشكل SOP القياسى، وسوف يتم مناقشة ذلك فى القسمين (5-4) و(5-6).

5-3-3 تمثيل الشكل POS القياسى على K-map :

أى معادلة منطقية على الشكل POS القياسى يمكن تمثيلها على K-map وذلك بإدخال 0,s فى خلايا K-map لكل مدلول أقصى ممثل فى المعادلة.

مثال (5-7) :

مطلوب تمثيل المعادلة (5-15) على K-map.

الحل :

المعادلة (5-15) على الصورة:

$$Y = (A+B+C).(A+\bar{B}+\bar{C}).(\bar{A}+B+\bar{C}).(\bar{A}+\bar{B}+C)$$

ومقابلا لكل مدلول أقصى من المعادلة يتم إدخال 0 على كل خلية من خلايا K-map، وتكون K-map المطلوبة ممثلة فى شكل (5-7).

بالمثل يمكن استنتاج المعادلة المنطقية على الشكل POS القياسى وذلك بـــ ANDing المدلولات الأقصى المناظرة للمنطق 0 فى K-map، كما فى المثال التالى.

مثال (5-8):

اكتب المعادلة المنطقية على الشكل POS القياسى لخريطة K-map الموجودة فى شكل (5-8).

الحل:

يكون الخرج Y كالآتى:

$$Y = (A+B+C+\bar{D})(A+B+\bar{C}+D)(A+B+\bar{C}+\bar{D})$$

$$(A+\bar{B}+C+D)(A+\bar{B}+\bar{C}+D)(\bar{A}+B+C+D)$$

$$(\bar{A}+B+\bar{C}+D)(\bar{A}+B+\bar{C}+\bar{D})(\bar{A}+\bar{B}+C+\bar{D})$$

$$= \Pi\ M\ (1, 2, 3, 4, 6, 8, 10, 11, 13) \quad (5\text{-}17)$$

وأيضا يجب مراعاة أنه إذا كانت المعادلة على الشكل POS فإنه يلزم تحويلها أولا إلى الشكل POS القياسى بالطريقة كما تمت دراستها، ثم تمثيلها على K-map، إلا أنه توجد طريقة أخرى لتمثيل الشكل POS على K-map بدون اللجوء إلى التحويل إلى الشكل SOP القياسى وسوف يتم مناقشة ذلك فى القسمين (5-4) و (5-6).

وفى النهاية نجد أن المعادلتين (5-16) و(5-17) واللتان تمثلان خريطة K-map على الشكلين القياسيين SOP وPOS على التوالى متكافئتان.

5-3-4 تبسيط المعادلات المنطقية باستخدام K-map :

يبنى تبسيط المعادلات المنطقية باستخدام K-map على قاعدة تجميع Combining المقاطع فى الخلايا المتجاورة Adjacent cells، ويقال أن الخليتين تكونان متجاورتين إذا كانتا مختلفتين فقط فى أحد المتغيرات (أحدهما على الشكل غير المكمل، والآخر على الشكل المكمل).

فعلى سبيل المثال فى شكلى (5-6-a) و(5-6-b) لخريطة K-map لمتغيرين، ومن واقع تعريف الخلايا المتجاورة نجد أن الخليتين العلويتين متجاورتان، فهما مختلفتان فى المتغير A (أحدهما على الشكل غير المكمل A، والآخر على الشكل المكمل $\bar{A}$)، كما نجد أن الخليتين السفليتين متجاورتان، فهما مختلفتان أيضا فى المتغير A، كما أن الخليتين اللتين على اليمين متجاورتان فهما مختلفتان فى المتغير B، وكذلك الخليتان اللتان على اليسار متجاورتان فهما مختلفتان أيضا فى المتغير B، ونجد أن أحد المتغيرين هو نفسه فى الخليتين المتجاورتين، بينما يظهر المتغير الآخر على هيئته فى إحدى الخلايا وعلى هيئتة المكمله فى الخلية الأخرى، بالمثل نلاحظ الخلايا المتجاورة لـــ K-map لـــ 3 متغيرات و 4 متغيرات.

ويعطى جدول (5-5) كل الخلايا المتجاورة لكل خلية على حدة فى خرائط K-maps لمتغيرين و3 متغيرات و4 متغيرات، فمثلا فى K-map لمتغيرين فى شكل (5-5-a)، نجد أن الخلية 0 تجاور الخلية 2 التى تقع على يمينها (فنجد أن أحد

المتغيرين B هو نفسه فى الخليتين، بينما يظهر المتغير الآخر A على هيئته فى الخلية 2، وعلى هيئة مكمله $\bar{A}$ فى الخلية 0)، كما أن الخلية 0 تجاور أيضاً الخلية 1 التى تقع أسفلها (فنجد أن أحد المتغيرين $\bar{A}$ هو نفسه فى الخليتين، بينما يظهر المتغير الآخر B على هيئته فى الخلية 1، وعل هيئة مكمله $\bar{B}$ فى الخلية 0)، كما نجد أن الخلايا التى تجاور الخلية 2 هما: الخلية 0 التى تقع على يسارها، والخلية 3 التى تقع أسفلها، وأيضا فى K-map لـــ 3 متغيرات فى شكل (5-5-b) أن هناك 3 خلايا تجاور الخلية 0 هى: الخلية 2 التى تقع على يمينها، والخلية 1 التى تقع أسفلها، والخلية 4 التى تقع فى أقصى اليسار (فنجد أن المتغير $\bar{C}$ هو نفسه فى الخليتين وأيضاً المتغير □ هو نفسه فى الخليتين، بينما يظهر المتغير الثالث A على هيئته فى الخلية 4، وعلى هيئة مكمله $\bar{A}$ فى الخلية 0)، كما نجد أن الخلايا التى تجاور الخلية 6 هى: الخلية 2 التى تقع على يسارها، والخلية 4 التى تقع على يمينها، والخلية 7 التى تقع أسفلها ، كما نجد أيضا فى K-map لـــ 4 متغيرات فى شكل (5-5-c)، نجد أن هناك 4 خلايا تجاور الخلية 13 هى: الخلية 5 التى تقع على يسارها، والخلية 9 التى تقع يمينها، والخلية 12 التى تقع أعلاها، والخلية 15 التى تقع أسفلها.

ومنه يتضح أن استخدام كود جراى لتحديد الخلايا فى K-map يجعلها متجاورة (ويقصد هنا تجاور الخلايا أفقيا أو رأسيا وليست قطريا)، أيضا نجد أن الخلية الموجودة فى أقصى يمين الجدول يمكن أن تكون متجاورة مع الخلية المقابلة فى أقصى يسار الجدول، كما يمكن أن تكون الخلية العلوية متجاورة مع الخلية المقابلة فى قاع الجدول .

ويتحقق تبسيط الدالة المنطقية من خلال تجميع خلايا المنطق ذات القيم 1,s أو 0,s فى مجموعات على الشكل 2^i حيث : $i = 1 , 2 , ..., n$ ، و n يمثل عدد المتغيرات ، كما سيوضح حالا .

جدول (5-5)

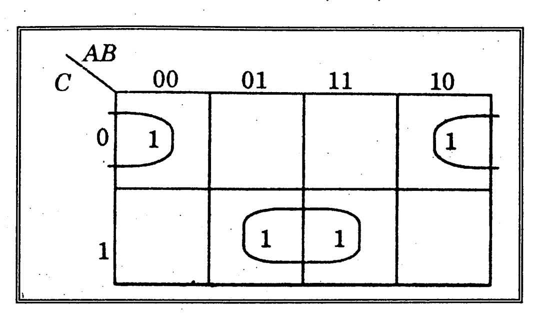
رقم الخلية	الخلايا المجاورة لكل خلية على حدة		
	متغيرين	3-متغيرات	4-متغيرات
0	1 , 2	1 , 2 , 4	1 , 2 , 4 , 8
1	0 , 3	0 , 3 , 5	0 , 3 , 5 , 9
2	0 , 3	0 , 3 , 6	0 , 3 , 6 , 10
3	1 , 2	1 , 2 , 7	1 , 2 , 7 , 11
4		0 , 5 , 6	0 , 5 , 6 , 12
5		1 , 4 , 7	1 , 4 , 7 , 13
6		2 , 4 , 7	2 , 4 , 7 , 14
7		3 , 5 , 6	3 , 5 , 6 , 15
8			0 , 9 , 10 , 12
9			1 , 8 , 11 , 13
10			2 , 8 , 11 , 14
11			3 , 9 , 10 , 15
12			4 , 8 , 13 , 14
13			5 , 9 , 12 , 15
14			6 , 10 , 12 , 15
15			7 , 11 , 12 , 14

تجميع مجموعتين من الآحاد 1,s المتجاورة :

فى حالة تواجد خليتين متجاورتين من 1,s على خريطة K-map، فإنه يمكن تجميعهما معا، وينتج من ذلك مقطع واحد ويكون عدد متغيراته الواقعية أقل بواحد من المتغيرات الواقعية فى المقطعين الأساسيين، ويمكن التأكد من ذلك من كل تجميع لخليتين فى جدول (5-5)، وكما يتضح فى المثال التالى.

مثال (5-9) :

مطلوب تبسيط K-map للشكل (5-9) .



شكل (5-9) K-map للمثال (5-9)

الحل :

من الشكل ، يمكن كتابة المعادلة المنطقية على الشكل SOP القياسى كالآتى :

$$Y = \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC + A\bar{B}\bar{C} \qquad (5\text{-}18)$$

فباستخدام الطريقة الرياضية وبتجميع الآحاد 1,s للخليتين المتجاورتين 0 و4، وأيضا الخليتين المتجاورتين3و7، يمكن كتابة المعادلة (5-18) لتكون على الصورة:

$$Y = (\bar{A} + A)\bar{B}\bar{C} + (\bar{A} + A)BC \qquad (5\text{-}19)$$

وباستخدام النظريتين (1-2)، و(1-7) ، تصبح المعادلة على الصورة:

$$Y = \bar{B}\bar{C} + BC \qquad (5\text{-}20)$$

يمكن الحصول على المعادلة (5-20) ومن K-map باستخدام الإجراء الآتى:

1- يتم التعرف على 1,s المتجاورة ثم ملاحظة هيئة المتغيرات (أى A وB وC) المرتبطة بهذه الخلايا ، سنجد أن هناك متغير واحد فقط يتم حذفه ، وهو الذى يظهر على هيئتيه العادية والمكملة ، وستظهر المتغيرات الأخرى فى المقطع على شكل ANDed وتكون كل منها على الهيئة العادية (أى A أو B أو C) إذا كانت بقيمة 1 وعلى الهيئة التكاملية (أى $\bar{A}$ ، و $\bar{B}$، و $\bar{C}$) إذا كانت بقيمة 0.

2- يتم تكرار ماسبق بتحديد المقطع المناظر لكل مجموعة، ثم ORing هذه المقاطع للحصول فى النهاية على المعادلة مبسطة على الشكل SOP.

* وفى مثالنا نجد أن المقطعين $\bar{A}\bar{B}\bar{C}$، و $A\bar{B}\bar{C}$ (اللذان يمثلان الخليتين 0، و4) يظهر فيهما المتغير A على هيئتيه العادية والمكملة(A، و$\bar{A}$) فيتم حذف المتغير، ويتبقى المتغيران الآخران ($\bar{C},\bar{B}$) على شكل ANDed أى على الشكل $\bar{B}\bar{C}$، وحيث أن كلاهما بقيمة 0 فيظهران على الهيئة التكاملية $\bar{B}\bar{C}$، وبالمثل يمكن تطبيق ذلك على المقطعين $\bar{A}BC$ ، وABC (اللذان يمثلان الخليتين 3، و7)، ونحصل على الشكل BC.

وفى النهاية تصبح المعادلة على الصورة كما فى المعادلة (5-20)

تجميع 4 مجموعات من الآحاد 1,s المتجاورة:

يمكن تكوين مجموعة واحدة من 1,s لـــ 4 خلايا متجاورة، إذا إختلف متغيران من المتغيرات الواقعية المرتبطة بالمدلولات الأدنى أو الأقصى، ويكون المتغيران الواقعيان الآخران متشابهان، ويبين جدول (5-6) كل الإحتمالات الممكنة للمجموعات التى يمكن الحصول عليها لكل خلية من خلايا خريطة K-map ذات 3 متغيرات المبينة فى شكل (5-6-c)، فمثلا الخلية 3 يمكن إحتمالات تكوين الخلايا التى تكون مجموعة من 4 من 1,s هى: (3,1,7,5)، و (3,2,1,0)، و(3,2,6,7)، أما فى حالة فى حالة خريطة K-map ذات المتغيرين كما فى شكل (5-6-a) فهناك أحتمال واحد فقط المقابل لإدخال 1 فى كل الخلايا الأربعة التى تحتويها الخريطة ويؤول التعبير المبسط إلى العبارة: Y = 1 أى أن Y دائما تكون مساوية 1.

ومن منطلق ما سبق فإنه يمكن استنتاج كل الإحتمالات الممكنة للمجموعات التى يمكن الحصول عليها لكل خلية من خلايا K-map ذات الـــ 4 متغيرات المبينة فى شكل (5-6-e) وسنجد عددها 6، فمثلا الخلية 3 يمكن إحتمالات تكوين الخلايا التى تكون مجموعة من 4 من 1,s هى: (3,7,15,11)، و (3,2,0,1)، و (3,11,9,1)، و(3,7,5,1)، و (3,2,10,11)، و(3,7,6,2).

جدول (5-6)

رقم الخلية	مجموعات الخلايا المجاورة لكل خلية على حدة		
0	0,1,4,5	0,1,2,3	0,2,6,4
1	1,0,4,5	1,3,7,5	1,0,2,3
2	2,3,6,7	2,3,1,0	2,0,6,4
3	3,2,6,7	3,2,1,0	3,1,7,5
4	4,5,0,1	4,5,6,7	4,6,2,0
5	5,4,0,1	5,4,6,7	5,1,3,7
6	6,7,2,3	6,7,4,5	6,0,2,4
7	7,5,2,3	7,6,4,5	7,1,3,5

مثال (5-10) :

مطلوب تبسيط خريطة K-map للشكل (5-10).

الحل :

CD \ AB	00	01	11	10
00	0: 1	4	12	8: 1
01	1: 1	5	13	9: 1
11	3: 1	7: 1	15: 1	11: 1
10	2	6	14	10

شكل (5-10) K-map للمثال (5-10)

من الشكل، يمكن كتابة المعادلة المنطقية على الشكل SOP القياسى كالآتى:

$$Y = m_0 + m_1 + m_3 + m_7 + m_8 + m_9 + m_{11} + m_{15}$$

$$Y = (m_0 + m_1 + m_8 + m_9) + (m_3 + m_7 + m_{15} + m_{11}) \quad (5\text{-}21)$$

وفى خريطة K-map فى الشكل نجد أن هناك مجموعتين الخلايا كل منها تكون عدد 4 من 1,s المتجاورة، الأولى: (0,1,9,8)، والثانية: (3,7,15,11)، وعلى هذا ومن المعادلة (5-21)، تم تجميع المدلولات الأدنى لكل مجموعة على حدة وحصلنا على المجموعتين: $m_0 + m_1 + m_8 + m_9$ ، و $m_3 + m_7 + m_{15} + m_{11}$ ويمكن كتابة المجموعة الأولى كالتالى :

$$m_0 + m_1 + m_8 + m_9 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D$$

$$= \bar{B}\bar{C}(\bar{A}\bar{D} + \bar{A}D + A\bar{D} + AD)$$

$$= \bar{B}\bar{C}[\bar{A}(\bar{D} + D) + A(\bar{D} + D)]$$

$$= \bar{B}\bar{C}(\bar{A}.1 + A.1)$$

$$= \bar{B}\bar{C}(\bar{A} + A)$$

$$= \bar{B}\bar{C}.1$$

$$= \bar{B}\bar{C}$$

ونلاحظ فى هذه المجموعة مايلى:

1- ظهور المتغيرين B وC فى المقاطع الأربعة من المجموعة على الهيئة التكاملية $\bar{B}$ و$\bar{C}$.

2- ظهور المتغير A فى مقطعين على هيئته A، وعلى الهيئة التكاملية $\bar{A}$ فى المقطعين الآخرين.

3- ظهور المتغير D فى مقطعين على هيئته D، وعلى الهيئة التكاملية $\bar{D}$ فى المقطعين الآخرين .

4- تجميع تلك المدلولات الأدنى أدت إلى مقطع واحد بالمتغيرين الواقعيين $(\bar{B},\bar{C})$ وهما الموجودان فى كل المقاطع الأربعة.

بالمثل يمكن كتابة المجموعة الثانية كالتالى:

$$m_3 + m_7 + m_{15} + m_{11} = \bar{A}\bar{B}CD + \bar{A}BCD + ABCD + A\bar{B}CD$$

$$= CD(\bar{A}\bar{B} + \bar{A}B + AB + A\bar{B})$$

$$= CD[\bar{A}(\bar{B} + B) + A(B + \bar{B})]$$

$$= CD[\bar{A}\ .1 + A.1]$$

$$= CD(\bar{A} + A)$$

$$= CD.1$$

$$= CD$$

ونلاحظ فى هذه المجموعة مايلى:

1- ظهور المتغيرين C وD فى المقاطع الأربعة من المجموعة على الهيئة العادية C و D.

2- ظهور المتغير A فى مقطعين على هيئته A، وعلى الهيئة التكاملية $\bar{A}$ فى المقطعين الآخرين.

3- ظهور المتغير B فى مقطعين على هيئته B، وعلى الهيئة التكاملية $\bar{B}$فى المقطعين الآخرين.

4- تجميع تلك المدلولات الأدنى أدت إلى مقطع واحد بالمتغيرين الواقعيين (CD) وهما الموجودان فى كل المقاطع الأربعة.

وفى النهاية يمكن تبسيط K-map لتكون على الصورة:

$$Y = \bar{B}\bar{C} + CD \quad (5\text{-}22)$$

تجميع 8 مجموعات من الآحاد 1,s المتجاورة:

يمكن تكوين مجموعة واحدة من 1,s لـــ 8 خلايا متجاورة، إذا كان تجميع لكل ثلاثة من المتغيرات الواقعية المرتبطة بالمدلولات الأدنى أو الأقصى مختلف عن السبعة تجميعات الأخرى، ويكون المتغير الواقعى الرابع ثابت فى المقاطع السبعة الأخرى، ففى المجموعة المكونة من الصفين الأولين من شكل (e-6-5) نجد أن المتغير الواقعى C يظهر فى الخلايا الثمانية على شكل واحد وهو: $\bar{C}$، بينما يظهر تجميع الثلاثة المتغيرات الواقعية الأخرى A B D فى كل خلية مختلف عن الأخرى فمثلا يظهر التجميع فى الخلية 0 على الشكل $\bar{A}\bar{B}\bar{D}$، وفى الخلية 4 على الشكل $\bar{A}B\bar{D}$ فى الخلية 12 على الشكل $AB\bar{D}$، وفى الخلية 8 على الشكل $\bar{A}\bar{B}\bar{D}$، ...وهكذا، ويبين جدول (7-5) كل الإحتمالات الممكنة للمجموعات التى يمكن الحصول عليها من خلايا K-map ذات الـــ 4 متغيرات، أما فى حالة K-map ذات 3 متغيرات، فهناك احتمال واحد فقط المقابل لإدخال 1 فى كل الخلايا الثمانية التى تحتويها الخريطة ويؤول التعبير المبسط إلى العبارة:

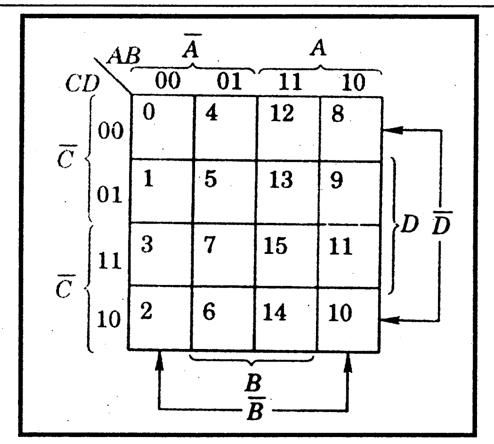
$$Y = 1$$

وعامة عند تجميع عدد 8 مقاطع من 1,s نحصل على مقطع واحد فقط يكون عدد المتغيرات الواقعية فيه أقل بثلاثة عن عدد المتغيرات الواقعية فى مقاطع المعادلة الأصلية، وكما وجدنا فى تجميع مجموعتين، أو 4 مجموعات من الآحاد 1,s نرى أيضا فى تجميع 8 مجموعات من الآحاد 1,s أن المتغيرات الواقعية التى تظهر بنفس الشكل ستظل موجودة، بينما تختفى المتغيرات الواقعية الأخرى المختلفة فى المقطع النهائى الناتج.

ففى التمثيل الذى أشرنا إليه فى بداية حديثنا بخصوص الصفين الأوليين من الشكل (e-6-5) نجد أن المقطع النهائى يؤول إلى المتغير الواقعى $\bar{C}$، وبالربط بين جدول (7-5) وشكل (11-5) نحصل فى الشكل على التعبير المبسط لكل مجموعة مكونة من 8 من الآحاد 1,s ، فنجد مثلا أن المتغير الواقعى $\bar{D}$ يعبر عن المجموعة المكونة من الخلايا: **(10, 14, 6, 2, 8, 12, 4, 0)**.

جدول (7-5)

أرقام الخلايا التى تُكون مجموعات من 8 خلايا متجاورة في خريطة K-map ذات 4 متغيرات
0 , 4 , 12 , 8 , 1 , 5 , 13 , 9
0 , 4 , 12 , 8 , 2 , 6 , 14 , 10
0 , 1 , 3 , 2 , 4 , 5 , 7 , 6
0 , 1 , 3 , 2 , 8 , 9 , 11 , 10
1 , 5 , 13 , 9 , 3 , 7 , 15 , 11
4 , 5 , 7 , 6 , 12 , 13 , 15 , 14
12 , 13 , 14 , 15 , 8 , 9 , 11 , 10
3 , 7 , 15 , 11 , 2 , 6 , 14 , 10



شكل (11-5) خريطة K-map ذات 4 متغيرات توضح التجميعات من 8 من 1,s المتجاورة

تجميع 2 ، و4 ، و 8 خلايا من 0,s :

مما سبق تمت مناقشة تجميع 2، و4، و8 خلايا متجاورة من الآحاد 1,s، ويمكن تجميع 2، 4، 8 خلايا من أصفار 0,S وذلك لعمل مجموعة من 0,S بدلاً من عمل مجموعات من 1,S بنفس الأسلوب وذلك كالتالى:

1- تجميع عدد 2 خلايا متجاورة من 0,s يؤدى إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بواحد من عدد المتغيرات الواقعية فى خلايا المقطعين الأساسيين، حيث يختفى المتغير الواقعى الذى يظهر مختلفا فى المقطعين الأقصى.

2- تجميع عدد 4 خلايا متجاورة من 0,s يؤدى إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بإثنين من عدد المتغيرات الواقعية فى خلايا المقاطع الأساسية، حيث يختفى المتغيران الواقعيان الذان يظهران مختلفان فى المقاطع الأربعة الأساسية.

3- تجميع عدد 8 خلايا متجاورة من 0,s يؤدى إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بـــ 3 متغيرات واقعية من عدد المتغيرات الواقعية فى خلايا المقاطع الأساسية، حيث تختفى هذه المتغيرات الواقعية الثلاثة التى تختلف فى المقاطع الثمانية الأساسية.

* وفى النهاية يمكن تطبيق تجميع 16، أو 32، أو 64 من الخلايا المتجاورة من 0,s ، و1,s فى K-maps التى تحتوى على متغيرات أكثر من 4 متغيرات.

5-3-5 إختصار الدوال المنطقية بمعلومية المدلولات الأدنى أو الأقصى أو بجدول الحقيقة :

إختصار الدالة على الشكل SOP :

من الواضح أننا لمسنا المميزات الناتجة من تبسيط التعبيرات المنطقية، وعند توقف تبسيط التعبير المنطقى عند مرحلة ما لايمكن بعدها إجراء أى تبسيط آخر، فعندئذ يتم تنفيذ هذا التعبير المنطقى بأقل عدد من البوابات وأقل عدد من المداخل لهذه البوابات، ويسمى التعبير المنطقى فى هذه الحالة بـــ "التعبير المختصر" Minimized expression .

ولإختصار تعبير على شكل SOP، أو لجدول حقيقة معطى، فلابد من تجهيز خريطة K-map أولا ثم البحث عن تجميعات من 1,s على الخريطة حيث يلزم تجميع 1,s بطريقة تجعلنا فى النهاية نحصل على أقل تعبير مبسط بقدر الإمكان، ويمكن تحقيق ذلك باتباع الآتى:

1- التعرف على 1,s التى لايمكن تجميعها مع أى 1,s أخرى ووضعها داخل دائرة.

2- التعرف على 1,s التى يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من خليتين مع أى 1,s اخرى ووضعها داخل دائرة.

3- التعرف على 1,s التى يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من 4 خلايا مع أى 1,s اخرى ووضعها داخل دائرة.

4- - التعرف على 1,s التى يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من 8 خلايا مع أى 1,s اخرى ووضعها داخل دائرة.

5- وبعد التعرف وتكوين بعض أو كل من أنواع هذه المجموعات السابقة وهى ماتسمى المجموعات الأساسية Essential groupes، يتبقى بعض 1,s التى لم يتم تحديدها داخل دوائر فيمكن تجميعها مع بعضها البعض أو تجميعها مع أى من المجموعات التى تم تحديدها مسبقا.

ويمكن توضيح ذلك من خلال المثالين التاليين.

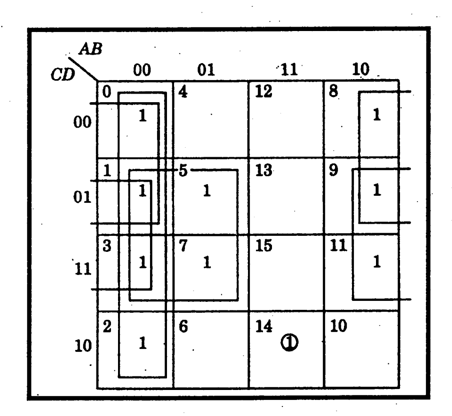
مثال (5-11) :

مطلوب تبسيط الدالة ذات 4 متغيرات التالية باستخدام K-map:

$$f(A,B,C,D) = \Sigma m(0,1,2,3,5,7,8,9,11,14) \quad (5\text{-}23)$$

الحل :

يوضح شكل (5-12) تمثيل للدالة المعطاه، ويمكن تبسيطها بالخطوات التالية:



شكل (5-12) خريطة كارنوف للمعادلة 5-23

1- هناك منطق 1 فى الخلية 14 لا يمكن إتحادها مع أى خلايا أخرى، لذا يتم وضعه بداخل دائرة، ويكون المقطع الممثل لهذا المنطق 1 هو: $ABC\bar{D}$.

2- يلاحظ أنه يوجد العديد من الإحتمالات التى تؤدى إلى تكوين مجموعات من 2 من الخلايا المتجاورة، يتم تجاهلها وقتيا لحين النظر للخطوة التالية.

3- يوجد تكوين مجموعات من 4 خلايا متجاورة عن طريق الخلايا 8 و11 و5 أو 7 و2، وهذه المجموعات:(8,9,0,1)و(11,9,1,3)و(5,7,3,1)،و(2,3,1,0) على التوالى، فيتم تحديد هذه المجموعات، وتكون المقاطع المناظرة لهذه المجموعات: $\bar{B}\bar{C}$ و $\bar{B}D$ و $\bar{A}D$ و $\bar{A}\bar{B}$ على التوالى.

* ومن هنا نجد أنه تم تحديد كل 1,s فى K-map، وعلى هذا فتصبح الخطوة الثانية السابقة ليست ذات قيمة، وفى النهاية نحصل على الدالة مبسطة كالتالى:

$$f(A,B,C,D) = ABC\bar{D} + \bar{B}\bar{C} + \bar{B}D + \bar{A}D + \bar{A}\bar{B} \qquad (5\text{-}24)$$

مثال (5-12) :

من جدول الحقيقة (5-8)، مطلوب تعيين عبارة مبسطة على الشكل SOP.

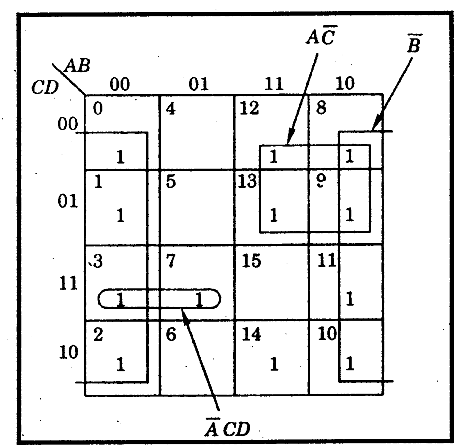
الحل:

يبين شكل (5-13) K-map التى تمثل جدول الحقيقة المعطى ، حيث تم تكوين مجموعة من 8 خلايا متجاورة هى : (0,1,3,2,8,9,11,10) ويمثلها المقطع $\bar{B}$ ومجموعة من 4 خلايا متجاورة هى : (8,9,12,13) ويمثلها المقطع $A\bar{C}$، ومجموعة من خليتين متجاورتين هى: (3,7) ويمثلها المقطع $\bar{A}CD$ ، ومن هنا نجد أنه تم تحديد كل الآحاد 1,s فى خريطة K-map المعطاة، وفى النهاية نحصل على العبارة المبسطة كالتالى:

$$Y = \bar{B} + A\bar{C} + \bar{A}CD \qquad (5\text{-}25)$$

جدول (5-8)

الدخول				الخرج
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



شكل (5-13) K-map للمثال (5-12)

إختصار الدالة على الشكل POS :

لإختصار تعبير على الشكل POS، أو لجدول حقيقة معطى، يتم كتابة الآحاد 0,s فى الخلايا المناظرة للمدلولات الأقصى فى خريطة K-map، ثم إتباع نفس الخطوات المتبعة المستخدمة التى تستخدم عند إختصار تعبير على الشكل SOP، حيث يتم تكوين مجموعات من 0,s بدلا من مجموعات 1,s، ويمكن توضيح ذلك من خلال حل نفس المثالين السابقين باستخدام الشكل POS.

مثال (5-13) :

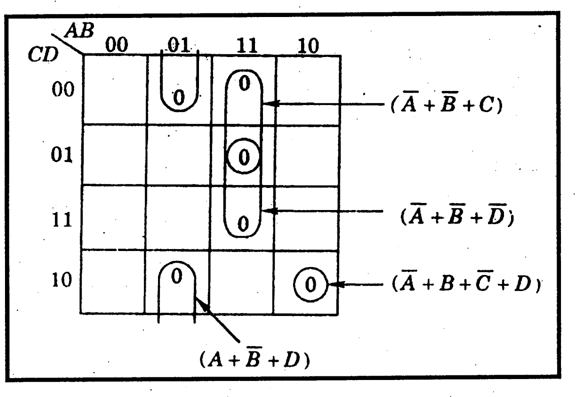
مطلوب إختصار الدالة المنطقية للمعادلة (5-23) باستخدام الشكل POS.

الحل :

يمكن كتابة المعادلة (5-23) لتكون على الشكل POS القياسى كالتالى:

$$f = (A, B, C, D) = \prod M(4, 6, 10, 12, 13, 15) \qquad (5\text{-}26)$$

ومنه يتم الحصول على K-map المبينة فى شكل (5-14)، ويمكن ملاحظة أنه يمكن الحصول على الخريطة من المعادلة (5-23).



شكل (5-14) K-map للمعادلة (5-26)

وباستخدام خطوات مشابهة لتلك المستخدمة عند استخدام الشكل SOP ونحصل على الدالة المبسطة كالتالى:

$$f = (\bar{A}+ B + \bar{D}+ D).(\bar{A}+ \bar{B}+ C).(\bar{A}+ \bar{B}+ \bar{D}).(A + \bar{B}+ D) \qquad (5\text{-}27)$$

وبمقارنة المعادلتين (5-24)، و(5-27)، نجد أن عدد المقاطع فى كل منهما مختلف عن الآخر، ولذلك عند تنفيذ كلاهما فإنهما تحتاجان إلى أعداد مختلفة من المكونات المادية، لذا يلزم الحصول على تبسيط الدالة بالشكلين السابقين ثم اختيار التى تحتاج أعداد أقل من المكونات المادية، إلا أنه فى حالات بسيطة فإن الإختيار يكون صعباً على المصمم بسبب عدم توافر دوائر تكاملية معينة.

مثال (5-14) :

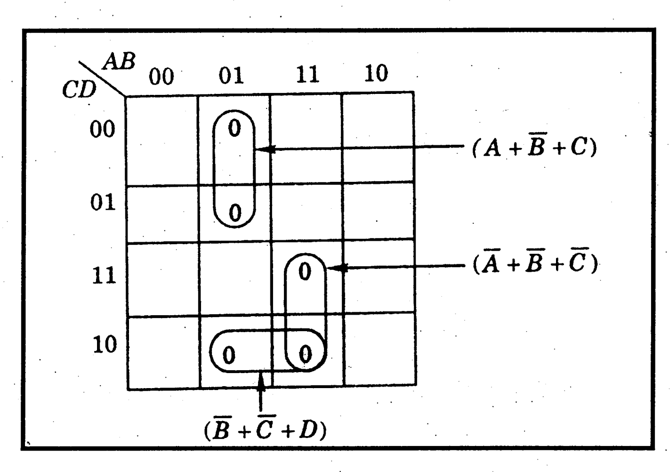
من جدول الحقيقة (5-8) ، مطلوب تعيين عبارة مبسطة على الشكل POS.

الحل :

يبين شكل (5-15) K-map التى تمثل جدول الحقيقة المعطى، نحصل على الدالة المبسطة كالتالى:

$$Y = (A + \bar{B}+ C).(\bar{A}+ \bar{B}+ \bar{C})(\bar{B}+ \bar{C}+ D) \qquad (5\text{-}28)$$

وأيضا نجد أن مقارنة المعادلتين (5-25) و(5-28) يؤكد النتيجة التى تم التوصل إليها فى نهاية المثال السابق فيما يخص إختلاف متطلبات المكونات المادية للطريقتين.



شكل (5-15) k-map للجدول (5-8)

5-3-6 إختصار الدوال المنطقية الغير محددة بالمدلولات الأدنى والأقصى :

كما علمنا سابقا أنه إذا كانت الدالة على أحد الشكلين القياسيين (SOP) أو (POS) فيتم تجهيز خريطة K-map التى تمثلها ثم إجراء الإختصارات اللازمة، ولكن من الممكن ألا تكون الدالة على هذين الشكلين القياسيين، ففى هذه الحال يتم تحويلها إلى الشكل القياسى باستخدام التقنيات التى تمت دراستها فى القسم (5-2) والحصول على K-map ومنها يتم إختصار الدالة، كما يمكن الحصول على K-map مباشرة باتباع الآتى:

1- إدخال 1,s للمدلولات الأدنى، و 0,s للمدلولات الأقصى.

2- إدخال زوج من 1,s أو زوج من 0,s لكل مقطع يحتوى على عدد من المتغيرات أقل بواحد من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بعدد 3 متغيرات، فى حين أن عدد متغيرات الدالة 4.

3- إدخال عدد 4 من 1,s أو عدد 4 من 0,s لخلايا متجاورة لكل مقطع يحتوى على عدد من المتغيرات أقل بإثنين من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بمتغيرين، فى حين أن عدد متغيرات الدالة 4.

4- إدخال عدد 8 من 1,s أو عدد 8 من 0,s لخلايا متجاورة لكل مقطع يحتوى على عدد من المتغيرات أقل بثلاثة من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بمتغير واحد، فى حين أن عدد متغيرات الدالة 4.

* وبمجرد الحصول على K-map، يتم إجراء خطوات الإختصار كما سبق تناولها من قبل، وسوف تساعد الأمثلة التالية فى الفهم الاكثر للخطوات السابقة.

مثال (5-15) :

مطلوب إختصار دالة المتغيرات الأربعة التالية:

$$f(A,B,C,D,) = AB\overline{C}D + \overline{A}BCD + \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,\overline{D} + A\overline{C} + A\overline{B}C + \overline{B} \qquad (5\text{-}29)$$

الحل :

يتم الحصول على خريطة K-map أولا كالتالى :

1- إدخال 1 فى الخلية التى بها: A=1 وB=1 وC=0 وD=1، وهى الخلية التى تناظر المقطع الأدنى $AB\overline{C}D$ (الخلية 13).

2- إدخال 1 فى الخلية التى بها: A=0 وB=1 وC=1 وD=1، وهى الخلية التى تناظر المقطع الأدنى $\overline{A}BCD$ (الخلية 7).

3- إدخال 1,s فى الخليتين التى بها: A=0 وB=0 وC=0، وهما تناظران المدلول الأدنى $\overline{A}\,\overline{B}\,\overline{C}$ (الخليتان 0 ، و 1).

4- إدخال 1,s فى الخليتين التى بها: A=0 وB=0 وD=0، وهما تناظران المدلول الأدنى $\overline{A}\,\overline{B}\,\overline{D}$ (الخليتان 0 ، و 2)، ونجد أنه قد تم إدخال 1 فى الخلية 0 فى الخطوة السابقة.

5- إدخال 1,s فى الخليتين التى بها: A=1، و B=0، و C=1، وهما تناظران المدلول الأدنى $A\overline{B}C$ (الخليتان 11 ، و 10).

6- إدخال 1,s فى الخلايا الأربعة التى بها: A=1، وC=0، وهى تناظر المدلول الأدنى $A\overline{C}$ (الخلايا 9، و 8، و 12، 13)، وقد تم إدخال 1 فى الخلية 13 من قبل.

7- إدخال 1,s فى الخلايا الثمانية التى بها: B = 0، وهى تناظر المقطع الأدنى $\overline{B}$ (الخلايا 0، و 1، و 3، و 2، 8، و 9، 11، و 10)، وقد تم من قبل إدخال 1 فيها عدا الخلية 3.

وفى النهاية نحصل على K-map كما هو موضح فى شكل (5-16)، ونجد أنه يماثل شكل (5-13)، والذى بناء عليه تصبح الدالة المختصرة مماثلة للمعادلة (5-25)، أى:

$$Y = \overline{B} + A\overline{C} + \overline{A}CD$$

CD \ AB	00	01	11	10
00	1		1	1
01	1		1	1
11	1	1		1
10	1			1

شكل (5-16) K-map للدالة (5-29)

مثال (5-16) :

مطلوب إختصار دالة المتغيرات الأربعة التالية:

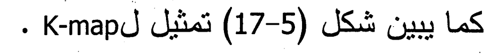
$$F(A,B,C,D) = (A + B + \bar{C} + \bar{D}).(\bar{A} + C + \bar{D}).(\bar{A} + B + \bar{C} + \bar{D}).(\bar{B} + C)$$
$$.(\bar{B} + \bar{C}).(A + \bar{B}).(\bar{B} + \bar{D}) \qquad (5\text{-}30)$$

الحل :

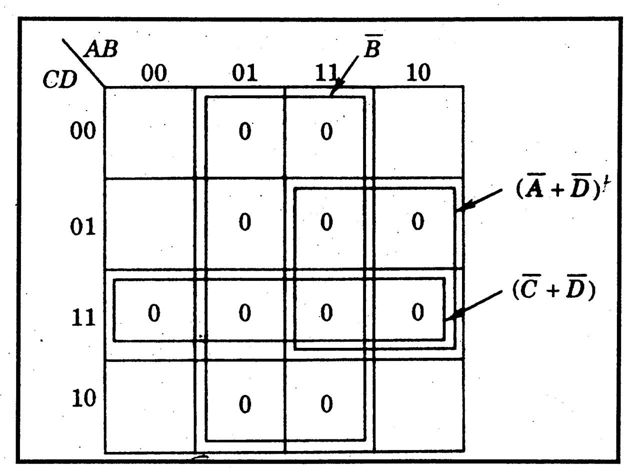
يبين جدول (5-9) خلايا K-map التى يتم إدخال فيها 0,s المناظرة لكل مقطع، وحتى ولو إشتملت أكثر من خلية على 0، فمن الطبيعى إدخاله مرة واحدة.

جدول (5-9)

المقطع	الخلايا المحتوية على 0,s
$A + B + \bar{C} + \bar{D}$	A=0 و ، B=0 و ، C=1 و ، D=1
$\bar{A} + C + \bar{D}$	A=1 و ، C=0 و ، D=1
$\bar{A} + B + \bar{C} + \bar{D}$	A=1 و ، B=0 و ، C=1 و ، D=1
$\bar{B} + C$	B=1 و ، C=0 و ،
$\bar{B} + \bar{C}$	B=1 و ، C=1
$A + \bar{B}$	A=0 و ، B=1
$\bar{B} + \bar{D}$	B=1 و ، D=1



كما يبين شكل (5-17) تمثيل لK-map .



شكل (5-17) K-map للمعادلة (5-30)

وفى النهاية تؤول المعادلة المختصرة إلى الآتى :

$$f(A,B,C,D) = \bar{B}.(\bar{A} + \bar{D}).(\bar{C} + \bar{D}) \qquad (5\text{-}31)$$

5-3-7 شرط غير مؤثر :

مما سبق كنا نقوم بإدخال الآحاد 1,s أو الأصفار 0,s المناظرة للدخول المتغيرة على K-maps وبما يصل بالدالة لتكون مساوية 1 الأصفار أو 0 على التوالى، كما يتم استخدام هذه الخرائط فى إختصار الدالة من 1,s أو 0,s، كما أننا فرضنا 0,s فى الأماكن الخالية فى خرائط 1,s، والعكس تم فرض 1,s فى الأماكن الخالية فى خرائط 0,s، وفى الحقيقة أن هذا لايكون صحيحا فى بعض الأحوال حيث لا يمكن عمل تجميعات معينة لبعض الدخول، وأيضا لا يتم الحصول على الخروج المطلوبة لبعض الدوال، وفى هذه الحالات يترك للمصمم المرونة فى فرض 1 أو 0 فى الأماكن الخالية، وهذا مايعرف بـــ "شرط غير مؤثر" Don't-care condition والذى يمكن تمثيله فى الخلية الخالية فى الخريطة بالعلامة x، والتى تعنى فرض 1 أو 0 معتمدا على أيهما تؤدى إلى الإختصار الأكثر تبسيطا.

وفى النهاية ، يتم عرض الدالة فى إحدى الطرق الآتية:

1- بدلالة المدلولات الأدنى وشروط غير مؤثره، وتصبح الدالة على سبيل المثال كالتالى:

$$f(A, B, C, D) = \Sigma m(1, 3, 7, 11, 15) + d(0, 2, 5) \qquad (5\text{-}32)$$

ويبين شكل (5-18-a) K-map، ويكون التعبير المختصر على الصورة:

$$Y = \bar{A}D + CD$$

2- بدلالة المدلولات الأقصى وشروط غير مؤثره، وتصبح الدالة على سبيل المثال كالتالى:

$$f(A, B, C, D) = \Pi M(4, 5, 6, 7, 8, 12).$$

$$d(1, 2, 3, 9, 11, 14) \qquad (5\text{-}33)$$

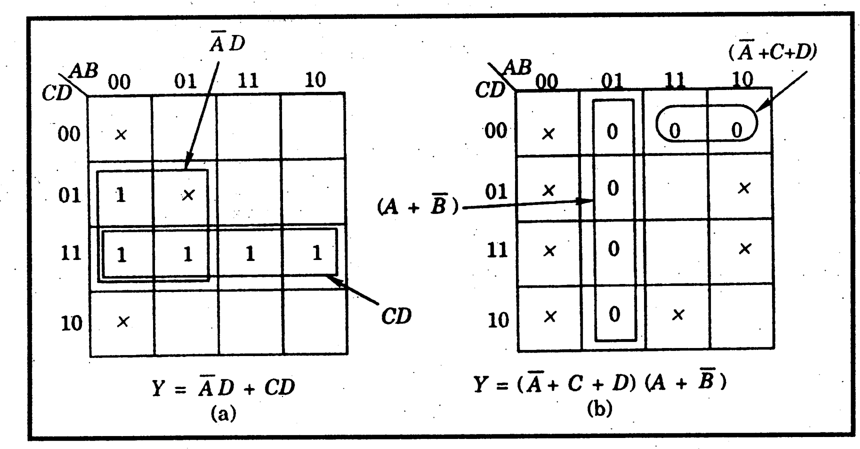
ويبين شكل (5-18-b) K-map، ويكون التعبير المختصر على الصورة:

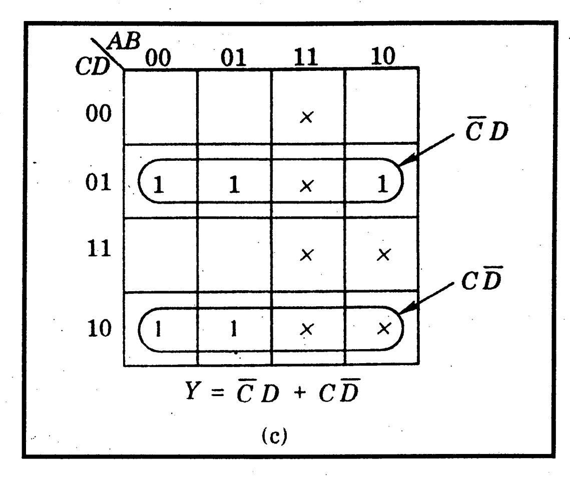
$$Y = (\bar{A} + C + D).(A.\bar{B})$$

3- بدلالة جدول الحقيقة، كما فى جدول (5-10).

ويبين شكل (5-18-c) K-map، ويكون التعبير المختصر على الشكل SOP على الصورة:

$$Y - \bar{C}D + C\bar{D}$$





شكل **5-18**) خرائط **K-map** مع شرط عدم الإهتمام

جدول (5-10)

الدخول				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

4-5 تبسيط K-maps باستخدام بوابات EX-OR ، و EX-NOR :

توجد الكثير من المواقف عند التصميمات المنطقية التى يمكن عندها تبسيط التعبيرات المنطقية بدلالة عمليات EX-OR وEX-NOR، والتى تستخدم بتوسع فى تصميمات الأنظمة الرقمية ولذا فإنها متاحة على أشكال الدوائر المتكاملة المختلفة، وكما هو معروف فى تبسيط SOP أو POS وأحيانا يسمى تبسيط AND-OR، أو OR-AND يتم تجميع 1,s، و 0,s المتجاورة رأسيا أو أفقيا، أما فى تبسيط EX-OR ، و EX-NOR فيتم البحث عن:

1- متجاورات قطرية Diagonal adjacencies .

2- متجاورات تجاوزية Offset adjacencies .

5-4-1 أمثلة للمتجاورات القطرية والتجاوزية :

فى هذه الطريق يتم تجميع كل خليتين من 1,s تربط بينهما علاقة قطرية أو تجاوزية وذلك فى معادلة واحدة، ويتضح ذلك من الأشكال الموضحة فى شكل (5-19) .

1- K-map بمتغيرين :

من الشكلين (a)، و (b) يكون:

$$F_1 = \bar{A}\,\bar{B} + AB = \overline{A \oplus B} = A \Theta B$$

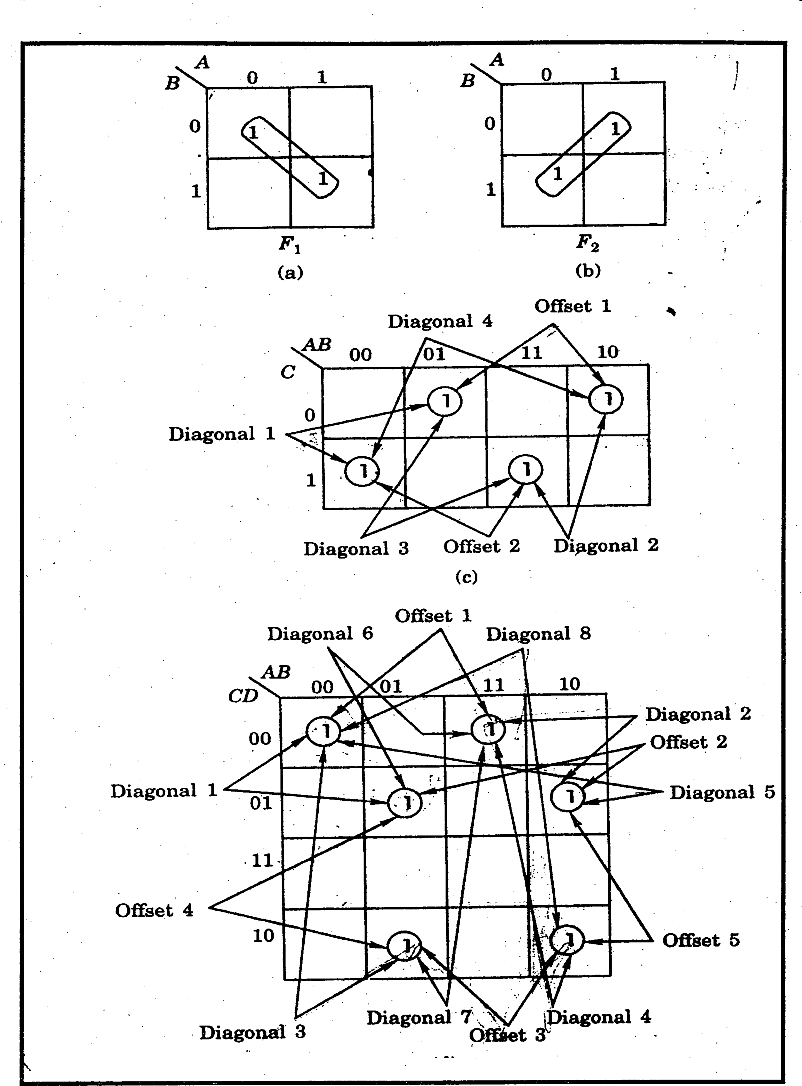
$$F_2 = A\bar{B} + \bar{A}B = A \oplus B$$

2- K-map بـ 3 متغيرات:

التجاوز-1 Offset-1 :

$$F_3 = (\bar{A}B + A\bar{B})\bar{C}$$

$$= (A \oplus B)\bar{C}$$



شكل (5-19) K-maps تبين مجموعات متجاورات قطرية وتجاوزية من خليتى 1,s

التجاوز-2 Offset-2 :

$$F_4 = (\bar{A}\,\bar{B} + AB)C$$

$$= (\overline{A \oplus B})C$$

$$= (A \Theta B)C$$

القطر 1– Diagonal-1 :

$$F_5 = \bar{A}B\bar{C} + \bar{A}\bar{B}C$$

$$= \bar{A}(B \oplus C)$$

القطر 2– Diagonal-2 :

$$F_6 = A\bar{B}\bar{C} + ABC$$

$$= A(B \Theta C)$$

القطر 3– Diagonal-3 :

$$F_7 = B(A \Theta C)$$

القطر 4– Diagonal-4 :

$$F_8 = \bar{B}(A \oplus C)$$

3– K-map بـ 4 متغيرات :

التجاوز 1– Offset-1 :

$$F_9 = \bar{A}\bar{B}\bar{C}\bar{D} + AB\bar{C}\bar{D} = \bar{C}\bar{D}(A \Theta B)$$

التجاوز 2– Offset-2 :

$$F_{10} = \bar{C}D(A \oplus B)$$

التجاوز 3– Offset-3 :

$$F_{11} = C\bar{D}(A \oplus B)$$

التجاوز 4– Offset-4 :

$$F_{12} = \bar{A}B(C \oplus D)$$

التجاوز 5– Offset-5 :

$$F_{13} = A\bar{B}(C \oplus D)$$

القطر 1– Diagonal-1 :

$$F_{14} = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}D = \bar{A}\bar{C}(B \Theta D)$$

القطر 2– Diagonal-2 :

$$F_{15} = A\bar{C}(B \oplus D)$$

القطر 3– Diagonal-3 :

$$F_{16} = \bar{A}\bar{D}(B \Theta C)$$

القطر 4– Diagonal-4 :

$$F_{17} = A\bar{D}(B \oplus C)$$

القطر 5– Diagonal-5 :

$$F_{18} = \bar{B}\bar{C}(A \Theta D)$$

القطر 6– Diagonal-6 :

$$F_{19} = B\bar{C}(A \oplus D)$$

القطر 7– Diagonal-7 :

$$F_{20} = B\bar{D}(A \oplus C)$$

القطر 8– Diagonal-8 :

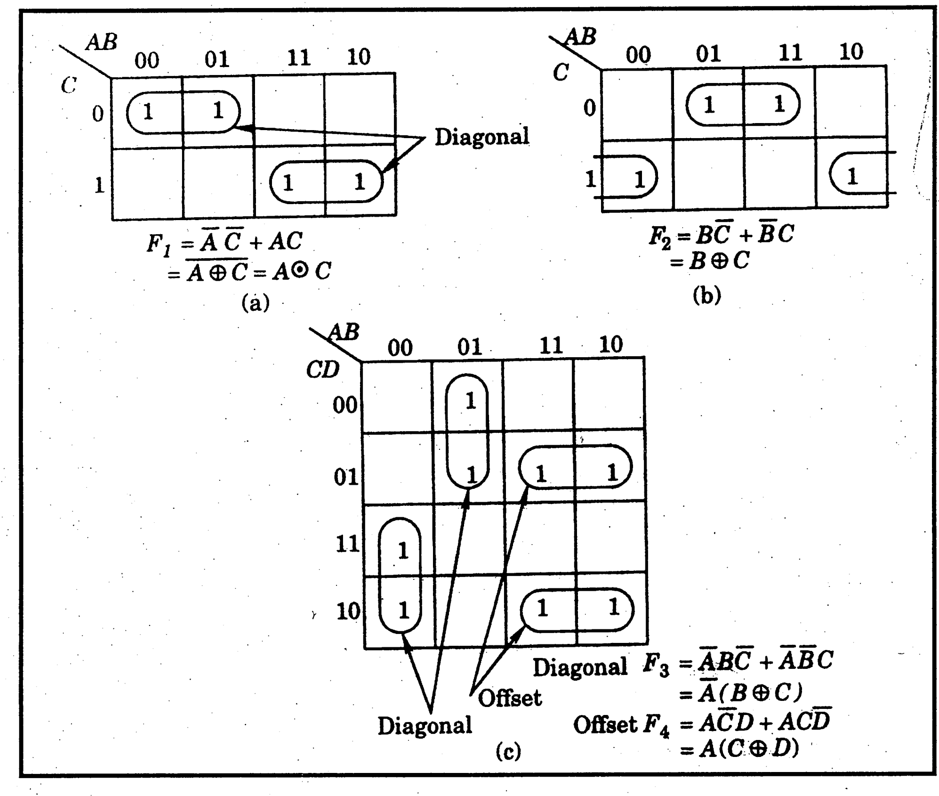
$$F_{21} = \bar{B}\bar{D}(A \Theta C)$$

ومما سبق يمكن إيجاد الوسيلة للتعرف على هذه المتجاورات، وأيضا الوسيلة التى يمكن بها الحصول على المقطع المناظر لكل تجميع.

5-4-2 المتجاورات القطرية والتجاوزية لمجموعات من 1, s:

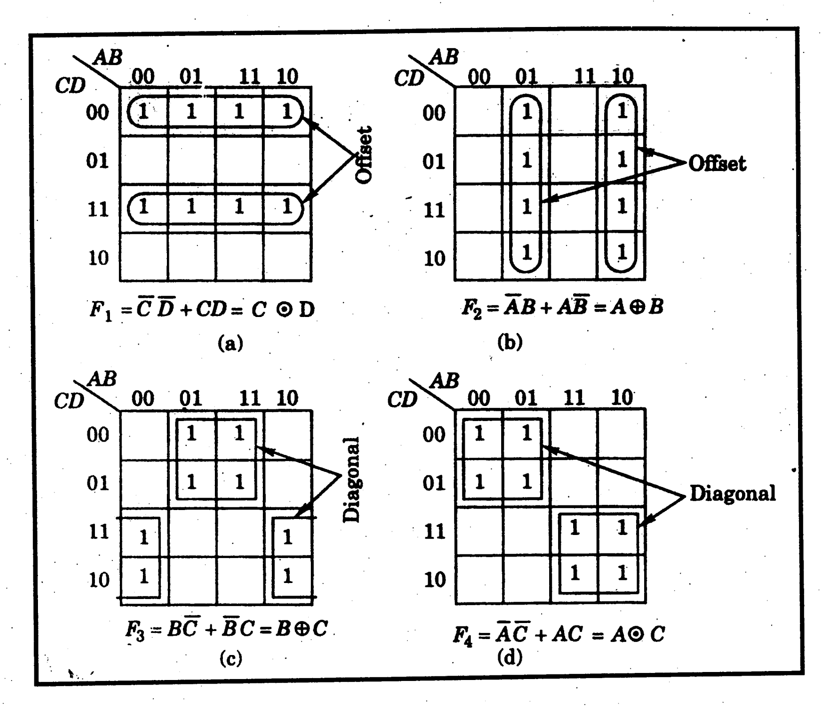
يبين شكل (5-20) متجاورات قطرية وتجاوزية لمجموعات قياسية كل منها مكونة من 2 من 1,s، كما يكتب أسفل الشكل المعادلة المبسطة.

ومنها نلاحظ أنه إذا أمكن تواجد مجموعات قياسية من 1,s على خريطة K-map على شكل المتجاورات القطرية والتجاوزية، فيمكن تعريفها لتكون على دوال ممثلة بـ EX-OR، و EX-NOR ، كما يمكن بالتالي تنفيذها بالبوابات EX-OR، و EX-NOR.



شكل (5-20) متجاورات قطرية وتجاوزية لمجموعات قياسية كل منها مكونة من عدد2 من 1,s

ويبين شكل (5-21) متجاورات قطرية وتجاوزية لمجموعات قياسية كل منها مكونة من عدد 4 من 1,s، كما يكتب أسفل الشكل المعادلة المبسطة.



شكل (5-21) أمثلة لمتجاورات قطرية وتجاوزية

وعلى الرغم من انه من الممكن كتابة مجموعة من القواعد تساعد على تبسيط خريطة K-map بدلالة عمليات EX-OR وEX-NOR مباشرة، إلا أن هذا يمكن أن يُعقد الأمور بطريقة غير ضرورية، فيتم أولا تبسيط خريطة K-map بالطرق التقليدية باستخدام الطرق القياسية أو التقليدية، ثم إدخال وسيلة المتجاورات القطرية والتجاوزية، وتبسيط التعبير جزئياً باستخدام نظريات بوول وعمليات EX-OR، و EX-NOR، وتلك العملية سوف توضح من الأمثلة التالية.

مثال (5-17) :

مطلوب تصميم محول من نظام ثنائى إلى كود جراى Binary-to-Gray code .

الحل :

يبين جدول (5-11) جدول الحقيقة للتحويل من النظام الثنائى لكود جراى .

جدول (5-11)

شفرة جراى				الشفرة الثنائية			
G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

ويتم إنشاء K-map لكل خرج من الخروج الأربعة من كود جراى، أى G_0 و G_1 و G_2 و G_3 (بنفس الأسلوب الذى تم إنشاء خريطة K-map لكل الحروف من a، إلى g عند دراسة "كاشف القطع السبعة باستخدام شفرة BCD الطبيعية")، فنحصل فى النهاية على الخرائط المبينة فى شكل (5-22)، كما نحصل على المعادلات المبسطة التالية:

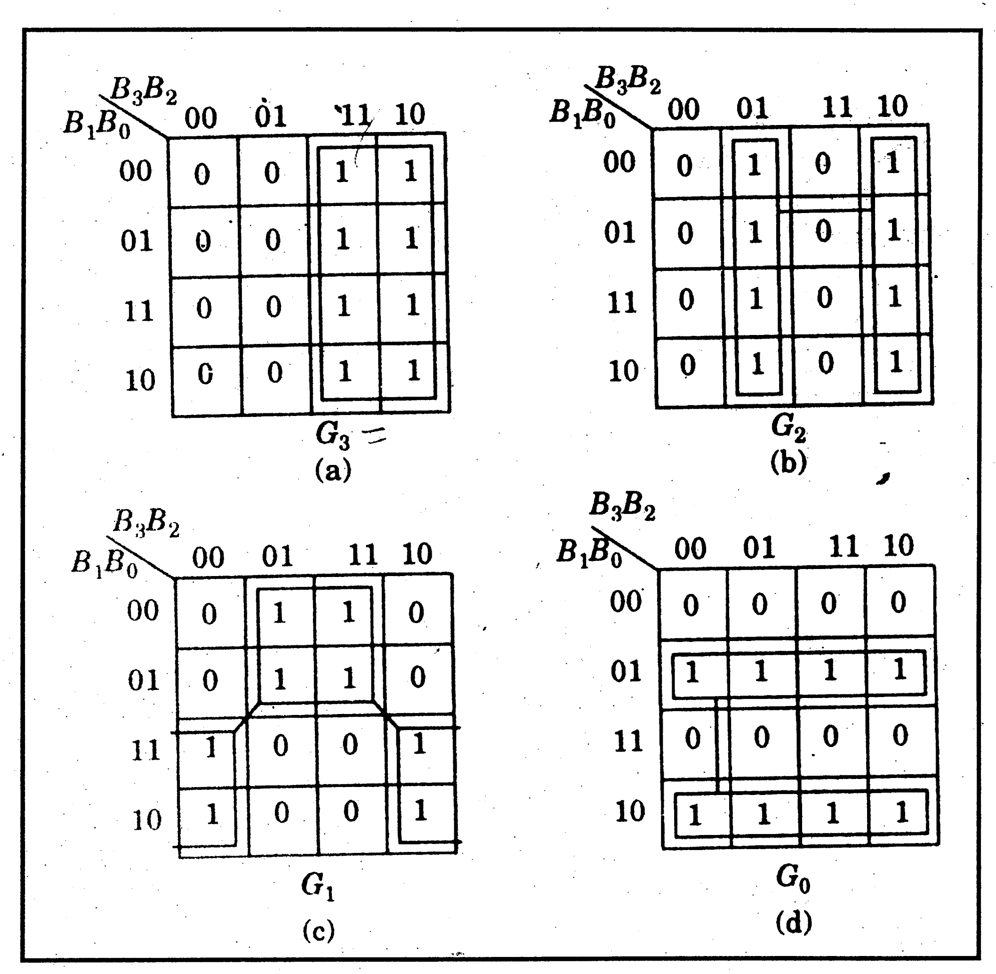
$$G_3 = B_3 \quad (5\text{-}34a)$$

$$G_2 = B_2 \oplus B_3 \quad (5\text{-}34b)$$

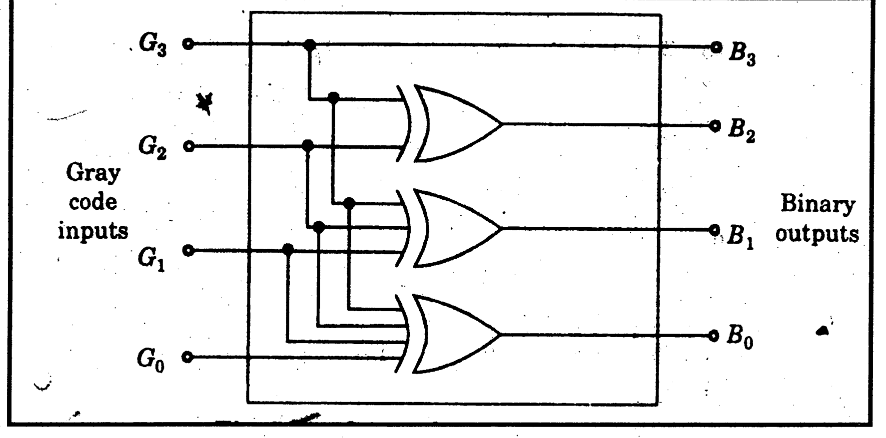
$$G_1 = B_1 \oplus B_2 \quad (5\text{-}34c)$$

$$G_0 = B_0 \oplus B_1 \quad (5\text{-}34d)$$

كما يبين شكل (5-23) تنفيذ للدائرة التى تمثل المحول من نظام ثنائى إلى كود جراى Binary-to-Gray code.



شكل (5-22) K-maps للمثال (5-17)



شكل (5–23) محول من نظام ثنائى إلى كود جراى

مثال (5–18) :

مطلوب تصميم محول من نظام جراى إلى كود ثنائى Gray-to-Binary code .

الحل :

يبين جدول (5-11) جدول الحقيقة للتحويل من نظام جراى إلى شفرة النظام الثنائى ، ويتم تنفيذ نفس خطوات المثال السابق بإنشاء K-map لكل خرج من الخروج الأربعة النظام الثنائى أى: B_0 و B_1 و B_2 و B_3، ونحصل على الخرائط المبينة فى شكل (5-32)، كما نحصل على المعادلات المبسطة التالية:

$B_3 = G_3$ (5-35a)

$B_2 = G_2 \oplus G_3$ (5-35b)

$B_1 = G_1 \oplus G_2 \oplus G_3$ (5-35c)

$B_0 = G_0 \oplus G_1 \oplus G_2 \oplus G_3$ (5-35d)

كما يبين شكل (5-24) تنفيذ للدائرة التى تمثل المحول من نظام جراى إلى كود ثنائى Gray-to-Binary code

G_1G_0 \ G_3G_2	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

B_3

(a)

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

B_2

(b)

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	1	0	1	0
10	1	0	1	0

B_1

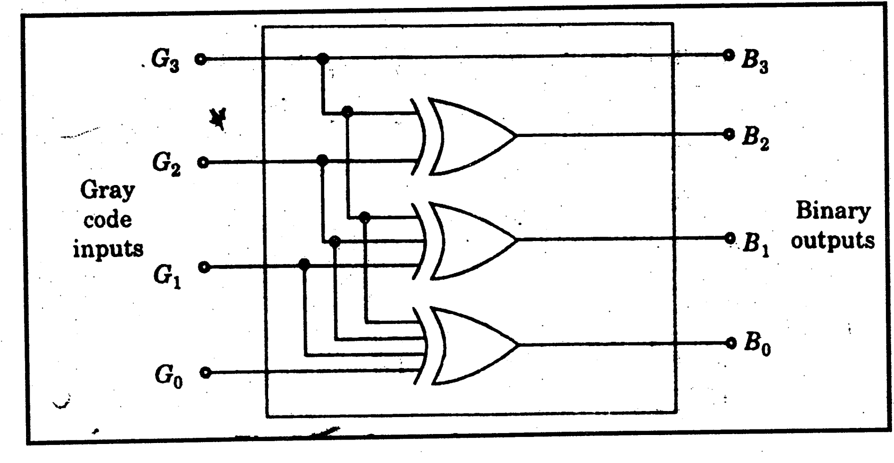
(c)

G_1G_0 \ G_3G_2	00	01	11	10
00	0	1	0	1
01	1	0	1	0
11	0	1	0	1
10	1	0	1	0

B_0

(d)

شكل (5–24) K-maps للمثال (5–18)



شكل (5–25) دائرة محول من نظام جراى إلى كود ثنائى

5-5 K-maps لـ 5 ، و 6 متغيرات :

يبين الشكلين (5-26) و(5-27) خرائط K-maps فيما يخص 5 و6 متغيرات على الترتيب، ونجد أن خرائط الخمسة متغيرات عبارة عن خريطتين كل منها لـــ 4 متغيرات تعتمد كل منها على الأخرى، بينما فى خرائط الستة متغيرات نجد أنها عبارة عن 4 خرائط كل منها لـــ 4 متغيرات.

ويمكن تخيل عمليات الترابط بين المتغيرات المتجاورة داخل الخريطة الواحدة بطريقة عادية، والتى يمكن توضيحها من خلال الأمثلة التالية.

A = 0

DE \ BC	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

A = 1

DE \ BC	00	01	11	10
00	16	20	28	24
01	17	21	29	25
11	19	23	31	27
10	18	22	30	26

شكل (5-26) K-map لـــ 5 تغيرات

A = 0, B = 0

EF \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

A = 1, B = 0

EF \ CD	00	01	11	10
00	32	36	44	40
01	33	37	45	41
11	35	39	47	43
10	34	38	46	42

A = 0, B = 1

EF \ CD	00	01	11	10
00	16	20	28	24
01	17	21	29	25
11	19	23	31	27
10	18	22	30	26

A = 1, B = 1

EF \ CD	00	01	11	10
00	48	52	60	56
01	49	53	61	57
11	51	55	63	59
10	50	54	62	58

شكل (5-27) K-map لـــ 6 تغيرات

مثال (5-19) :

مطلوب تبسيط التعبير المنطقى التالى:

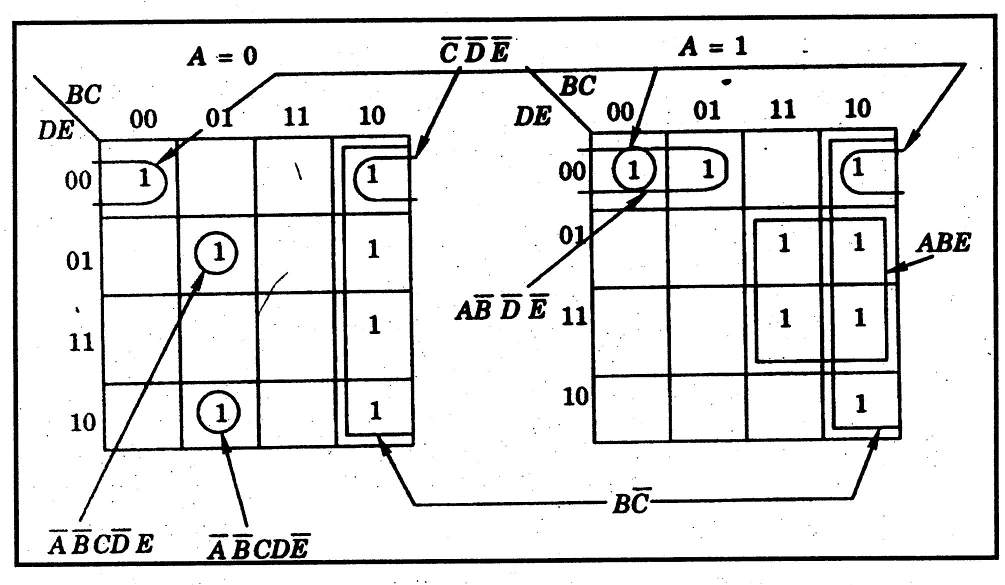
$$F(A, B, C, D, E)=\Sigma m(0,5,6,8,9,10,11,16,20,24,25,26,27,29,31) \qquad (5\text{-}36)$$

الحل :

يوضح شكل (5-28) K-map للمعادلة (5-37)، كما يكون التعبير المبسط على الصورة:

$$F = \overline{A}\,\overline{B}C\overline{D}E + \overline{A}\,\overline{B}CD\overline{E} + A\overline{B}\,\overline{D}\,\overline{E} + \overline{C}\,\overline{D}\,\overline{E} + ABE + B\overline{C} \qquad (5\text{-}37)$$

ويمكن تحقيق المعادلة (5-37) باستخدام تشكيل NAND-NAND، وسنترك ذلك للدارس.



شكل (5-28) K-map للمعادلة (5-37)

مثال (5-20) :

مطلوب تبسيط التعبير المنطقى التالى:

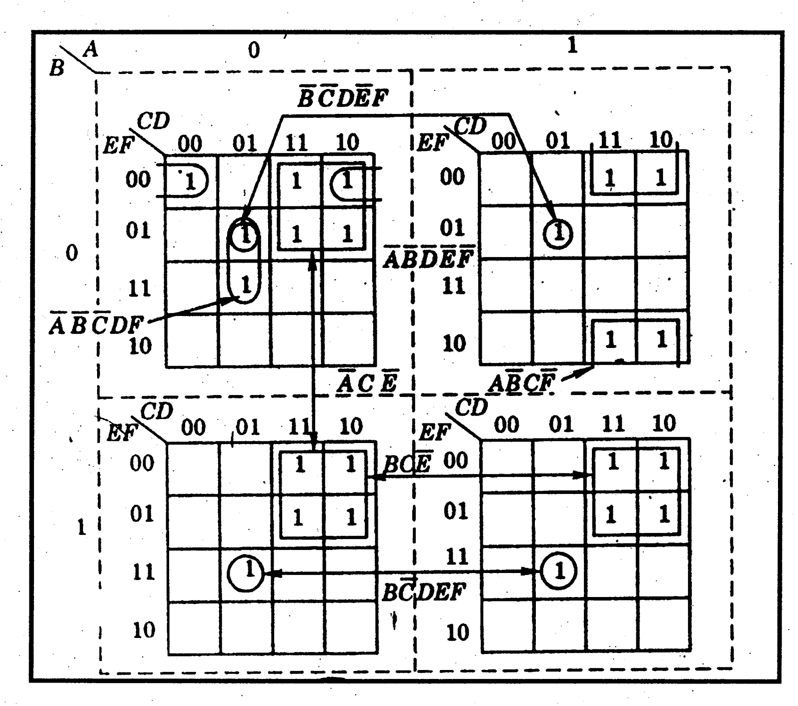
$$F(A,B,C,D,E,F)=\Sigma m(0,5,7,8,9,12,13,23,24,25,28,29,37,40,42,44,46,55,56,57,60,61) \quad (5\text{-}38)$$

الحل :

يوضح شكل (29-5) K-map للمعادلة (38-5)، كما يكون التعبير المبسط على الصورة:

$$F=\bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}+\bar{A}\bar{B}\bar{C}DF+\bar{B}\bar{C}\bar{D}\bar{E}F+B\bar{C}DEF+A\bar{B}C\bar{F}+\bar{A}C\bar{E}+BC\bar{E} \quad (5\text{-}39)$$

ويمكن تحقيق المعادلة (39-5) باستخدام تشكيل NAND-NAND، وسنترك ذلك للدارس.



شكل (29-5) K-map للمعادلة (38-5)

6-5 تطبيقات لتصميم بعض الدوائر :

1-6-5 الدوائر الحسابية :

1- نصف الجامع Half-adder :

هى دائرة منطقية تستخدم لإضافة عددين بنظام الأعداد الثنائى كل منهما مكون من بت واحدة ، أى لجمع: 0 + 0، أو 1 + 0، أو 0 + 1، أو 1 + 1، ويبين جدول (5-12) جدول الحقيقة هذه العملية .

جدول (5-12)

الدخول		الخروج	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

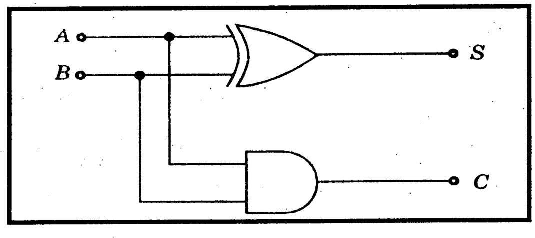
حيث يمثل A، و B الدخول، كما يمثل الخرج بالمجموع Sum ويرمز له بالرمز S، والمحمول Carry ويرمز له بالرمز C.

ومن جدول الحقيقة نحصل على ما يعبر عن كل من المجموع S، ومحمول C كالآتى:

$$S=\bar{A}B+A\bar{B}=A\oplus B \quad (5\text{-}40a)$$

$$C=AB \quad (5\text{-}40b)$$

ويوضح شكل (5-30) تنفيذ نصف جامع باستخدام بوابتين .



شكل (5-30) تنفيذ نصف جامع

2- الجامع التام Full-adder :

كما عرفنا فى نصف جامع أن هناك دخلين فقط، ولايوجد هناك أى إحتياط لإضافة أى محمول Carry من الدرجة الأقل Lower order إلى الدرجة الأعلى، وعلى هذا يتم إضافة دخل ثالث، وتصبح الدائرة بدخول A_n وB_n وC_{n-1}، حيث: A_n و B_n الدرجة n من البتات للدخلين A وB على التوالى، أما الدخل C_{n-1} فهو محمول متولد عند إضافة بتات من الدرجة السابقة (n-1)، وتسمى هذه الدائرة بـ"الجامع التام"، ويمثل جدول (5-13) جدول الحقيقة لهذه الدائرة.

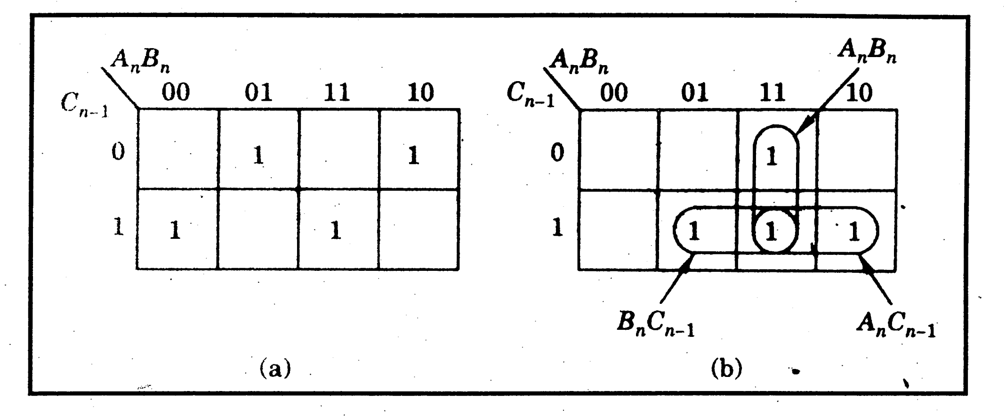
جدول (5-13)

الدخول			الخروج	
A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

ويبين شكل (5-31) K-maps للخرجين S_n و C_n، أما المعادلات المختصرة فهى معطاه فى المعادلة (5-35).

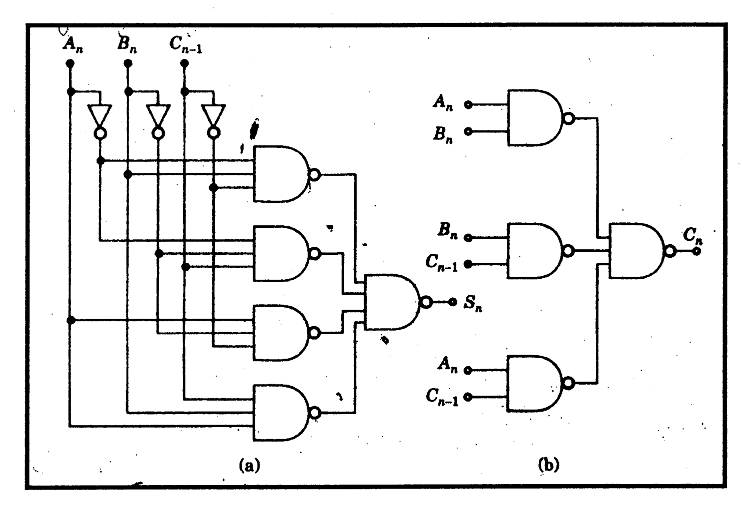
$$S_n = \bar{A}_n B_n \bar{C}_{n-1} + \bar{A}_n \bar{B}_n C_{n-1} + A_n \bar{B}_n \bar{C}_{n-1} + A_n B_n C_{n-1} \quad (5\text{-}41\text{-}a)$$

$$C_n = A_n B_n + B_n C_{n-1} + A_n C_{n-1} \quad (5\text{-}41\text{-}b)$$



شكل (5-31) K-maps للخرجين S_n ، و C_n

كما يبين شكل (5-32) تحقيق الخرجين بواسطة بوابات NAND-NAND.



شكل (5-32) تحقيق الخرجين S_n ، و C_n بواسطة بوابات NAND-NAND

3- نصف طارح Half-subtractor :

هى دائرة منطقية تستخدم لطرح عددين ثنائيين A وB كل منهما مكون من بت واحدة، ويبين جدول (5-14) جدول الحقيقة لهذه العملية والتى يمثل فيها الخرج بكل من: الفرق Difference ويرمز له بالرمز D والإستعارة Borrow ويرمز له بالرمز C.

ومن جدول الحقيقة نحصل على ما يعبر عن كل من الفرق D والإستعارة C كالآتى:

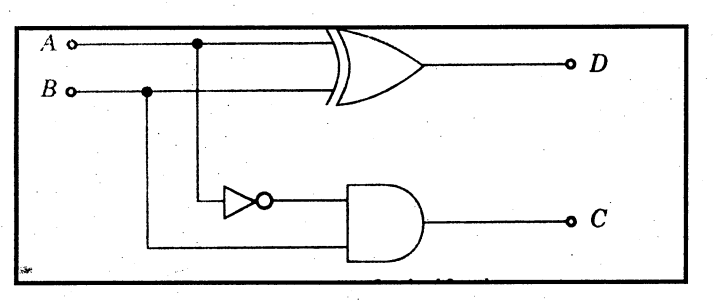
جدول (5-14)

الدخول		الخروج	
A	B	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$D = \bar{A}B + A\bar{B} = A \oplus B \quad (5\text{-}42a)$$

$$C = \bar{A}B \quad (5\text{-}42b)$$

ويوضح شكل (5-33) تنفيذ نصف طارح باستخدام البوابات .



شكل (5-33) تنفيذ طارح نصفى

4- الطارح التام Full-subtractor :

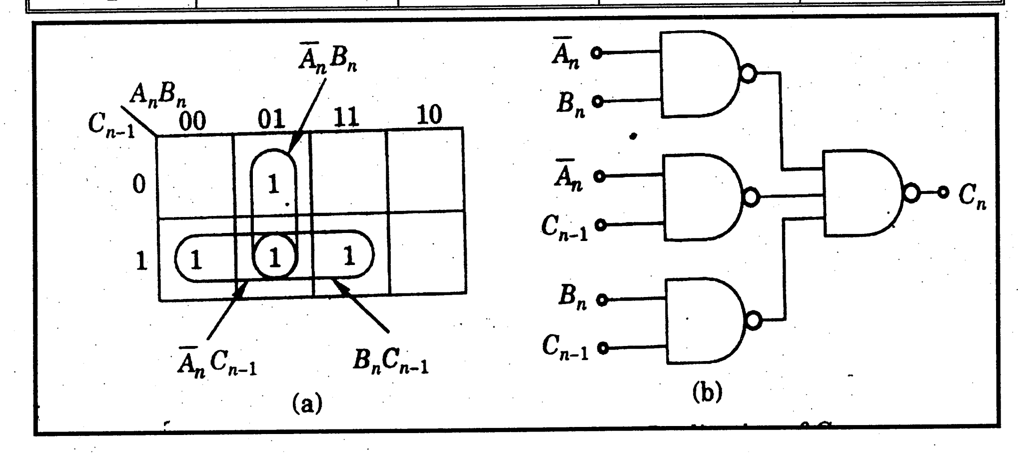
كما فى الجامع التام فنحن فى إحتياج لدائرة طارح تام لتنفيذ عمليات الطرح المتعددة والتى من خلالها يمكن اللجوء إلى إستعارة بت من الدرجة الإعلى، وعلى هذا تحتوى هذه الدائرة على دخول ثلاثة: المطروح منه A_n والمطروح B_n والمستعار من الخطوة السابقة C_{n-1}، وعلى خرجين: الفرق D_n والمستعار C_n، ويمثل جدول (5-15) جدول الحقيقة لهذه الدائرة.

وتكون K-map للخرج D_n مشابه تماما لـــK-map للخرج S_n فى الجامع التام وبالتالى تكون دائرة تحقيقها مماثلة، وكما هو موضح فى شكل (5-32-a)، أما K-map للخرج C_n فهى ممثلة فى شكل (5-34-a) وتحقيق هذا الخرج من خلال الدائرة الممثلة فى شكل (5-34-b)، أما المعادلة المختصرة فهى معطاه فى المعادلة (5-43).

$$C_n = \bar{A}_n B_n + \bar{A}_n C_{n-1} + B_n C_{n-1} \quad (5\text{-}43)$$

جدول (5-15)

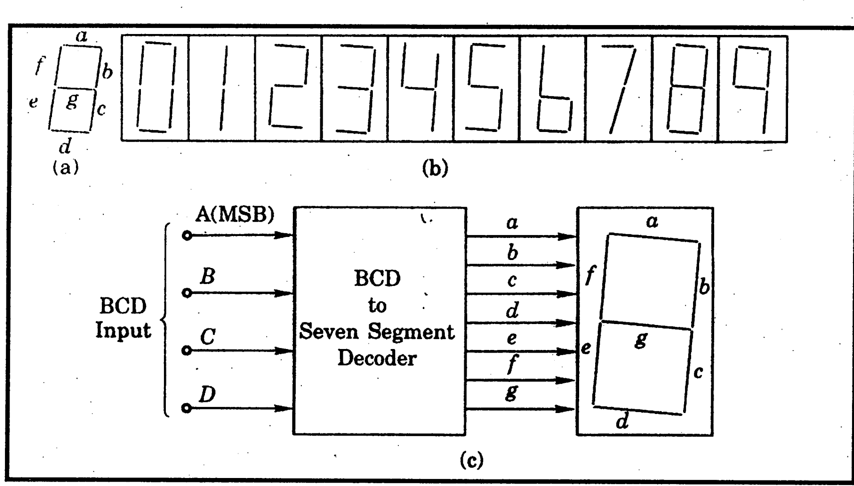
الدخول			الخروج	
A_n	B_n	C_{n-1}	D_n	C_n
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



شكل (5-34) K-map وتحقيق الخرج C_n

5-6-2 وحدة العرض السباعية :

فى كثير من تطبيقات الأنظمة الرقمية كما فى الآلات الحاسبة الرقمية والساعات الرقمية نجد الشاشة الرقمية المكونة من سبعة قطع مضيئة، والتى تُظهر الأعداد العشرية من 0 إلى 9، ويسمى هذا الجهاز "كاشف القطع السبعة باستخدام شفرة BCD الطبيعية" BCD-to-7-segment decoder، وهنا يتم تغيير البيانات من شفرة الكود التى تعبر عن العدد بالنظام الرقمى إلى الشفرة الأخرى المطلوبة لعرض العدد نفسه على الشاشة بالنظام العشرى، وعادة تستخدم شفرة BCD الطبيعية، ويبين شكل (5-35a) شكلا لوحدة عرض سباعية، كما يبين شكل (5-35b) الأجزاء الواجب إضاءتها والمناظرة لكل عدد عشرى، بينما يبين شكل (5-35c) مخطط تمثيل نظام الشاشة .



شكل (5-35) وحدة العرض السباعية

ويبين جدول (5-16) جدول الحقيقة لهذا الكاشف، حيث تمثل المتغيرات A وB وC وD الشفرة BCD الطبيعية للأعداد من 0 إلى 9، فمثلا العدد العشرى 5 تكون شفرة BCD له هى: (0101) ومطلوب تمثيلة بالقطع: a , c , d , f , g، أى تكون مضاءة (أى تكون 1,s)، بينما القطع: b , e تكون مظلمة (أى تكون 0,s) وبالمثل يتم تمثيل بقية الأعداد بنفس الطريقة، وفى النهاية نحصل على جدول (5-16) .

ويتم إنشاء K-map لكل الحروف من a إلى g والموضحة فى شكل (5-36) ويتم إدخال رمز شرط عدم الإهتمام X فى الأماكن الخالية من K-maps ، ونحصل فى النهاية على التعبيرات المختصرة لكل حرف على حدة كالتالى :

جدول (5-16)

العدد العشرى المعروض على الشاشة	الدخول				الخروج						
	A	B	C	D	a	b	c	d	c	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1



$$a = \bar{B}\bar{D} + BD + CD + A \quad (5\text{-}44)$$

$$b = \bar{B} + \bar{C}\bar{D} + CD \quad (5\text{-}45)$$

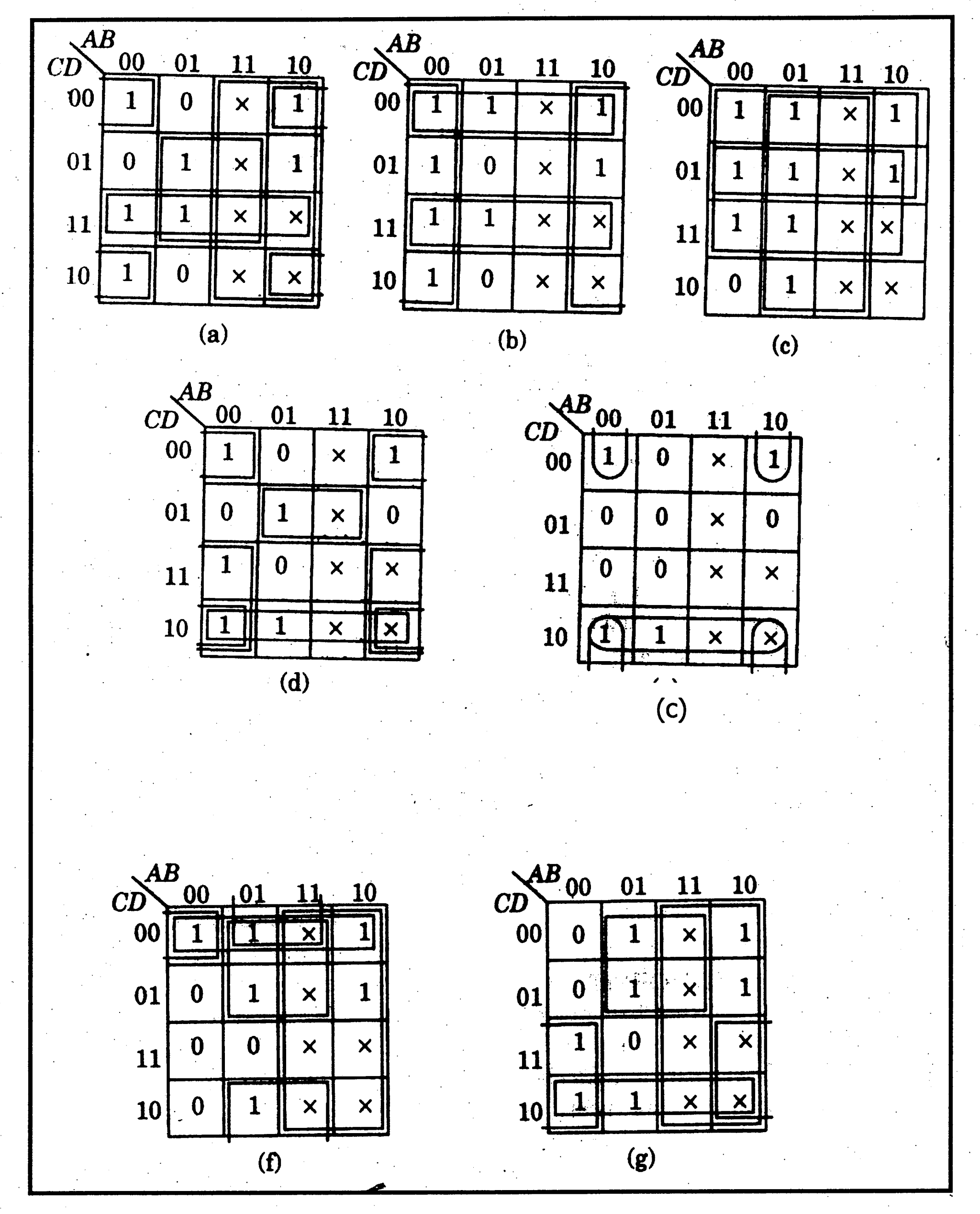
$$c = B + \bar{C} + D = \overline{\bar{B}C\bar{D}} \quad (5\text{-}46)$$

$$d = \bar{B}\bar{D} + C\bar{D} + \bar{B}C + B\bar{C}D \quad (5\text{-}47)$$

$$e = \bar{B}\bar{D} + C\bar{D} \quad (5\text{-}48)$$

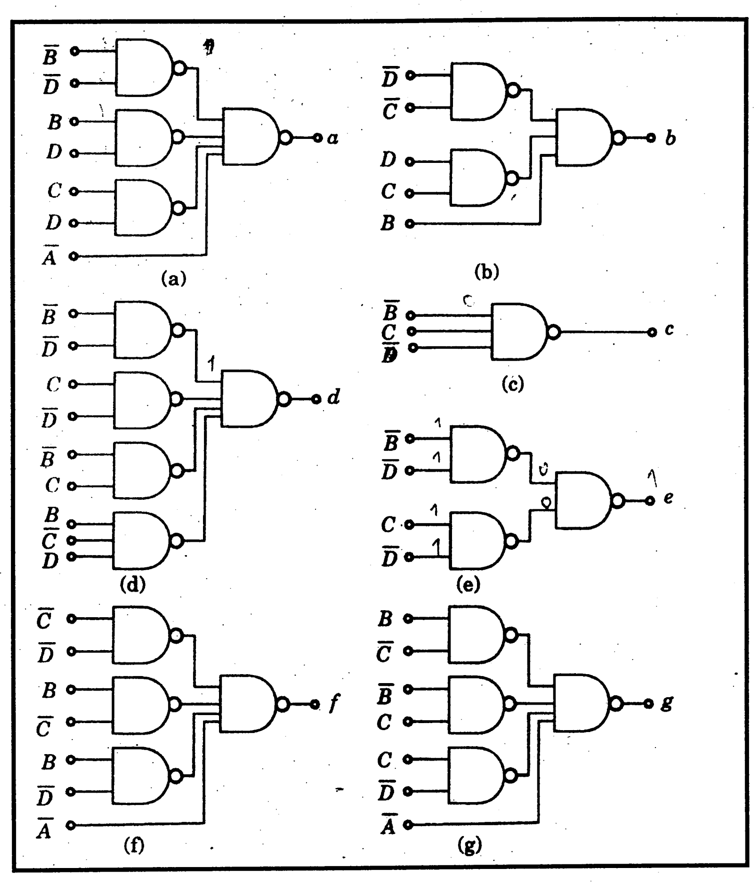
$$f = A + \bar{C}\bar{D} + B\bar{C} + B\bar{D} \quad (5\text{-}49)$$

$$G = A + B\bar{C} + \bar{B}C + C\bar{D} \quad (5\text{-}50)$$



شكل (5-36) K-map لجدول الحقيقة (5-15)

كما بين شكل (5-37) التحقيق ببوابات NAND.



شكل (5-37) التحقيق للمعادلات من (5-44) إلى (5-50) ببوابات NAND

5-7 تصميم المنطق التوافقي باستخدام الدوائر المتكاملة ذات النطاق المتوسط MSI :

في الأقسام السابقة تمت مناقشة بعض الطرق التقليدية المستخدمة في تصميم الدوائر التوافقية، والتي شملت تبسيط التعبيرات المنطقية وتنفيذها باستخدام البوابات، وبمساعدة هذه الطرق تم دمج بعض الوظائف المعقدة والتي أدت إلى مايعرف بالدوائر المتكاملة ذات النطاق المتوسط MSI والتي أصبحت متاحة على شكل دائرة متكاملة، وأصبحت هناك منظومة جذابة من الأجهزة مثل المجمعات Multiplexers، والموزعات Demultiplexers المولدات/المراقبات المساوية Parity

generators/checkers، كاشفات الأولوية priority encoders، المشفرات Encoders، المقارنات Comparators، الجامعات Adders ....إلخ.

وسوف نتناول بعد قليل بعضاً من هذه الدوائر المتكاملة المركبة وتطبيقاتها فى مجال تصميم الأنظمة التوافقية، حيث يقلل استخدام هذه الأجهزة من أعداد الدوائر المتكاملة المستخدمة فى تصميم نظام ما، ومما يؤدى بالتالى إلى التقليل من تكلفة النظام، كما يؤدى استخدامها إلى تبسيط النظام الرقمى بدرجة كبيرة وإلى اعتمادية أيضا وذلك بإختصار عدد التمديدات الخارجية ، فيجب على المصمم - بناء على هذا - أن يكون على دراية كبيرة بهذه الدوائر، للوصول إلى الاستخدام الأفيد والأمثل لها.

5-8 المجمعات واستخداماتها فى تصميم المنطق المختلط :

5-8-1 المجمع Multiplexer :

المجمع هو دائرة توافقية خاصة، وهو يعد واحد من من أكثر الدوائر القياسية استخداما فى الأنظمة الرقمية ، والمجمع (والذى يسمى أيضا منتقى البيانات Data selector) هو دائرة تمرر أو تختار خرج واحد من بين عدة دخول، ويتم التحكم فى الدخل الذى يتم اختياره عن طريق مجموعة من دخول إختيارية Select inputs، ويبين شكل (5-38) المخطط الوظيفى لمجمع له خطوط مداخل عددها n وخط مخرج واحد، ويتم اختيار خرج واحد من عدد من الدخول n عن طريق دخول إختيار Select inputs مكون من مجموعة من عدد m دخول إختيار، حيث: ($2^m = n$)، ومع الإعتماد على الشفرة الرقمية المطبقة على دخول الاختيار يمكن اختيار دخل واحد من الدخول n العديدة ونقلها إلى قناة خرج واحدة، وعادة يستخدم دخل G ويسمى بدخل التمكين Enable أو Strobe والذى يكون أداؤه مؤثرا عندما يكون منخفضا LOW.

ويبين جدول (5-17) جدول الحقيقة لمجمع (1 : 4) مع دخل تمكن G منخفض LOW، ويتم التعبير عن الخرج Y بالعلاقة:

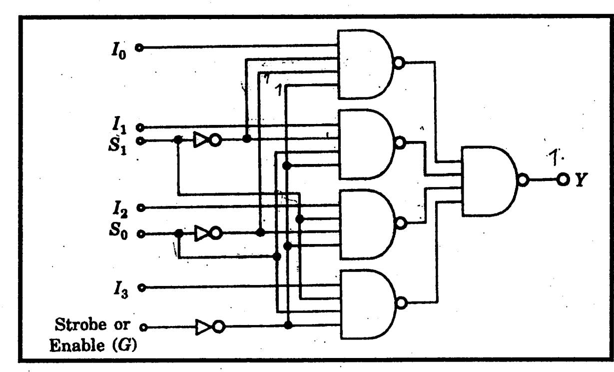
شكل (5-38) مخطط وظيفى لمجمع رقمى

$$Y = \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 \bar{S}_0 I_1 + S_1 \bar{S}_0 I_2 + S_1 S_0 I_3 \quad (5\text{-}51)$$

جدول (5-17)

الخرج	الدخول المختارة	
Y	S_2	S_1
I_0	0	0
I_1	1	0
I_2	0	1
I_3	1	1

ويمكن تنفيذ المعادلة (5-51) باستخدام بوابات NAND ، والموضح فى شكل (5-39).



شكل (5-39) مجمع رقمى 4:1 بدخل تمكن باستخدام بوابات NAND

5-8-2 تصميم منطق توافقى باستخدام المجمعات :

يمكن استخدام وظيفة المجمع الذى تمت مناقشته بطريقة مناسبة كعنصر منطقى عند تصميم الدوائر التوافقية، وتتوافر العديد من الدوائر التكاملية القياسية للمجمعات من أنواع : 2:1، و 4:1، و 8:1، و 16:1، وكما يتبين ذلك جدول (5-18) .

جدول (5-18)

رقم الشريحة	الوصف	الخرج
74157	4 مجمع كل منها 2:1	مثل الدخل
74158	4 مجمع كل منها 2:1	عكس الدخل
74153	2 مجمع كل منها 4:1	مثل الدخل
74352	2 مجمع كل منها 4:1	عكس الدخل
74151A	مجمع 8:1	خرج تكاملى
74152	مجمع 8:1	عكس الدخل
74150	مجمع 16:1	عكس الدخل

واستخدام المجمعات يحقق الكثير من المزايا، منها عدم الحاجة إلى تبسيط التعبيرات المنطقية وتقليل عدد حزم الدوائر المتكاملة بالإضافة إلى تبسيط تصميم المنطق.

ولاستخدام المجمع كعنصر منطقى ، فلابد أن يتاح جدول الحقيقة أو واحد من الأشكال القياسية للتعبير المنطقى ، ويمكن توضيح خطوات التصمم كالآتى :

1- تحديد العدد العشرى المناظر لكل مدلول أدنى فى التعبير المنطقى مع توصيل خطوط المداخل المناظرة لهذه الأعداد لمستوى المنطق 1 .

2- توصيل المداخل الأخرى لمستوى المنطق 0 .

3- يتم توصيل المداخل للمداخل المختارة Selected inputs .

والخطوات السابقة يمكن توضحيها بالأمثلة التالية .

مثال (5-21) :

مطلوب تنفيذ التعبير المنطقى التالى باستخدام مجمع .

$$f(A, B, C, D) = \Sigma m(0, 2, 3, 6, 8, 9, 12, 14)$$

الحل :

نظرا لوجود 4 متغيرات، يتم استخدام مجمع بـ 4 مداخل مختارة، ويبين شكل (5-40) دائرة مجمع 16:1 لتنفيذ التعبير عاليه والذى يحتاج حزمة واحدة من دائرة متكاملة.

مثال (5-22) :

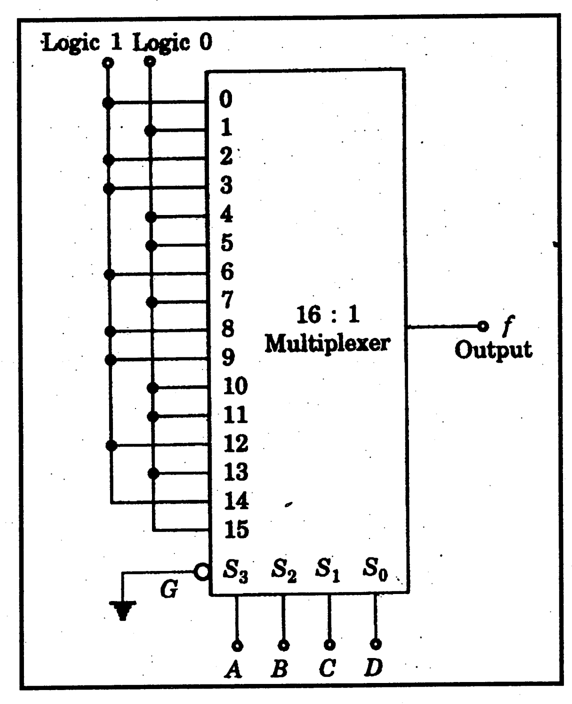
مطلوب تنفيذ الدالة المنطقية لجدول الحقيقة (5-19) .

الحل :

هناك طريقتين للحل.

*** الطريقة الأولى:**

كمثل التى أتبعت فى حل المثال (5-21)، باستخدام دائرة مجمع 16:1 حيث يتم توصيل المداخل: 2 و4 و6 و7 و9 و10 و11 و12 و15 بالمنطق 1، بينما توصل المداخل: 0 و1 و3 و5 و8 و13 و 14 بالمنطق 0 .



شكل (5-40) تنفيذ التعبير المنطقى للمثال (6-1)

*** الطريقة الثانية :**

باستخدام دائرة مجمع 8:1 بدلا من استخدام دائرة مجمع 16:1. ولهذا الغرض تم عمل تجزيئة لجدول الحقيقة كما هو مبين بالخطوط العرضية، ويتم توصيل الدخول: A و B و C بدخول الإختيار: S_2 و S_1 و S_0 على الترتيب، ومن جدول الحقيقة نلاحظ العلاقة بين الدخل D والخرج Y فى كل مجموعة مكونة من صفين، ونجد أن هناك 4 إحتمالات للخرج Y وهى: 0 و 1 و D و $\overline{D}$، وهذا مايظهر فى جدول (5-20).

جدول (5-19)

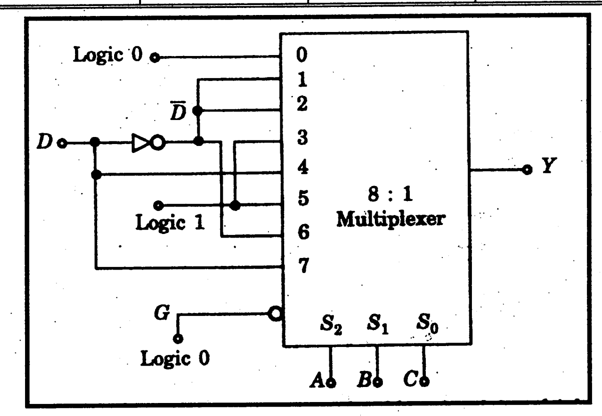
الدخول				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

وبالنظر إلى الخرج Y من هذا الجدول لكل مجموعة من المتغيرات A، و B، و C، يمكن تنفيذ التوصيل المطلوب كما فى شكل (5-41).

كما يمكن الحصول على نفس الطريقة الثانية وذلك بتبسيط التعبير المنطقى المعطى.

جدول (5-20)

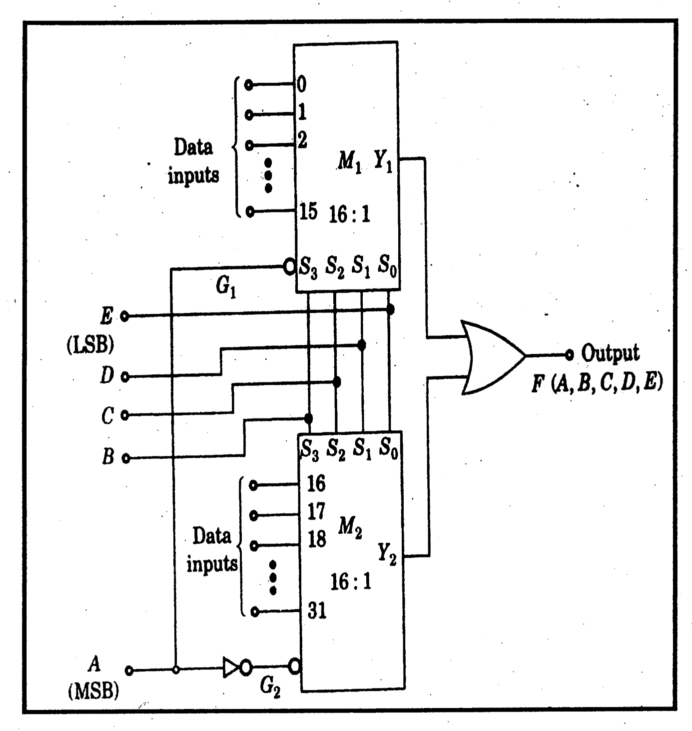
الدخول			الخرج
A	B	C	Y
0	0	0	0
0	0	1	$\overline{D}$
0	1	0	$\overline{D}$
0	1	1	1
1	0	0	D
1	0	1	1
1	1	0	$\overline{D}$
1	1	1	D



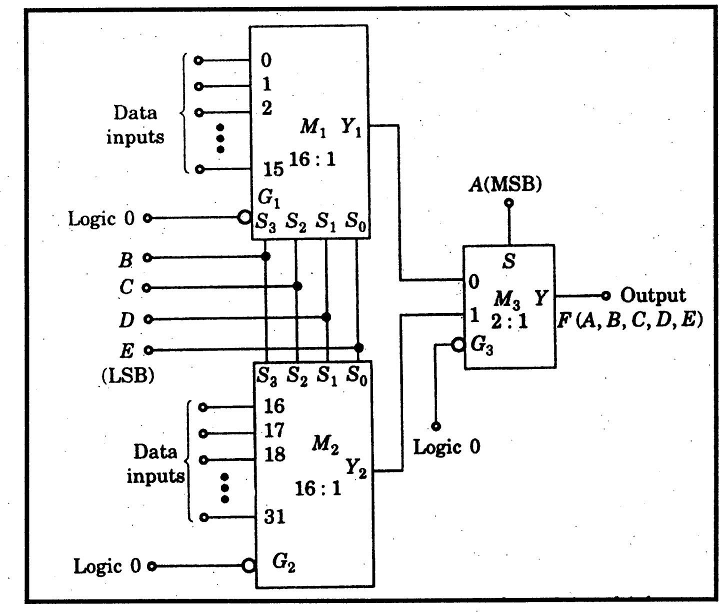
شكل (5-41) تنفيذ جدول حقيقة لـ 4 متغيرات باستخدام دائرة مجمع 8:1

5-8-3 شجرة المجمعات :

حيث أن المجمعات 16:1 هى الأعلى والمتاحة للمجمعات على شكل دائرة متكاملة، فلابد من وجود الإحتياط الذى يقابل إحتياجات مداخل أكثر، وهذا يمكن تحقيقه باستخدام الطريقتين الموضحتين فى شكلى (5-42) و (5-43)، والتى أيضا يمكن تعميمهما للوصول إلى إجهزة تعدادية بعدد مداخل n بدون أية صعوبات.



شكل (5-42) مجمع 32:1 باستخدام مجمعين 16:1 وبوابة OR



شكل (5-43) مجمع 32:1 باستخدام مجمعين 16:1 ومجمع 2:1

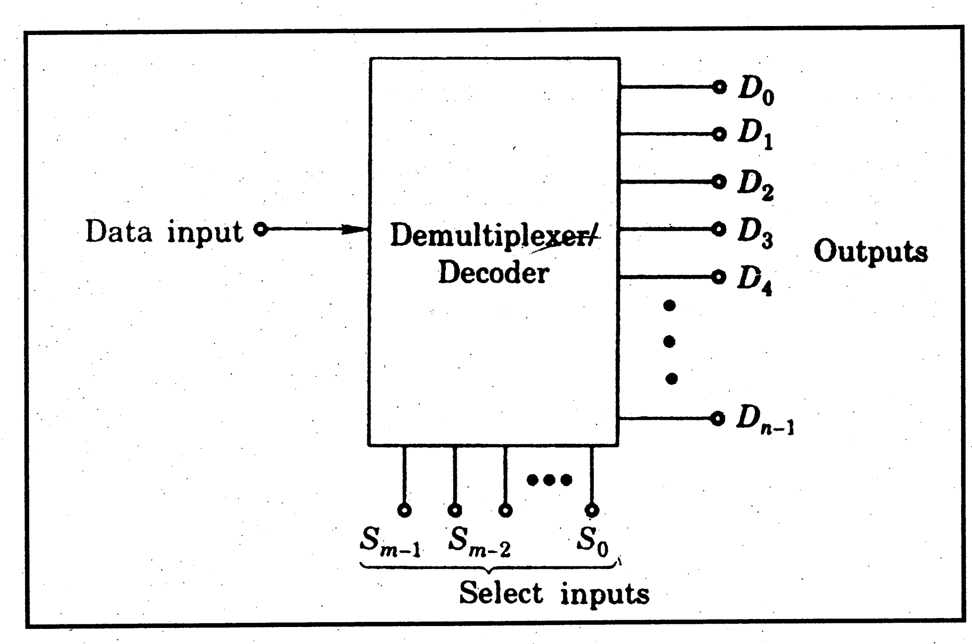
5-9 الموزعات واستخداماتها فى تصميم المنطق التوافقى :

5-9-1 الموزع Demultiplexer :

يؤدى الموزع Demultiplexer عكس مايؤديه المجمع ، حيث يقبل مدخل واحد ويقوم بتوزيعه على واحد من عدة مخارج، وكما يتبين فى المخطط الوظيفى فى شكل (5-44)، وحيث تحدد شفرة دخل الإختيار إلى أى خرج ستتوجه بيانات الدخل.

وإذا كان n هى عدد المخارج، و m هى عدد مداخل الإختيار، فيكون:

$n = 2^m$.



شكل (5-44) المخطط الوظيفى للموزع

ويمكن إستخدام هذه الدائرة ككاشف من نظام أعداد ثنائى إلى نظام أعداد عشرى Binary-to-decimal decoder وذلك بإدخال العدد الثنائى على مداخل الإختيار فيظهر العدد العشرى المكافئ على خط الخرج المكافئ، كما يتم توصيل خط بيانات الدخل بمستوى منطقى 1.

ويمكن تحقيق المخطط السابق بجهاز باستخدام البوابات (وهذا متروك كتدريب للدارس)، إلا أن هذا الجهاز متاح كدائرة متكاملة كإحدى الدوائر المتكاملة المتوسطة النطاق ، وتستخدم عند تصميم الدوائر التوافقية.

ويبين جدول (5-21) الدوائر المتكاملة لكواشف من أنواع: (2 خط إلى 4 خط ، و 3 خط إلى 8 خط ، و 4 خط إلى 16 خط).

جدول (5-21)

رقم الشريحة	الوصف	الخرج
74139	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	عكس الدخل
74155	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	1 Y عكس الدخل
74156	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	2 Y مثل الدخل
74138	1 جهاز كل منها 1:8 (كاشف 3 خط : 8 خط)	عكس الدخل
74154	1 جهاز كل منها 1:16 (كاشف 4 خط : 16 خط)	مثل الدخل
74159	1 جهاز كل منها 1:16 (كاشف 4 خط : 16 خط)	مثل الدخل

مثال (5-23) :

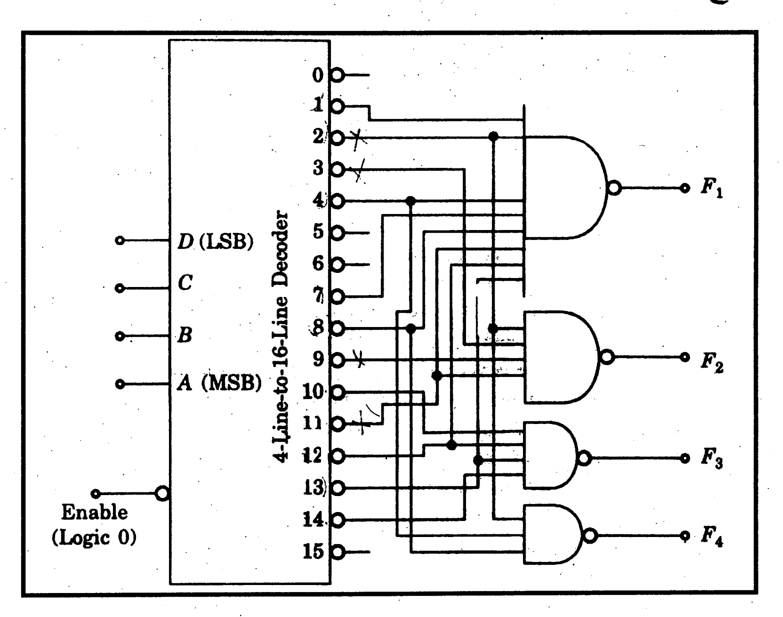
مطلوب تصميم دائرة من النوع التوافقى متعددة المخارج الآتية باستخدام كاشف 4 خط : 16 خط .

$$F_1 = \Sigma m(1, 2, 4, 7, 8, 11, 12, 13)$$
$$F_2 = \Sigma m(2, 3, 9, 11)$$
$$F_3 = \Sigma m(10, 12, 13, 14)$$
$$F_4 = \Sigma m(2, 4, 8)$$

الحل :

يبين شكل (5-45) تنفيذ الدائرة المطلوبة .

يتم تطبيق دخول 4 بت ABCD على نهايات الدخل المختارة S_3 و S_2 و S_1 و S_0 وتحقق المقاطع الأدنى : 13 , 12 , 11 , 8 , 7 , 4 , 2 , 1 الخرج F_1 المطلوب ، وبناء على ذلك يتم توصيل بوابة NAND كما هو موضح ، بالمثل يتم توصيل بوابات NAND للخروج F_2 و F_3 و F_4 .



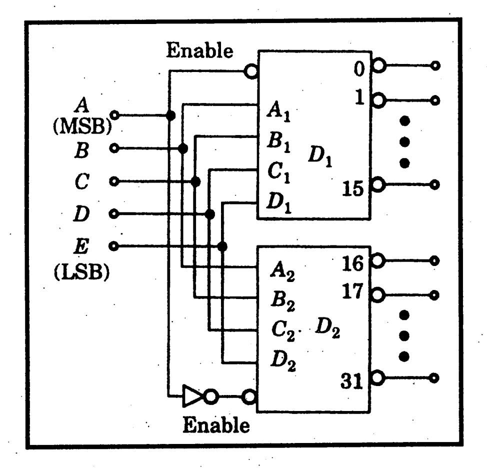
شكل (5-45) تنفيذ للدائرة المطلوبة للمثال (6-23)

5-9-2 شجرة الكاشف :

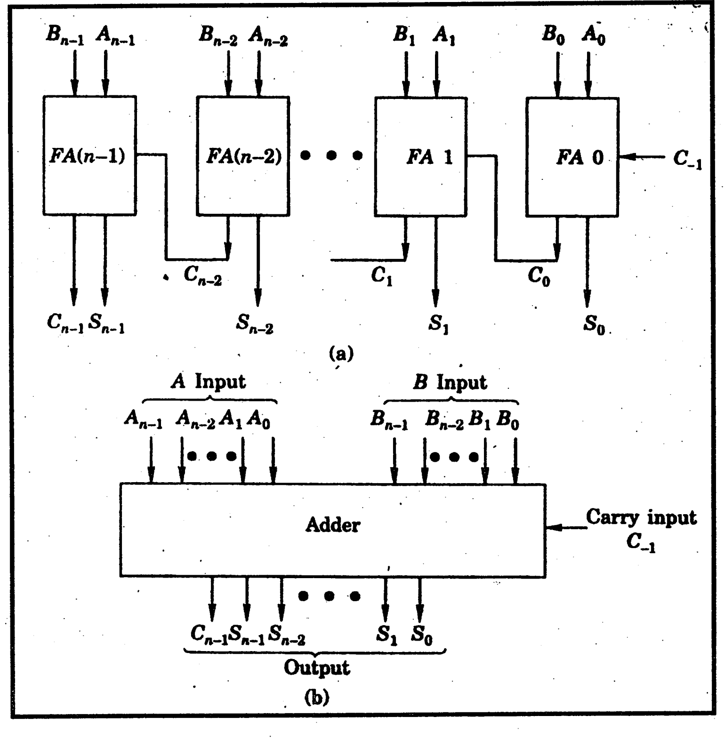
حيث أن الكاشف 4 خط : 16 خط هى الأعلى والمتاحة على شكل دائرة متكاملة، فلابد من وجود الإحتياط الذى يقابل إحتياجات مداخل أكثر والذى يمكن تحقيقه باستخدام الطريقتين الموضحتين فى شكل (5-46) الذى يوضح كاشف 5 خط: 32 خط، وشكل (5-47) الذى يوضح كاشف 6 خط : 256 خط ، والتى أيضا يمكن تعميمهما للوصول إلى كواشف بدخول m خط : n خط بدون أى صعوبات.

إلا أنه إذا أريد التعرف على شفرات قليلة ذات عدد كبير، فيمكن إستخدام الدائرة المبينة فى شكل (5-48)، وللإيضاح إذا أريد كشف العدد 00011111، يتم تطبيق البتات ذات التأثير الأكبر MSB على الدخول A B C D، بينما يتم تطبيق البتات

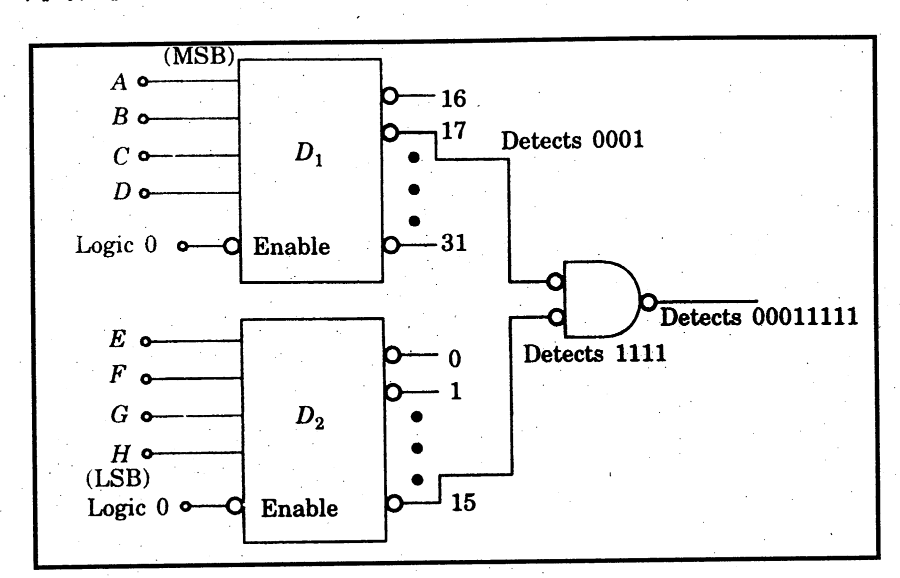
ذات التأثير الأصغر LSB على الدخول E F G H، ونجد أن الخرج يتجه ليكون منخفضاً عندما تكون بتات التأثير الأعلى 0001 وتكون بتات التأثير الأدنى 1111، وكما هو موضح فى شكل (5-48).



شكل (5-46) كاشف 5 خط : 32 خط باستخدام 2 كاشف 4 خط : 16 خط



شكل (5-47) كاشف 6 خط : 256 خط باستخدام عدد من الكواشف 4 خط : 16 خط



شكل (6-48) مثال لكاشف لأحد التكوينات

5-10 الجامع واستخدامه كطارح :

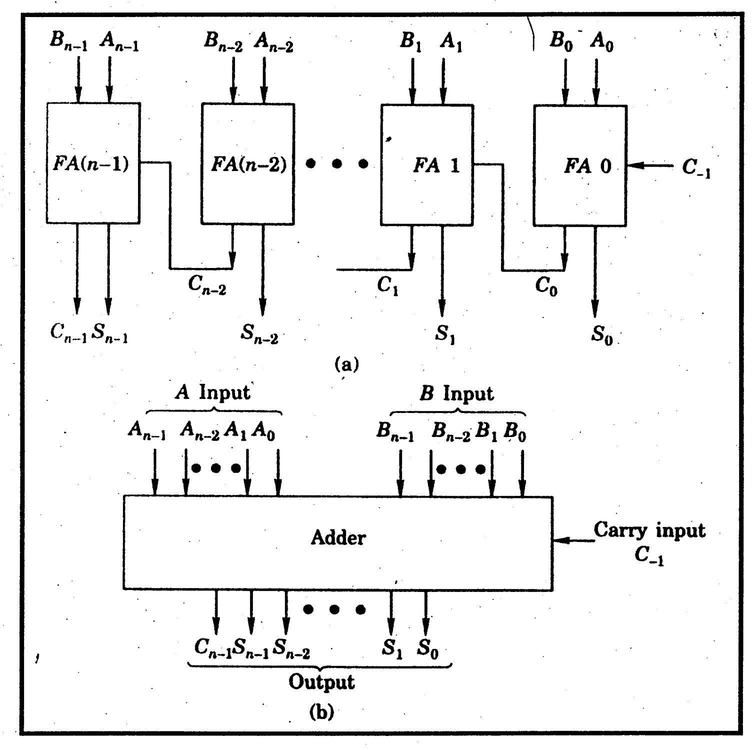
فى القسم (5-6) تم التطرق إلي كل من نصف الجامع والجامع التام ونصف الطارح والطارح التام والتى تتعامل مع عددين كل منهما مكون من 1 بت، ويمكن باستخدام تلك الدوائر تصميم جامع وطارح لأعداد ثنائية تحتوى كل منها على عدد n بتات، ويمكن أداء كلتا العمليتين (الجمع والطرح) باستخدام دوائر النوع الجامع حيث يمكن استخدام الدوائر الجامعة كدوائر طارحة (حيث أن مسألة الطرح يمكن تحويلها لمسألة جمع باستخدام تمثيل مكمل الواحد، ومكمل الإثنين للأعداد السالبة)، ومن هنا وصلت أهمية الجوامع كواحدة من أهم الدوائر القياسية المتاحة على شكل الدوائر المتكاملة المتوسطة النطاق MSI.

وتتكون دائرة هذا الجامع (الذى يقوم بجمع أعداد ثنائية تحتوى كل منها على n بت) من عدد n من دوائر الجامع الكلى حيث تقبل فى الدخل عددين كلاهما مكون من n بت ، وينتج عدد مكون (n + 1) بت كخارج جمع ، ويبين شكل (5-49-a) جامع يستخدم عدد من الجوامع الكلية لجمع عددين ثنائيين كلاهما مكون من n بت

(A_0 A_1 A_2 ...... A_{n-2} A_{n-1}، و B_0 B_1 B_2.....B_{n-2} B_{n-1})، حيث يتم إضافة البت A_0 إلى البت B_0 فى الجامع التام Full adder (FA0) ويكون الناتج هو S_0 والمحمول C_0 (إن وجد) ، ثم إضافة البت A_1 إلى البت B_1 والمحمول C_0 (إن وجد) فى الجامع الكلى Full adder (FA1) ويكون الناتج S1 والمحمول C1 (إن وجد) ...وهكذا .

ويمكن استخدام نصف جامع فقط (بدلاً من FAO) جامع تام عند إضافة A_0، و B_0، وفى النهاية يمكننا القول أن دخل الجامع هما العددين A و B وكلاهما مكون من n بت ، ويكون الخرج أو مجموعهما: C_{n-1} S_{n-1} S_{n-2} ...S_2 S_1 S_0 .

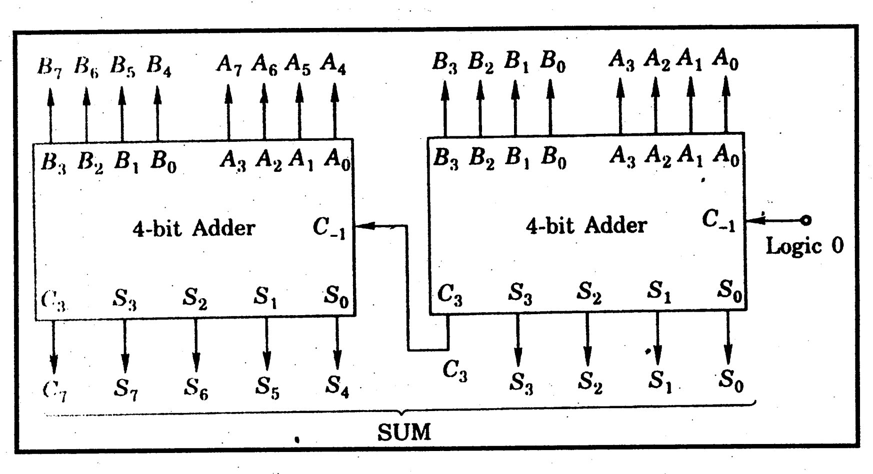
وتتوفر دوائر متكاملة لجمع 2 بت 4 بت، ويؤدى إنتقال المحمول Carry من مستوى بت ذى تأثير أصغر LSB إلى مستوى بت ذى تأثير أكبر MSB إلى الإقلال من سرعة التشغيل للجامع والتى تقدر بالزمن المطلوب لإنهاء عملية نقل المحمول. والتصنيع الحديث للجوامع يتيح تقنية بإسراع عملية توليد المحمول والتى تعرف بـــ المحمول المتقدم للأمام Look-ahead carry، هذه التقنية تستبق بت المحمول مقدما عند كل مرحلة من مراحل الجمع قبل حدوث عملية الجمع.



شكل (5-49) جامع كلى لجمع عددين كلاهما مكون من n بت

5-10-1 تتالى الجوامع :

يمكن زيادة المجال لجمع أعداد ثنائية تحتوى على أكثر من 4 بت، فيمكن بعدد 2 جامع كل منهما من نوع 4 بت للحصول على جامع من نوع 8 بت كما هو مبين فى شكل (5-50)، وعامة وبطريقة مشابهه يمكن الحصول على جامع من نوع n بت.



شكل (5-50) جامع من نوع 8 بت من جامعى 4 بت

5-10-2 عملية الطرح باستخدام الجامع :

وكما تمت مناقشته فى الفصل الثانى، فإن عملية الطرح يمكن إجراؤها كعملية جمع متى تم إستخدام تمثيل مكمل الواحد، ومكمل الإثنين فى تمثيل الأعداد السالبة.

5-11 العمليات الحسابية بشفرة BCD :

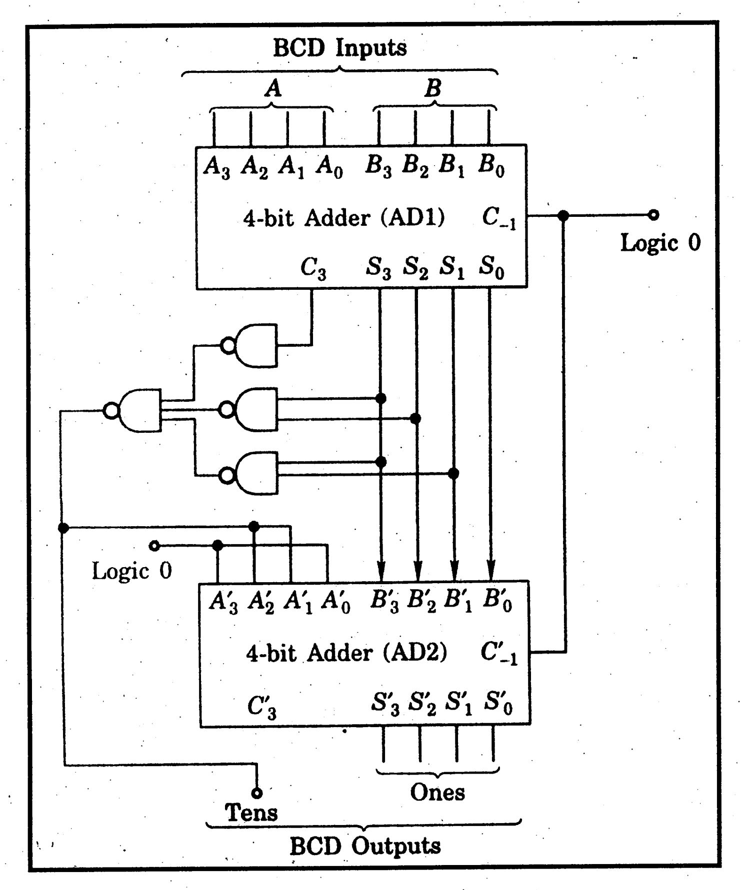
فى الغالب تستخدم الشفرة BCD فى تمثيل الأعداد العشرية كما هو الحال فى حاسب الجيب ، ومن هنا يلزم تنفيذ إجراء عمليتى الجمع والطرح بشفرة BCD .

5-11-1 جامع BCD :

يمكن إستخدام الدائرة التكاملية 7483 لتنفيذ جمع الأعداد بنظام BCD، وفيها إذا كان المجموع أو الخرج غير محقق بنظام BCD أو إذا تولد محمول C_3 ، ففى هذه

الحالة يضاف العدد العشرى 6 (أو الثنائى 0110) للمجموع وذلك للحصول على النتيجة الصحيحة.

ويبين شكل (5-51) جامع BCD برقم واحد.



شكل (5-51) جامع BCD برقم واحد

كما يمكن عمل تتالى لهذه الجوامع لإضافة أعداد اطول وذلك بتوصيل المحمول الخارج من مرحلة ما إلى الداخل للمرحلة التالية.

5-11-2 طارح BCD:

عند الطرح فى شفرة BCD، يتم تحويل العدد المطروح إلى مكمل التسعة 9'complement ثم إضافته إلى المطروح منه، ويتم الحصول على مكمل التسعة لعدد

بشفرة BCD بطرح هذا العدد من العدد 9، فللحصول على مكمل التسعة للعدد 2 نطرح العدد 2 من العدد 9 فنحصل على العدد 7 أى: $(0111)_{BCD}$ ، ونقول أن:

العدد 0111 هو مكمل التسعة للعدد 0010، ويبين المثال التالى كيفية إجراء عملية الطرح بشفرة BCD باستخدام مكمل التسعة.

مثال (5-24) :

مطلوب القيام بعمليلت الطرح التالية :

أ- طرح 5 من 9.

ب- طرح 1 من 8.

ج- طرح 8 من 4.

الحل :

أ-

9	=	1001	
-5	=	(+) 0100	مكمل التسعة للعدد 5

		1101	غير منطقى
أضف 6		0110	
		----	
		1 0011	
			بإضافة المحمول الدائر الأخير
		1	End Around Carry EAC

		0100	+4

ب-

	1000	=	8
مكمل التسعة للعدد 1	(+) 1000	=	-1

غير منطقى	10000		
	0110		أضف 6
	----		
	1 0110		
بإضافة الناقل الدائر الأخير End Around Carry EAC	1		

+7	0111		

ج-

	0100	4
مكمل التسعة للعدد 8	(+) 0001	-8

	0101	

ويكون مكمل التسعة للعدد 0101 هو 4.

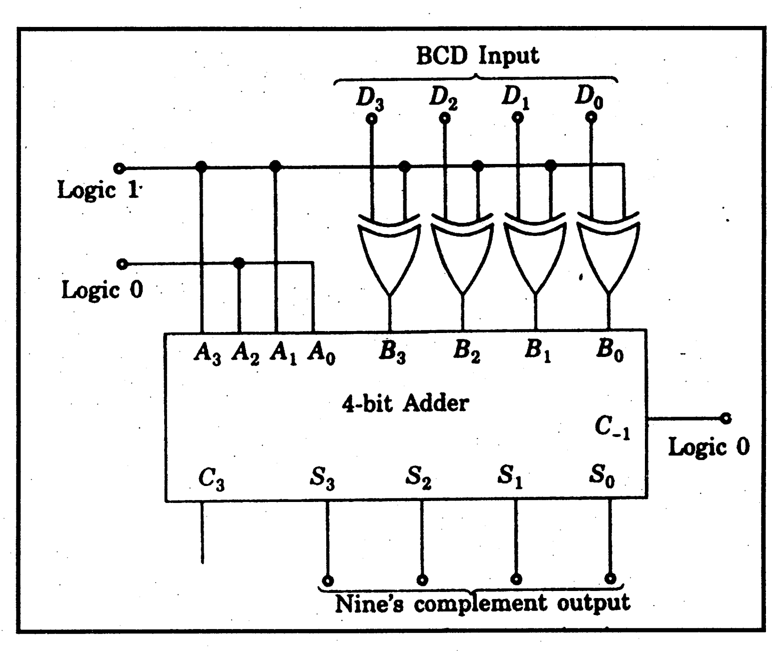
وعلى هذا تكون الإجابة: 4 -

* ومن المثال عالية نستنتج مايلى :

1- إذا كان مجموع كل من المطروح منه والمطروح غير منطقى بشفرة BCD كما فى المثال (6-4-أ)، أو تولد ناقل 1 من بت التأثير الأعلى MSB كما فى المثال (6-4-ب) فيتم إضافة العدد $(6)_{10}$ أو العدد $(0110)_{BCD}$ وأيضا إضافة الناقل الدائر الأخير إلى المجموع.

2- إذا كان مجموع كل من المطروح منه والمطروح منطقى بشفرة BCD، فيكون الناتج سالبا وعلى شكل مكمل التسعة كما فى المثال (6-4-ج) .

* يمكن الحصول على مكمل التسعة لأى عدد بإضافة 1010 إلى مكمل الواحد للعدد، فمثلا مكمل التسعة للعدد 4 هو العدد 5، ويمكن الحصول عليه أيضا أولا بحساب مكمل الواحد للعدد 4 (0100) ويكون: (1011)، وبإضافة (1010) إليه يصبح الناتج: (1 0101)، ويبين شكل (5-52) دائرة مكمل التسعة باستخدام جامع 4 بت وبوابات EX-OR.

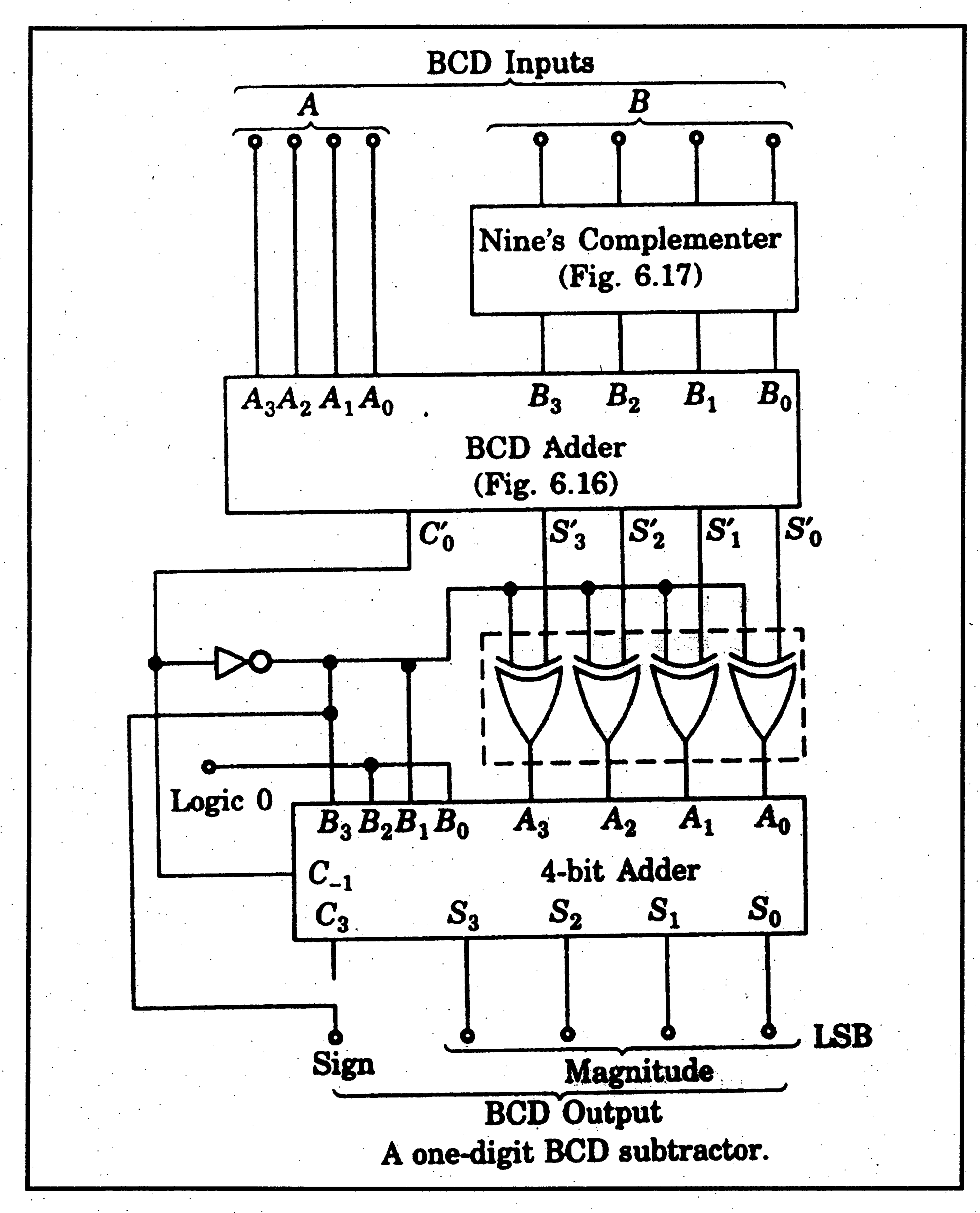


شكل (5-52) دائرة مكمل التسعة باستخدام جامع 4 بت وبوابات EX-OR

كما يبين شكل (5-53) طارح BCD لعدد واحد باستخدام دائرة مكمل التسعة للشكل (5-52).

ونلاحظ أن العمليات الحسابية التى يتم إجراؤها بشفرة BCD تكون أكثر تعقيدا من مثيلتها التى يتم إجراؤها بالشفرة الثنائية المباشرة، ولهذا نجد أنها تحتاج لمكونات مادية أكثر والتى تؤدى إلى تقليل السرعة، كما أن عدد البتات المستخدمة فى هذه الشفرة لتمثيل العدد تكون أكثر، لذا فعادة لا تستخدم هذه الشفرة فى

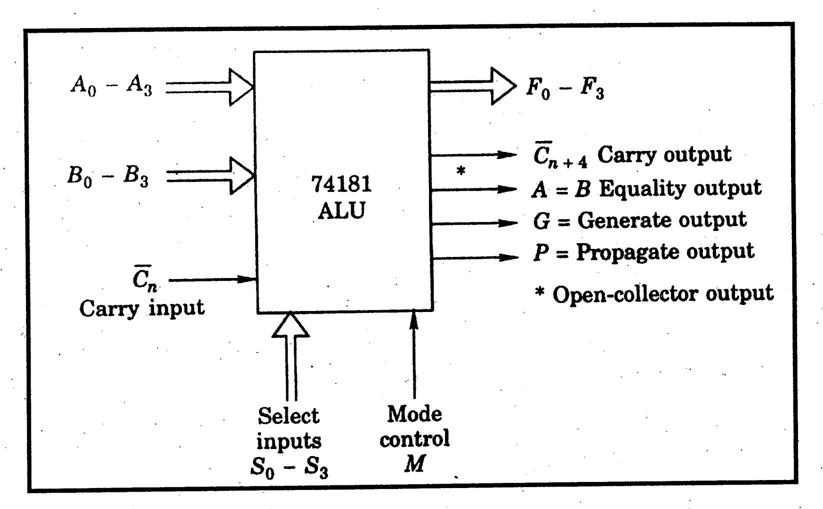
الحاسبات، إلا أن هذه الشفرة تستخدم فى الآلات الحاسبة الرقمية لأن البيانات الداخلة من لوحة المفاتيح، وكذلك الخارجة على شاشة الخرج تكون بيانات عشرية.



شكل (5-53)) طارح BCD لعدد واحد

12-5 وحدة الحساب والمنطق :

وحدة الحساب والمنطق Arithmetic Logic Unit ALU من الدوائر التوافقية المفضلة والواسعة الإستخدام ذات المقدرة على أداء العمليات الحسابية وكذا المنطقية، وتعد هذه الوحدة هى القلب لأى معالج دقيق، ويبين شكل (5-54) المخطط الوظيفى لوحدة 74181 ALU، والتى تحتوى على مايكافئ لعدد 75 بوابة على شريحة سيليكون مفردة، حيث يمكنها أداء عدد مذهل من الوظائف الحسابية والمنطقية .



شكل (5-54) المخطط الوظيفى لوحدة 74181 ALU

حيث :

A ، و B : مداخل بيانات ثنائية بـــ 4-بت .

F : مخرج بيانات ثنائية بـــ 4-بت .

$\overline{C_n}$: دخل محمول (منخفض فعال Active-low).

$\overline{C_{n+4}}$: خرج محمول (منخفض فعال Active-low).

فهو يبين إشارة الخرج فى عمليات الطرح، فالمنطق 0 يبين إجابة موجبة، بينما يبين المنطق 1 إجابة سالبة، ومعبرا عنها على شكل تكامل الإثنين.

A = B : والمنطق 1 على هذا الخط يبين أن: A = B.

G　　: خرج محمول متولد Carry generate output.

P　　: خرج محمول منتشر Carry propagate output.

حيث يستخدم كلا الخرجين G و P عند إستخدام عدد من دوائر 74181 متتالية مع دائرة 74182 (Look-ahead Carry-generator circuit) والتى تجعل العملية الحسابية أسرع.

دخل إختيــــــار S: ويستخدم لإختيار أى العمليات مطلوب أداؤها.

تحكم نوع العمل M: ويكون M = 0 للعمليات الحسابية ، بينما يكون M = 1 للعمليات المنطقية.

وجدول (5-22) التالى، يبين الوظائف المختلفة التى تؤديها وحدة الحساب والمنطق.

جدول (5-22)

Line	Selection	Active high data		
		M = 1	M = 0; Arithmetic operations	
	$S_3S_2S_1S_0$	Logic Functions	$\overline{C}_n = 1$ (no carry)	$\overline{C}_n = 0$ (with carry)
0	0000	$F = \overline{A}$	$F = A$	$F = A$ PLUS 1
1	0001	$F = \overline{A + B}$	$F = A + B$	$F = (A + B)$ PLUS 1
2	0010	$F = \overline{A} \cdot B$	$F = A + B$	$F = (A + \overline{B})$ PLUS 1
3	0011	$F = 0$	$F =$ MINUS 1 (2's COMPL)	$F =$ ZERO
4	0100	$F = \overline{AB}$	$F = A$ PLUS $A\overline{B}$	$F = A$ PLUS $A\overline{B}$ PLUS 1
5	0101	$F = \overline{B}$	$F = (A + B)$ PLUS $A\overline{B}$	$F = (A + B)$ PLUS $A\overline{B}$ PLUS 1
6	0110	$F = A \oplus B$	$F = A$ MINUS B MINUS 1	$F = A$ MINUS B
7	0111	$F = A\overline{B}$	$F = A\overline{B}$ MINUS 1	$F = A\overline{B}$
8	1000	$F = \overline{A} + B$	$F = A$ PLUS AB	$F = A$ PLUS AB PLUS 1
9	1001	$F = \overline{A \oplus B}$	$F = A$ PLUS B	$F = A$ PLUS B PLUS 1
10	1010	$F = B$	$F = (A + \overline{B})$ PLUS AB	$F = (A + \overline{B})$ PLUS AB PLUS 1
11	1011	$F = AB$	$F = AB$ MINUS 1	$F = AB$
12	1100	$F = 1$	$F = A$ PLUS A*	$F = A$ PLUS A PLUS A
13	1101	$F = A + \overline{B}$	$F = (A + B)$ PLUS A	$F = (A + B)$ PLUS A PLUS 1
14	1110	$F = A + B$	$F = (A + \overline{B})$ PLUS A	$F = (A + \overline{B})$ PLUS A PLUS 1
15	1111	$F = A$	$F = A$ MINUS 1	$F = A$

* توضح هذه العلامة أن كل بت يلزم إزاحته للموضع الأعلى.

ويتم توصيل الدائرة بالتتالى بتوصيل خرج المحمول Carry-out من مرحلة، إلى دخل المحمول Carry-in للمرحلة التالية.

مثال (5-25) :

باستخدام دوائر 74181 مطلوب تصميم جامع/طارح بـــ 8-بت، وبين كيفية عمله عند:

أ- A = 97 و B = 29.

ب- A = 24 و B = 58.

الحل :

لتصميم جامع/طارح بـــ 8-بت تستخدم دائرتى 74181 بالتتالى، وفيها يتم تطبيق بتات التأثير الأدنى لكل من A، و B على المدخلين A، وB لدائرة التأثير الأقل، بينما يتم تطبيق بتات التأثير الأعلى من A، وB على المدخلين A، وB لدائرة التأثير الأعلى، كما يتم توصيل خرج المحمول Carry-out من دائرة التأثير الأقل، إلى دخل المحمول Carry-in لدائرة التأثير الأعلى، وفى النهاية نحصل على خرج بـــ 8-بت متاح على المخارج F، أما دخلى الإختيار لكلتا الدائرتين فيتم توصيلها ببعضها.

ومن الجدول (5-22) تتم عملية الجمع عند: M = 0، و S = 1001، بينما تتم عملية الطرح عند: M = 0، وS = 0110، ولا ننسى توصيل محمول الدخل C_n لدائرة التأثير الأدنى بالمنطق 1 لعمليات الجمع، وتوصيله بالمنطق 0 لعمليات الطرح.

أ-

A = 97 = 01100001

B = 29 = 00011101

ب-

A = 24 = 00011000

B = 58 = 00111010

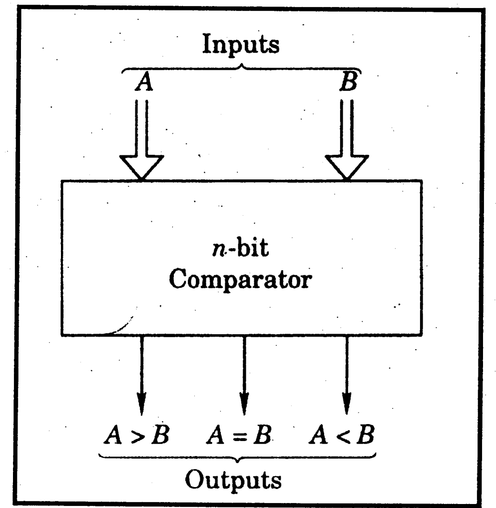
ويبين جدول (5-23) الدخول والخروج المختلفة.

جدول (5-23)

الجزء	حالة التحكم	الدخول المختار	دائرة التأثير الأدنى ALU					دائرة التأثير الأعلى ALU					الخرج	ملاحظات
			الدخول			الخروج		الدخول			الخروج			
	M	$S_3S_2S_1S_0$	A_L	B_L	$\bar{C}n$	S_L	$\bar{C}_{n+4}$	A_H	B_H	$\bar{C}n$	S_H	$\bar{C}_{n+4}$		
أ	0	1001	0001	1101	1	1110	1	0110	0001	1	0111	1	01111110	$(126)_{10}$
	0	0110	0001	1101	0	0100	1	0110	0001	1	0100	0	01000100	$(68)_{10}$
ب	0	1001	0101	1010	1	0010	0	0001	0011	0	0101	1	01010010	$(82)_{10}$
	0	0110	0101	1010	0	1110	1	0001	0011	1	1101	1	1101110	$-(34)_{10}$

5-13 المقارنات الرقمية:

فى القسم (5-1) تم التطرق إلى أسس مقارنة الإشارات الرقمية، ويمكن تصميم المقارنات Comparators لمقارنة أعداد ذات بتات عديدة ، ويبين شكل (5-55) المخطط الوظيفى العام لمقارن n بت، فهو يستقبل دخول لعددين A وB كل منهما مكون من n بت، ويعطى الخروج: A > B، و A = B، و A < B، وإعتماداً على قيمتى العددين النسبية، نحصل على أحد هذه الخروج عاليا HIGH.



شكل (5-55) المخطط الوظيفى العام لمقارن n بت

ويبين جدول (5-24) جدول الحقيقة لمقارن لعددين يتكون كل منهما من 2 بت.

جدول (5-24)

الدخول				الخروج		
A_1	A_0	B_1	B_0	A > B	A = B	A < B
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

5-14 مولدات التطابق :

غالبا يكون من الضرورى نقل شريط من المعلومات على شكل بتات من حاسب لآخر، أومن جهاز حاسب إلى بنك معلومات- خاجى، مما قد يؤدى إلى فقدان بعض من البتات، وبما يسبب من مشاكل ربما تكون مفجعة كما يحدث عند التعاملات المالية بالفيزا كارت مثلا، وهنا تكون بيتة التطابق Parity bit طريق هام لإكتشاف معظم الأخطاء عند نقل بيانات الحاسب من نقطة لأخرى، وواحد من أنظمة التطابق البسيطة تعمل كالتالى:

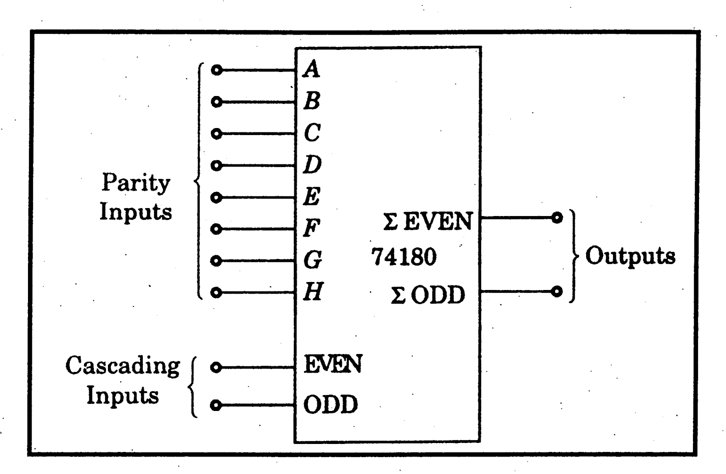
4-بت بـــ "النيبل" Nibble، وتقوم دائرة مولد التطابق Parity generator circuit بمراقبة كل كلمة وإضافة بت 0 إذا كان عدد الآحاد 1,s زوجى، وإضافة بت 1 إذا كان عدد الآحاد 1,s فردى، وينتج من ذلك كلمات مكونة من عدد زوجى من الآحاد 1,s ولهذا يسمى النظام التطابق الزوجى Even parity، فإذا كانت النيبل 1001 فيكون بت التطابق المضاف هو 0، ويصبح النيبل مضافا إليه بت التطابق 10010، بينما إذا كانت النيبل 0001 فيكون بت التطابق المضاف هو 1، ويصبح النيبل مضافا إليه بت التطابق 00011. كما يوجد أيضا التطابق الفردى Odd parity وهى إضافة بت 1 إذا كان عدد الآحاد 1,s زوجى، وإضافة 0 إذا كان عدد الآحاد 1,s فردى وينتج من ذلك كلمات مكونة من عدد فردى من الآحاد 1,s، فإذا كانت النيبل 1010 فيكون بت التطابق المضاف هو 1، ويصبح النيبل بعد إضافة بت التطابق إليه: 10101، بينما إذا كانت النيبل 1101 فيكون بت التطابق المضاف هو 0، ويصبح النيبل مضافا إليه بت التطابق 11010.

ونظرا لأستخداماتها الواسعة، فقد صممت دائرة مولد التطابق Parity generator /checkers بـــ 8-بت ومتاحة على شريحة من نوع نطاق متوسط MSI وتأخذ الرقم 74180.

ويبين شكل (5-56) المخطط الوظيفى للدائرة التكاملية لمولد التطابق 74180 وفيه يوجد 8 مداخل تطابق Parity inputs تأخذ الحروف من A إلى H، بالإضافة إلى مدخلين تتاليين Cascading inputs، أما المخارج فهما 2: Σ EVEN ، و ΣODD، ويبين جدول (5-25) الجدول الوظيفى للدائرة.

جدول (5-25)

دخول المساوية من A إلى H	تتالى الدخول EVEN	ODD	الخروج Σ EVEN	ΣODD
EVEN	1	0	1	0
ODD	1	0	0	1
EVEN	0	1	0	1
ODD	0	1	1	0
X	1	1	0	0
X	0	0	1	1



شكل (5-56) المخطط الوظيفى لمولد التطابق/الفاحص 74180

15-5 محولات الشفرة :

علمنا مما سبق أن هناك الكثير من الشفرات الثنائية Binary codes المستخدمة فى الأنظمة الرقمية، فمنها الشفرة الثنائية المباشرة Straight Binary Code، الشفرة BCD الطبيعية، شفرة Excess-3، شفرة Gray، الشفرة الثمانية، الشفرة السداسية عشرة..إلخ.

وغالبا مايكون هناك إحتياج لتحويل أحدى هذه الشفرات إلى أخرى، فمثلا يمكن أن يكون الدخل لنظام رقمى ما بشفرة BCD، كما يمكن أن يكون الخرج بنظام إضاءات القطع السبعة 7-segment LEDs، ويكون للنظام الرقمى المقدرة على معالجة البيانات بالتشكيل الثنائى المباشر Straight binary format، فلهذا يلزم تحويل البيانات الداخلة إليه من شفرة BCD إلى الشفرة الثنائية المباشرة Straight Binary Code.

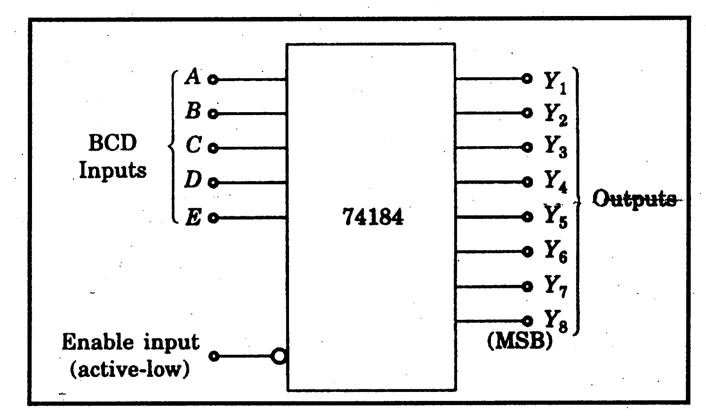
كما أن الخرج بشفرة BCD لابد أن يتحول إلى إلى شفرة القطع السبعة قبل إظهار بيانات الخرج.

كما أن الشفرات الثمانية والسداسية عشرة تستخدم بتوسع فى المعالجات الدقيقة والحاسبات الرقمية فى مداخلها ومخارجها، ولهذا نشأ مايعُرف بمحولات الشفرة Code converters والتى صممت باستخدام البوابات ، والمجمعات/الكواشف، إلا أنه

أصبح من المتاح حاليا بعض الدوائر المتكاملة من ذات النطاق المتوسط MSI والتى يمكنها أداء عمل هذه المحولات وهى ذات فائدة كبيرة جدا عند تصميم الأنظمة الرقمية، كما سيتم تناوله الآن.

5-15-1 التحويل من BCD إلى ثنائى :

يبين شكل (5-57) المخطط الوظيفى للدائرة التكاملية 74184 للتحول من BCD إلى ثنائى.



شكل (5-57) المخطط الوظيفى للدائرة التكاملية 74184

كما يبين جدول (5-26) جدول الحقيقة.

جدول (5-26)

كلمات	الدخول						الخروج				
BCD	E	D	C	B	A	G	Y_5	Y_4	Y_3	Y_2	Y_1
0-1	0	0	0	0	0	0	0	0	0	0	0
2-3	0	0	0	0	1	0	0	0	0	0	1
4-5	0	0	0	1	0	0	0	0	0	1	0
6-7	0	0	0	1	1	0	0	0	0	1	1
8-9	0	0	1	0	0	0	0	0	1	0	0
10-11	0	1	0	0	1	0	0	0	1	0	1
12-13	0	1	0	0	0	0	0	0	1	1	0
14-15	0	1	0	1	1	0	0	0	1	1	1
16-17	0	1	0	1	0	0	0	1	0	0	0
18-19	0	1	1	0	1	0	0	1	0	0	1
20-21	1	0	0	0	0	0	0	1	0	1	0
22-23	1	0	0	0	1	0	0	1	0	1	1
24-25	1	0	0	1	0	0	0	1	1	0	0
26-27	1	0	0	1	1	0	0	1	1	0	1
28-29	1	0	1	0	0	0	0	1	1	1	0
30-31	1	1	0	0	1	0	0	1	1	1	1
32-33	1	1	0	0	0	0	1	0	0	0	0
34-35	1	1	0	1	1	0	1	0	0	0	1
36-37	1	1	0	1	0	0	1	0	0	1	0
38-39	1	1	1	0	1	0	1	0	0	1	1
Any	X	X	X	X	X	1	1	1	1	1	1

5-16 كواشف أجهزة العرض :

5-16-1 كاشف التحويل من BCD إلى العشرى :

فى كثير من الأنظمة الرقمية، يفضل رؤية الخرج على التشكيل العشرى بما يمكن عرضها على مبينات ضوئية LEDs أو إستخدامها لتشغيل بعض اللواقط.

ومن الدوائر التكاملية المتاحة والمستخدمة ككواشف تحويل من BCD إلى العشرى:

7441، و 7442، و7445، و74141، و74145، و74445.

5-16-2 كاشف التحويل من BCD إلى القطع السبعة :

ويعتبر مبين القطع السبعة من أفضل أجهزة العرض المستخدمة فى الأنظمة الرقمية ولعرض البيانات باستخدام هذا المبين، فلابد أن تتحول هذه البيانات من نظام شفرة BCD إلى نظام شفرة القطع السبعة، وتتكون دائرة الكاشف من 4 خطوط دخل للبيانات على الشكل BCD، و7 خطوط خرج من a إلى g موصلة مباشرة لقطع الشاشة السبعة من a إلى g على الترتيب .

*** وفى نهاية الفصل يمكننا القول :**

بأنه تمت مناقشة الطرق التقليدية للتصميم المنطقى مثل تقنيات جبر بوول، وخرائط K-maps، حيث يمكن التعبير عن التعبيرات المنطقية بالشكلين SOP أو POS القياسيين، ثم تبسيط التعبير باستخدام خرائط K-maps، وهذا يؤدى عند تصميم النظام الرقمى إلى توفير الكثير من المكونات المادية من حيث عدد البوابات المطلوبة وكذلك عدد نهايات الدخول.

وتستخدم خرائط K-maps بسهولة حتى 4 متغيرات، وفى حقيقة الأمر فإن كثيراً من الدوال الرقمية المعقدة متاحة مباشرة على شكل دوائر تكاملية قائمة بذاتها، ومما يقلل من إعتمادنا على عمليات التبسيط، كما توجد بوابات Gates محددة تستخدم لمواءمة أجهزة MSI، وأجهزة LSI .

وبالإضافة إلى إختصار الدوال المنطقية بغرض تنفيذها باستخدام بوابات NAND أو NOR، فإنه تم مناقشة تقنيات تبسيط أخرى تمكن من تصميم الدوائر باستخدام بوابات EX-OR ، أو EX-NOR، وحيث تكون بوابات EX-OR بوابات شائعة الاستخدام، كما تم توضيح عدد كبير من الأمثلة التى تخص التصميم لتوضيح خطوات التصميم التى تمت دراستها.

كما تمت مناقشة بعض من الدوائر التكاملية الشائعة للمنطق التوافقى.

تدريبات

تدريب (5-1) :

يتم التحكم فى إضاءة سلم أحد العمارات من خلال مفتاحين، أحدهما أعلى العمارة والآخر أسفلها، ومطلوب:

أ- إنشاء جدول الحقيقة لهذا النظام .

ب- كتابة المعادلات المنطقية على الشكل SOP.

ج- تحقيق الدائرة باستخدام بوابات AND-OR.

د- تحقيق الدائرة باستخدام بوابات NAND فقط.

تدريب (5-2) :

للمعادلة المنطقية الأتية:

$$f = ABC + B\bar{C}D + \bar{A}BC$$

مطلوب :

أ- إنشاء جدول الحقيقة.

ب- تبسيط المعادلة باستخدام K-map.

ج- تحقيق الدائرة باستخدام بوابات NAND فقط.

تدريب (5-3) :

من جدول الحقيقة المعطى فى جدول (5-27) مطلوب:

كتابة المعادلات المنطقية لكل من الخرجين f_1 و f_2 على الشكل POS.

ب- استخدام K-map للإختصار وللحصول على التعبيرات المختصرة.

ج- تحقيق المعادلات باستخدام بوابات OR-AND.

د- تحقيق المعادلات باستخدام بوابات NOR فقط.

هـ- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين.

جدول (5-27)

الدخول				الخروج	
A	B	C	D	f_1	f_2
0	0	0	0	1	0
0	0	0	1	0	0
1	0	0	0	0	1
1	1	0	0	0	1
1	1	1	0	1	1
1	1	1	1	1	1
0	1	1	1	0	0
0	0	1	1	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	1	0	0

تدريب (5-4) :

أ- مطلوب تحقيق المعادلة (5-24) باستخدام بوابات NAND فقط.

ب- مطلوب تحقيق المعادلة (5-27) باستخدام بوابات NOR فقط.

ج- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين، يتم الرجوع إلى جدول (1-10).

تدريب (5-5) :

أ- مطلوب تحقيق المعادلة (5-25) باستخدام أقل عدد من حزم الدائرة المتكاملة من البوابات NAND.

ب- مطلوب تحقيق المعادلة (5-28) باستخدام أقل عدد من حزم الدائرة المتكاملة من البوابات NOR.

ج- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين.

تدريب (5-6) :

حقق المعادلة (5-31) مستخدما أقل عدد من شرائح بوابات NOR.

تدريب (5-7) :

أ- مطلوب إنشاء K-map للدالة التالية:

$$F = AB + A\overline{C} + C + AD + A\overline{B}C + ABC$$

ب- عبر عن الدالة بالشكل SOP القياسى.

ج- إختصر الدالة الحاصل عليها من الجزء السابق، وحقق التعبير المختصر باستخدام بوابات NAND فقط.

تدريب (5-8) :

إختصر الدوال التالية، ثم حققها باستخدام أقل عدد من البوابات:

أ-

$$f_1 = \Sigma m(0, 3, 5, 6, 9, 10, 12, 15)$$

ب-

$$f_2 = \Sigma m(0, 1, 2, 3, 11, 12, 14, 15)$$

تدريب (5-9) :

مطلوب تصميم محول من شفرة BCD إلى شفرة Excess-3 باستخدام أقل عدد من بوابات NAND.

تدريب (5-10) :

مطلوب تصميم محول من شفرة Excess-3 إلى شفرة BCD باستخدام أقل عدد من بوابات NAND .

تدريب (5-11) :

مطلوب إختصار التعبيرات التالية باستخدام K-maps والتنفيذ باستخدام بوابات NOR فقط .

أ-

$f_1 (A, B, C, D) = \prod M (1 , 2 , 3 , 5 , 6 , 7 , 9 , 10 , 11 , 13 , 14 , 15)$

ب-

$f_2 (A, B, C, D) = \prod M (1 , 4 , 6 , 9 , 10 , 11 , 14 , 15)$

ج-

$f_3 (A, B, C, D) = \prod M (2 , 7 , 8 , 9 , 10 , 12)$

تدريب (5-12) :

مطلوب إختصار التعبيرات التالية باستخدام K-maps والتنفيذ باستخدام بوابات NOR فقط.

أ-

$f_1(A,B,C,D,E) = \sum m (8 , 9 , 10 , 11 , 13 , 15 , 16 , 18 , 21$
$24 , 25 , 26 , 27 , 30 , 31)$

ب-

$f_2(A,B,C,D,E)= \prod M (6 , 9 , 11 , 13 , 14 , 17 , 20 , 25 , 28 , 29 , 30)$

تدريب (5-13) :

مطلوب تنفيذ الدالة المنطقية لجدول الحقيقة (5-10) مستخدما أقل عدد من بوابات NAND.

أ- مفترضا 0,s فى كل أماكن غير المؤثرة Don't-care.

ب- مفترضا 0، أو 1 فى مكان غير المؤثر Don't-care، والذى يؤدى فى النهاية للحصول على أبسط تعبير.

تدريب (5-14) :

مطلوب إختصار الدوال المنطقية التالية، والتنفيذ باستخدام بوابات NOR أو NAND.

أ-

$f_1(A,B,C,D) = \sum m (1 , 3 , 5 , 8 , 9 , 11 , 15) + d (2 , 13)$

ب-

$f_2(A,B,C,D)= \prod M (1 , 2 , 3 , 8 , 9 , 10 , 11 , 14) . d (7 , 15)$

تدريب (5-15) :

مطلوب تنفيذ التعبيرات التالية باستخدام بوابات EX-OR و EX-NOR :

أ-

$F_1 = \overline{A}B\overline{C}\overline{D} + A\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + AB\overline{C}D$

ب-

$F_2 = \overline{A}B\overline{C} + \overline{A}\overline{B}C + A\overline{C}D + A\overline{C}D + AC\overline{D}$

ج-

$F_3 = AB\overline{C}\overline{D} + A\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}BC\overline{D}$

تدريب (5-16) :

مطلوب تبسيط الدوال المنطقية التالية، والتنفيذ باستخدام بوابات NOR، أو NAND

أ-

$f_1(A,B,C,D,E,F) = \sum m (6 , 9 , 13 , 18 , 19 , 25 , 27 , 29 , 41 , 45 , 57 , 61)$

ب-

$f_2(A,B,C,D,E,F) = \prod M (4 , 5 , 6 , 7 , 8 , 12 , 13\ 16 , 17 , 18 , 19 ,21 , 22 , 25 , 28 , 32 , 35 , 37 , 38 , 39 , 40)$

تدريب (5-17) :

مطلوب تحقيق دالة المنطق الخاصة بجدول (5-18) باستخدام:

أ- الدائرة التكاملية 74150 .

ب- الدائرة التكاملية 74152 .

تدريب (5-18) :

مطلوب تصميم موزع 32:1 باستخدام دائرتين تكامليتين لموزع 16:1.

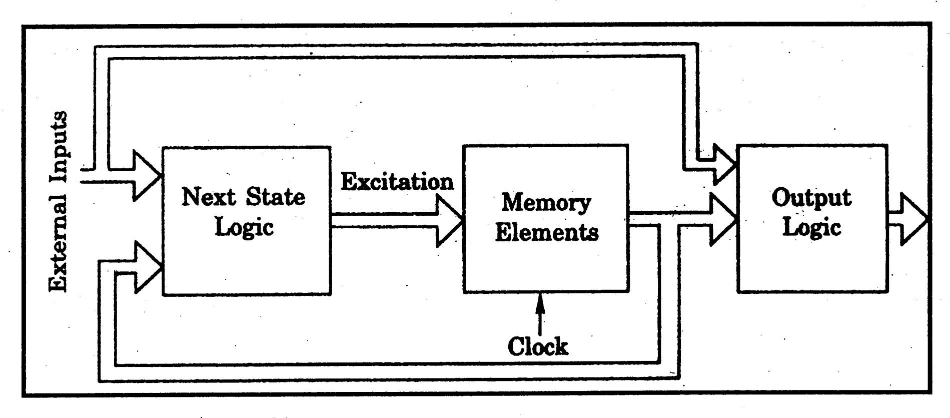


6-1 مقدمة :

ناقشنا فى الفصل السابق تحليل وتصميم بعض الدوائر الرقمية التوافقية والتى تمثل جزءاً من الأنظمة الرقمية، إلا أن هناك شكلاً آخراً من الدوائر الرقمية وهى الدوائر التتابعية Sequential circuits، وعلى الرغم من إسمها إلا أنها تعتمد إلى حد بعيد فى تصميمها على الدوائر التوافقية والتى تمت مناقشتها مسبقا.

وتوجد الكثير من التطبيقات والتى يتطلب فيها أن تتولد الخروج الرقمية بحسب التتابع الذى تصل فيه إشارات الدخل، وهذه المتطلبات لايمكن تحقيقها باستخدام دوائر المنطق التوافقية، فهذه التطبيقات تحتاج لخروج متولدة لاتعتمد فقط على ظروف الدخول الحالية بل تعتمد ايضا على تاريخ الدخول الماضية، ويتم ببساطة التزود بظروف الدخول الماضية بعمل تغذية عكسية من خرج الدائرة إلى دخلها.

ويبين شكل (6-1) مخطط وظيفى لدائرة تتابعية، وهى تتكون من دوائر توافقية والتى تستقبل إشارات رقمية من مداخل خارجية External inputs وأيضاً من مخارج عناصر ذاكرة Memory elements، وتقوم بتوليد إشارات إلى مخارج خارجية تعرف بالمؤثرات Exitation إلى مداخل عناصر ذاكرة.



شكل (6-1) مخطط وظيفى لدائرة تتابعية

ويعد عنصر الذاكرة كعنصر وسيط يمكنه تخزين أو حجز معلومة ثنائية مكونة من بت واحد (1 أو 0) لحين الضرورة، وبعد ذلك يمكن أن تتبدل هذه المعلومة

المُخزنة بمعلومة جديدة، ويتم تغيير محتويات عنصر الذاكرة بواسطة خروج الدائرة التوافقية المتصلة بدخل هذا العنصر.

وتقوم الدائرة التوافقية بأداء عمليات محددة، منها تحديد أى من الإشارات الرقمية التى يتم تخزينها فى عناصر ذاكرة، أما العمليات الأخرى فيتم تأديتها فى المداخل الخارجية ومخارج الذاكرة لتوليد المخارج الخارجية External outputs.

والعملية السابقة توضح إعتماد المخارج الخارجية للدائرة التتابعية على كل من المداخل الخارجية وكذا المحتويات الحالية لعناصر الذاكرة (والتى تعزى إلى الحالة الحالية Present state لعناصر الذاكرة)، كما تعتمد المحتويات الجديدة لعناصر الذاكرة (والتى تعزى إلى الحالة المستقبلية Next state) على المداخل الخارجية وعلى الحالة الحالية ، ومن هنا نجد أن خرج الدائرة التتابعية دالة فى كل من التتابع الزمنى للدخول والحالات الداخلية.

وتنقسم الدوائر التتابعية إلى فئتين رئيسيتين ومعتمدة على توقيت الإشارات:

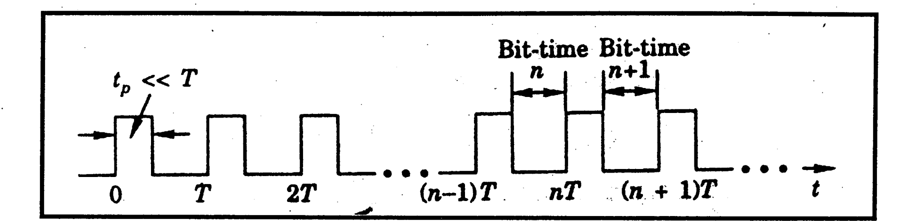
1- الدوائر التتابعية الغير متزامنة Asynchronous :

وفيها يعتمد مسلكها على التتابع الذى تتغير فيه إشارات الدخل، فتتأثر الخروج متى تغيرت الدخول، وتعتبر أجهزة تأخير الوقت Time delay devices من أكثر عناصر الذاكرة الشائعة الإستخدام والتى تندرج تحت هذا النوع من الدوائر، والتى تعتبر كدوائر توافقية بتغذية عكسية.

2- الدوائر التتابعية المتزامنة Synchronous :

وفيها يتم تعريف مسلكها من التعرف على إشارتها عند أزمنة لحظية محددة، وهنا تتأثر عناصر الذاكرة فقط عند أزمنة لحظية محددة.

ويتحقق التزامن بجهاز مؤقت Timing device يعرف بـ"نظام الساعة System clock" والذى يقوم بتوليد قطار دورى من نبضات ساعة Clock pulses، كما هو مبين فى شكل (6-2) ، فتتأثر الخروج فقط بتطبيق نبضة ساعة.



شكل (6-2) قطار نبضات

وحيث أن تصميم الدوائر الغير متزامنة صعب، فإن إستخداماتها محددة نوعا ما، فى حين إكتسبت الدوائر المتزامنة الهيمنة والأفضلية، والتى تسمى أيضا بـــ "الدوائر الموقته التتابعية" Clocked-sequential circuits.

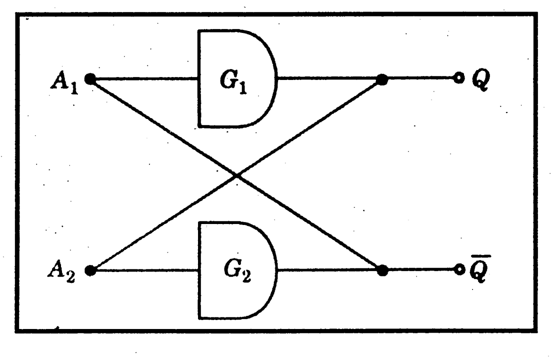
6-2 القلابات FLIP-FLOPs :

تعتبر القلابات FLIP-FLOPs هى أكثر عناصر الذاكرة إستخداماً، ولديها القدرة على تخزين معلومات ثنائية Binary information .

6-2-1 خلية التخزين ذات البت الواحد 1-bit memory cell :

فكما ذكرنا أن القلاب Flip-flop هو الدائرة الأساسية لدوائر الذاكرة الرقمية، وله حالتان متزنتان هما: الحالة 1 والحالة 0، ويمكن الحصول عليه باستخدام بوابات NAND ، أو NOR.

ولعمل دائرة F.F ، نبدأ من الدائرة الأساسية المبينة فى شكل (6-3).



شكل (6-3) عاكسين متقابلين يمثلان عنصر ذاكرة

وتتكون هذه الدائرة من عاكسين G_1 و G_2 (وكلاهما بوابة NAND تعمل كعاكس Inverter) ، ويتم توصيل خرج العاكس G_1 بدخل العاكس G_2 (A_2)، كما يتم توصيل خرج العاكس G_2 بدخل العاكس G_1 (A_1).

ودعنا نفترض أن خرج G_1 هو: $Q = 1$، وهو يمثل فى الوقت نفسه الدخل G_2

($A2 = 1$)، فعلى ذلك يصبح الخرج G2: $\bar{Q} = 0$ وهو يمثل فى الوقت نفسه الدخل G_1 ($A_1 = 0$)، ومنه يصبح الخرج G_1 هو: 1، وهذا ما يؤكد فرضنا، أى أنه عندما يكون: $Q = 1$، فإن: $\bar{Q} = 0$

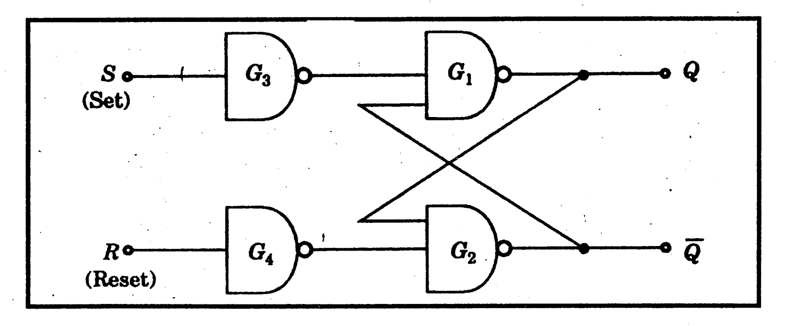
وبنفس الطريقة يمكن التوصل إلى انه إذا كان: $Q = 0$، فإن: $\bar{Q} = 1$.

ومن المناقشة السابقة نلاحظ مايلى:

1- كلا الخرجان Q، و $\bar{Q}$ متكاملان.

2- للدائرة حالتى إتزان، حيث تعرف أولاهما والتى فيها: $Q = 1$ بـــ "حالة 1 State 1 (أو الحالة إمساك Set state)، بينما تعرف الثانية والتى فيها: $Q = 0$ بـــ "حالة 0 state 0" (أو الحالة تحرير Reset state).

3- إذا استمرت الدائرة التى فى الحالة 1 محتفظة بهذه الحالة، أو إذا إستمرت محتفظة بالحالة 0 ، فتعزى هذه الخاصية للدائرة بـــ "الذاكرة" Memory، أى أن الدائرة لديها المقدرة على الإحتفاظ بمعلومة ثنائية عبارة عن 1 بت.



شكل (6-4) خلية ذاكرة مزودة بإمكانية إدخال بيانات

* هنا نجد أن هذه المعلومة فى هذه الدائرة ممسوكة ولهذا تعرف هذه الدائرة بدائرة "الإمساك" Latch.

* وفى الحقيقة لايوجد أى طريق لإدخال المعلومات الرقمية المطلوب تخزينها فى هذه الدائرة، كما أنه عند قفل الدائرة لايمكن التنبؤ بما سيكون عليه الخرج Q، أهو: 1، أم: 0.

* وإذا إستبدلنا العاكسين G_1 و G_2 ببوابتى NAND كل منهما بدخلين، فيمكن إستخدام الطرف الآخر لكل بوابة لإدخال المعلومات الرقمية المطلوبة، ويبين شكل (6-4) الدائرة المعدلة التى تحقق ذلك، مع العلم بأنه قد تمت إضافة البوابتين G_3 و G_4 لأسباب ستتضح من المناقشة التالية.

أولا : عند : $R = S = 0$:

ستصبح الدائرة مثل دائرة الشكل (6-3) .

ثانيا : عند : $S = 1$ ، و $R = 0$:

سيصبح الخرج: $G_3 = 0$، والخرج: $G_4 = 1$ (وهنا نجد أن أحد دخول البوابة G_1 مساويا: 0، فمن المؤكد أن خرجها سيكون مساويا: 1)، وهو فى الوقت نفسه تغذية عكسية للبوابة G_2، فبالتالى سيكون دخلاً البوابة G_2 مساويان:1، وبذلك يكون خرجه: 0، ومن هنا نجد أن عند هذا الفرض يصبح Q مساويا: 1 كما يكون $\bar{Q}$مساويا: 0.

ثالثا : عند : $S = 0$ ، و $R = 1$:

بالمثل وكما فى المناقشة السابقة، يصبح Q مساويا: 0، كما يكون $\bar{Q}$ مساويا: 1.

* ومما سبق نرى أن الفرض الأول ($S = 1$ ، و $R = 0$) والذى يجعل $Q = 1$، يعزى إلى حالة الإمساك Set state، بينما الفرض الثانى ($S = 0$، و $R = 1$) والذى يجعل $Q = 0$، يعزى إلى حالة التحرير Reset state أو مايسمى بـــ "الحالة النقية" Clear state، وهذا الذى يعطينا معانى إدخال البت فى الممسكة.

والآن نرى ماذا يحدث عندما تتغير حالة الدخل من الحالة ($S = 1$، و $R = 0$) إلى الحالة ($S = R = 0$)، أو من الحالة ($S = 0$ ، و $R = 1$) إلى الحالة ($S = R = 0$)، فهنا سيظل الخرج ثابتاً غير متغير، وهذا يبين الفرق الأساسى بين دائرة توافقية، ودائرة تتابعية على الرغم من أن الدائرة التتابعية تتكون من دوائر توافقية.

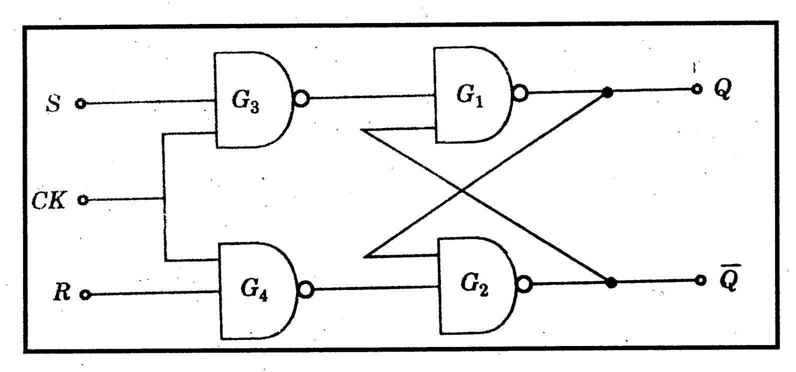
ويتم تصميم طرفى الدخل بحيث تصبح الدائرة فى حالة إمساك Set عند الشـــرط: $S = 1$، بينما تصبح الدائرة فى حالة تحرير Reset عند الشرط: $R = 1$.

رابعا : عند : $R = S = 1$:

يحاول كلا الخرجين Q و $\bar{Q}$ الوصول إلى الحالة 1 وهذا غير مسموح، ولهذا نرى أن هذا الفرض غير مسموح.

6-2-2 القلاب S-R المتزامن Clocked S-R F.F. :

يراد أحيانا إمساك أو تحرير خلية الذاكرة فى الشكل (6-4) فى تزامن مع قطار النبضات فى شكل (6-2) والذى يعرف بـــ "الساعة" Clock وتختصر إلى CK، ونصل إلى تصميم الدائرة المبينة فى شكل (6-5)، والتى تعزى إلى دائرة القلاب S-R المتزامن Clocked S-R F.F.



شكل (6-5) القلاب S-R الموقِت Clocked S-R F.F.

ففى هذه الدائرة وعند وصول نبضة ساعة: $CK = 1$، فسيؤول عمل الدائرة مثل عمل دائرة الشكل (6-4)، ومن ناحية أخرى عند إنقطاع هذه النبضة: $CK = 0$، فإن

البوابتين G_3 و G_4 تصبحان غير ذى فائدة حيث أن خرجهما يكون 1 مهما كانت حالة الدخول S، و R، فمن هنا نرى أن الدائرة تستجيب فقط عند وجود نبضة الساعة.

وبفرض أن الدخول لاتتغير أثناء وجود نبضة الساعة ($CK = 1$)، فيمكن التعبير عن تشغيل قلاب S-R من خلال جدول الحقيقة فى جدول (6-1)، وفى هذا الجدول يعبر كلا من S_n، وR_n عن الدخول ويعبر Q_n عن الخرج خلال زمن البت n، بينما Q_{n+1} يعبر عن الخرج Q عندما تمر النبضة أو فى نهاية النبضة، أى أن عند زمن بت n+1.

فعند: $S_n = R_n = 0$، وفى وجود نبضة الساعة:

يصبح الخرج فى نهاية نبضة الساعة هو نفسه الخرج قبل نبضة الساعة، أى أن: $Q_{n+1} = Q_n$ ، وهذا موضح فى الصف الأول من جدول الحقيقة.

وعند: $S_n = 1$، و $R_n = 0$ ، يصبح الخرج فى نهاية نبضة الساعة: 1.

جدول (6-1)

الدخول		الخرج
S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

كما أنه عند : $Sn = 0$ ، و $Rn = 1$ ، يصبح الخرج فى نهاية نبضة الساعة : 0، وهذا موضح فى الصفين الثانى والثالث على الترتيب من جدول الحقيقة .

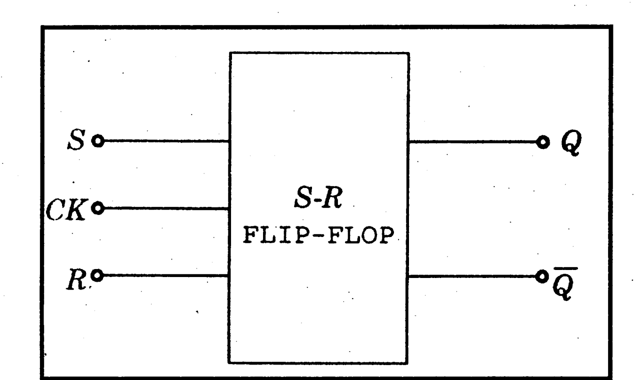
وقد ذكرنا فى دائرة الشكل (6-4) من قبل أن الحالة ($S = R = 1$) هى حالة غير مسموح بها ، والآن لنرى ماذا يكون الحال فى دائرة القلاب S-R المتزامن فى شكل (6-5).

فعند: $S_n = R_n = 1$، وفى وجود نبضة الساعة، يصبح كلا من خرجى البوابتين G_3 و G_4 : 0، ومما يجعل أحد دخلى كلاً من البوابتين G_1 و G_2: 0 ، ومنه نجد أن كلا الخرجين Q و $\bar{Q}$: 1، وهو مايتضارب مع فرضنا بأن يكون الخرجان متكاملين.

والآن وعند إنتهاء النبضة، أى أن: (CK = 0) فسوف يتغير الخرجين G_3 و G_4 من 0 إلى 1، وحسب التأخير فى أزمنة الإنتشار للبوابات فإنه يمكن الوصول إلى حالة الثبات فإما أن يكون الخرج: $Q_{n+1} = 1$، وعنده يكون: $\bar{Q}_{n+1} = 0$، أو يكون الخرج: $Q_{n+1} = 0$، وعنده يكون: $\bar{Q}_{n+1} = 1$، وهذا يعنى أن حالة الدائرة تكون غير مُعرفة أى غامضة أو غير محددة ولهذا فيعبر عن الخرج بعلامة إستفهام وكما هو موضح فى الصف الرابع من جدول الحقيقة.

وعلى هذا لابد أن يمتنع الشرط: $S_n = R_n = 1$، ولايسمح بحدوثه.

ويبين شكل (6-6) الرمز المنطقى للقلاب S-R المتزامن Clocked S-R F.F.:



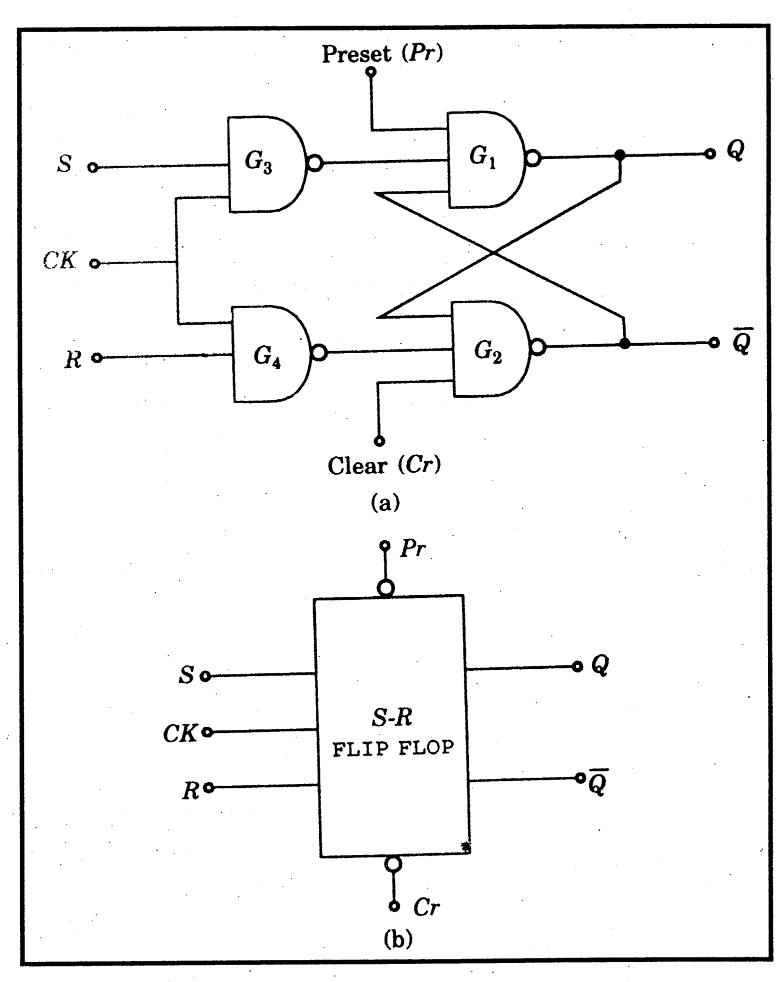
شكل (6-6) الرمز المنطقى للقلاب S-R المتزامن Clocked S-R F.F.

6-2-3 عملية ماقبل الإمساك Preset والتنقية Clear :

عند توصيل القدرة لدائرة القلاب التى فى شكل (6-5) فلا يمكن التأكد من حالة الدائرة، فممكن أن تكون فى حالة الإمساك Set state والذى يجعل Q = 1، أو فى حالة التحرير Reset state والذى يجعل Q = 0، ويفضل فى كثير من التطبيقات

تحديد الحالة الإبتدائية للقلاب إما إمساك أو تحرير، وهذا يتم بإدخال دخول مباشرة أو متزامنة تعزى إلى مايسمى بدخول: "ماقبل الإمساك" Preset، و"التنقية" Clear.

ويتم تطبيق هذه الدخول فى أزمنة مابين نبضات الساعة ولاتكون فى تزامن مع هذه النبضات، ويبين شكل (6-7) القلاب S-R الموقِت وبه ماقبل الإمساك P_r، والتنقية C_r.



شكل (6-7) قلاب S-R بـــ : قبل إمساك وتنقية

a- الدائرة   b- الرمز المنطقى

فعند: $P_r = C_r = 1$ ، فلا يهم، فهنا تعمل الدائرة وتحقق جدول الحقيقة كما فى جدول (6-1).

وعند: $P_r = 0$، و $C_r = 1$، فمن المؤكد أن يصبح الخرج $G_1(Q)$ مساوياً: 1، كما تكون جميع دخول البوابة G_2 مساوية: 1، وبما يجعل الخرج $G_2(Q)$ مساويا: 0، ومن هنا نجد أن: ($P_r = 0$) يهيئ دائرة القلاب للإمساك Set.

بالمثل، وعند: $P_r = 1$، و $C_r = 0$ تتهيأ دائرة القلاب عند التحرير Reset .

أما الشرط: $P_r = C_r = 0$ فيجب ألا يستخدم، حيث أنه يؤدى إلى للحالة الغير مؤكدة.

ويبين شكل (6-7-b) الرمز المنطقى للدائرة، وتعنى الدائرة الصغيرة للدخلين P_r، و C_r أنهما اشارتين فعال-منخفض Active-low أى أن الوظيفة المرجوة سيتم تأديتها عندما تكون الإشارات المطبقة على P_r و C_r منخفضة LOW.

ويبين جدول (6-2) ملخص لعمل هذه الدائرة.

جدول (6-2)

العملية المنفذة	الخرج Q	الدخول P_r	C_r	CK
قلاب عادى	Q_{n+1} كما فى جدول(6-1)	1	1	1
تنقية Clear	0	1	0	0
ماقبل إمساك Preset	1	0	1	0

6-2-4 القلاب J-K:

فى القلاب S-R يمكن إلغاء الحالة التى يكون عندها: $S_n = R_n = 1$ (والتى تمثل الصف الرابع من جدول الحقيقة) بتحويل القلاب إلى مايعرف بقلاب J-K، ويكون J

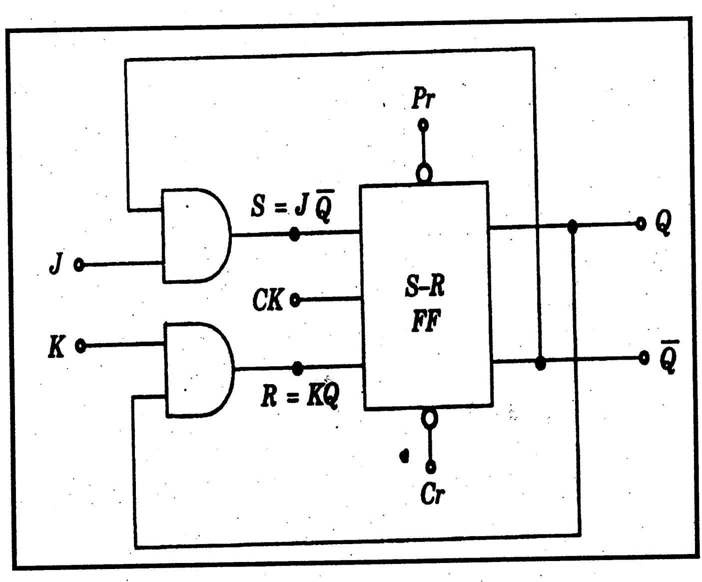
و K هما دخلا القلاب، وفيه يتم إدخال كل من الدخل J مع الخرج $\bar{Q}$، والدخل K مع الخرج Q على بوابتى AND للحصول على كل من الدخلين: S، و R، حيث:

$$S = J \cdot \bar{Q} \quad (6\text{-}1a)$$

$$R = K \cdot Q \quad (6\text{-}1b)$$

فنحصل فى النهاية على مايعرف بالقلاب J-K F.F. والمبين فى شكل (6-8).

كما يوضح جدول (6-3-a) جدول الحقيقة الخاص به، والذى تم إعداده لجميع تكوينات الدخول J، و K الممكنة، ومع كل تكون تم الوضع فى الإعتبار كلتا حالتى الخرج Q_n، و $\bar{Q}_n$.



شكل (6-8) قلاب S-R متحول إلى قلاب J-K

وليس ضروريا استخدام بوابات AND كما فى شكل (6-8)، حيث يمكن تأدية المطلوب بتوصيل طرف دخل إضافى لكل من بوابتى G_3 و G_4 فى شكل (6-7) ، ومنه نصل إلى القلاب J-K F.F. باستخدام بوابات NAND وكما هو موضح فى شكل (6-9).

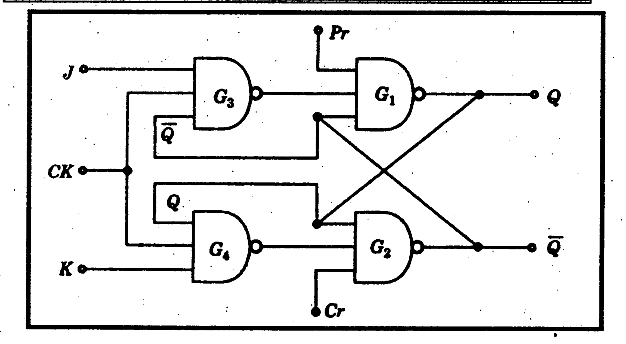
جدول (6-3-a)

بيان الدخول		الخروج		الدخول للقلاب S-R		الخرج	
J_n	K_n	Q_n	$\bar{Q}_n$	S_n	R_n	Q_{n+1}	
0	0	0	1	0	0	0	$=Q_n$
0	0	1	0	0	0	1	
1	0	0	1	1	0	1	$=1$
1	0	1	0	0	0	1	
0	1	0	1	0	0	0	$=0$
0	1	1	0	0	1	0	
1	1	0	1	1	0	1	$=\bar{Q}_n$
1	1	1	0	0	1	0	

ويمكن إختصار الجدول السابق بجدول (6-3-b)

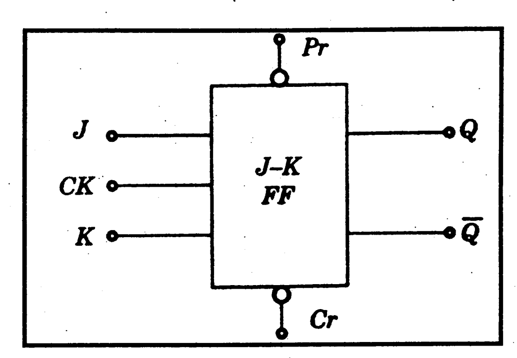
جدول (6-3-b)

الدخول		الخرج
J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\bar{Q}_n$



شكل (6-9) القلاب J-K F.F. باستخدام بوابات NAND

كما يبين شكل (6-10) الرمز المنطقى للقلاب J-K



شكل (6-10) الرمز المنطقى للقلاب **J-K**

6-2-5 حالة التسابق Race-around condition :

مما سبق تم التغلب على الصعوبة التى واجهتنا عندما يكون كلا الدخلان S، و R فى القلاب S-R متساويين: 1 وذلك بتصميم القلاب J-K باستخدام تغذية عكسية للخرج إلى مدخلى البوابتين G_3، و G_4 كما فى شكل (6-9) وحصلنا على جدول الحقيقة (6-3) والذى يفرض أن الدخول لاتتغير أثناء نبضة الساعة (CK = 1) وهذا غير صحيح، وذلك بسبب توصيلات التغذية العكسية.

فعلى سبيل المثال نفرض أن: J = K = 1، و Q = 0 وتم تطبيق النبضة المبينة فى شكل (6-11) عند مدخل الساعة، فبعد فترة زمنية قدرها Δt وهى تساوى زمن تأخير الإنتشار خلال بوابتين NAND موصلتين على التوازى، فسيتغير الخرج إلى: Q = 1 (بالرجوع إلى الصف الرابع من جدول الحقيقة المختصر)، فالآن نحن لدينا: J = K = 1، و Q = 1، وبعد فترة زمنية أخرى Δt سوف يتغير الخرج ثانية إلى: Q = 0، ومن هنا نستنتج أنه فى الفترة الزمنية t_p التى تستغرقها نبضة الساعة سيظل خلالها الخرج Q يتأرجح بين 0 و 1 حتى أنه فى نهاية تلك الفترة الزمنية t_p لا يمكن التأكد من حالة الخرج Q، ويعرف هذا الموقف بحالة التسابق Race-around condition .

شكل (6-11) نبضة ساعة

والحل لتجنب هذا الموقف هو أن تكون الفترة الزمنية Δt أكبر من الفترة الزمنية t_p التى تستغرقها نبضة الساعة، وفى الوقت نفسة تكون أقل من الزمن الدورى لنبضة الساعة T، أى: $t_p < \Delta t < T$، إلا أنه لربما يكون من الصعب تحقيق هذه المتباينة بسبب أزمنة تأخير الإنتشار الصغيرة جدا للدوائر المتكاملة، وهذا أدى إلى تصميم طريقة عملية للتغلب على هذه الصعوبة والتى تعرف بتشكيل المتبوع-التابع Master-Slave التى سيتم مناقشتها الآن.

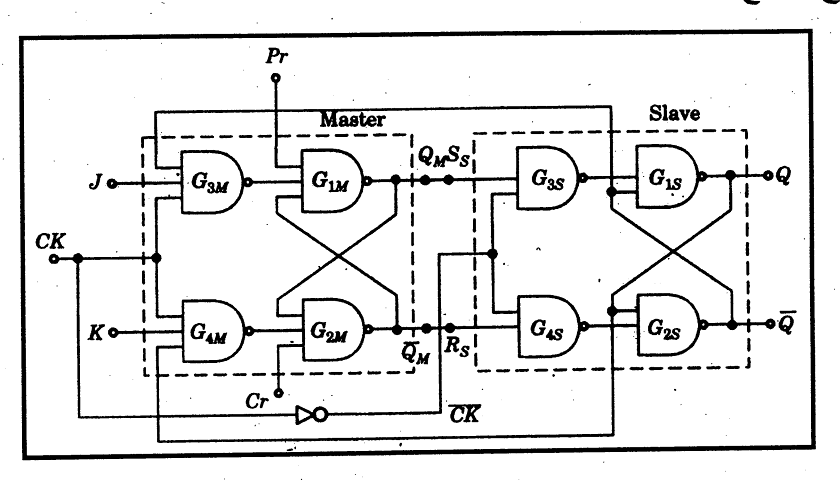
6-2-6 القلاب J-K المتبوع-التابع Master-Slave J-K F.F. :

هذا القلاب مكون من تتالى لعدد 2 قلاب S-R بتغذية عكسية من مخارج القلاب الثانى إلى مداخل الأول وكما هو مبين فى شكل (6-12)، وتُطبق نبضات ساعة موجبة على القلاب الأول، كما يتم عكس هذه النبضات قبل تطبيقها على القلاب الثانى.

عند: Ck = 1، يصبح القلاب الأول متمكن enabled، ويستجيب خرجه (Q_M، و$\bar{Q}_M$) للدخول (J و K) طبقا للجدول (6-3)، وفى نفس الوقت يصبح القلاب الثانى ممتنع inhibited لأن نبضة الساعة تكون منخفضة LOW ($\overline{CK} = 0$).

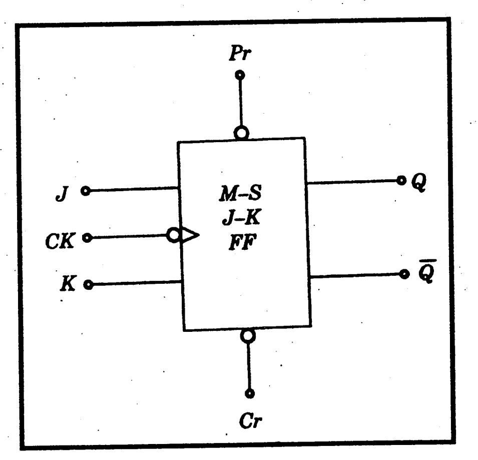
وعندما تصبح نبضة الساعة منخفضة LOW وعندئذ يكون ($\overline{CK} = 1$) يُمنع inhibited القلاب الأول، ويُمكن enabled القلاب الثانى لأن نبضات الساعة تكون عندئذ تكون عالية HIGH ($\overline{CK} = 1$)، وهنا تتبع الخروج (Q و $\bar{Q}$) الخروج (QM ،

و$\bar{Q}_M$) على الترتيب كما فى الصفين الثانى والثالث من جدول (6-3-b)، وحيث أن القلاب الثانى ببساطة يتبع القلاب الأول فيطلق على الثانى التابع Slave، كما يطلق على الأول المتبوع Master، ومن هنا جاءت تسمية هذا التشكيل بـ "القلاب J-K المتبوع-التابع" .Master-Slave J-K F.F.



شكل (6-12) القلاب J-K المتبوع-التابع

فى هذه الدائرة لاتتغير دخول البوابتين G_{3M} وG_{4M} أثناء نبضات الساعة ولهذا نجد أنه لا تواجد لحالة التسابق، إلا أن حالة الدائرة تتغير عند بدء هبوط نبضة الساعة أو بما يسمى بالحافة الهابطة (السلبية) لها Trailing (negative) edge.

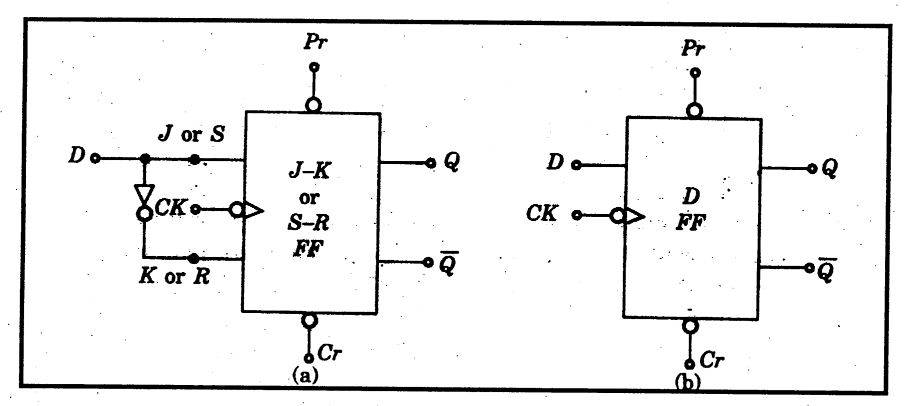


شكل (6-13) الرمز المنطقى للقلاب J-K المتبوع-التابع

ويبين شكل (6-13) الرمز المنطقى للقلاب J-K المتبوع-التابع، ويلاحظ من هذا الرمز وجود العلامة (<) عند دخل نبضة الساعة والتى توضح أن الخرج يتغير عند حدوث إنتقال للنبضة، كما أن الدائرة الصغيرة (o) تدل على إنتقـــال سلبى (أى تتغير CK من 0 إلى 1).

6-2-7 القلاب نوع-D :

إذا تم إستخدام الصفين الثانى والثالث فقط من كل من جدول الحقيقة (6-1) للقلابS-R، وجدول الحقيقة (6-3-b) للقلاب J-K، نحصل على مايسمى بقلاب "التأخير" أو القلاب نوع-D كما هو مبين فى شكل (6-14).



شكل (6-14) a-قلاب J-K أو S-R متحول إلى قلاب نوع-D

b-الرمز المنطقى للقلاب نوع-D

وللقلاب-D دخل واحد فقط يعرف بالدخل-D ويبين جدول (6-4) جدول الحقيقة له ، ومنه يتضح أن الخرج Q_{n+1} عند نهاية نبضة الساعة يكون مساويا للدخل D_n قبل نبضة الساعة .

جدول (6-4)

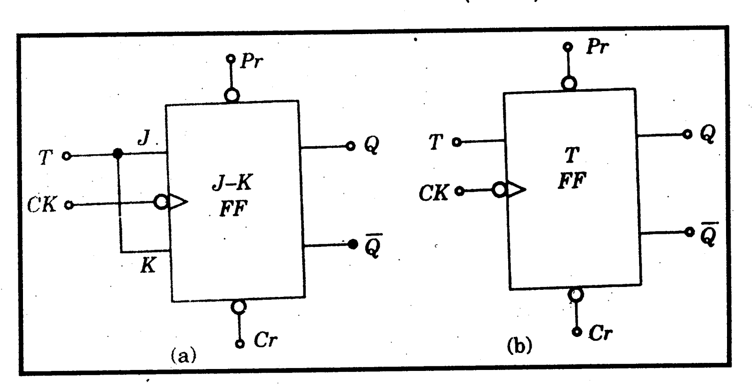
الدخل	الخرج
D_n	Q_{n+1}
0	0
1	1

ومن جدول الحقيقة يمكننا القول بأن بيانات الدخل تظهر نفسها فى الخرج عند نهاية نبضة الوقت، وهكذا فإننا نجد تأخيراً فى نقل البيانات من الدخل إلى الخرج، ومن هنا جاءت التسمية بـــ "قلاب التأخير" Delay (D) F.F.

ويستخدم القلاب نوع-D كجهاز تأخير Delay device، أو جهاز إمساك Latch لتخزين أو حجز معلومة ثنائية مكونة من 1 بت (1 أو 0).

6-2-8 القلاب نوع-T :

إذا تساوى كلا من J، وK (J = K) فى قلاب J-K، ينتج مايعرف بـــ "القلاب نوع-T"، والمبين فى شكل (6-15).



شكل (6-15) a-قلاب J-K متحول إلى قلاب نوع-T

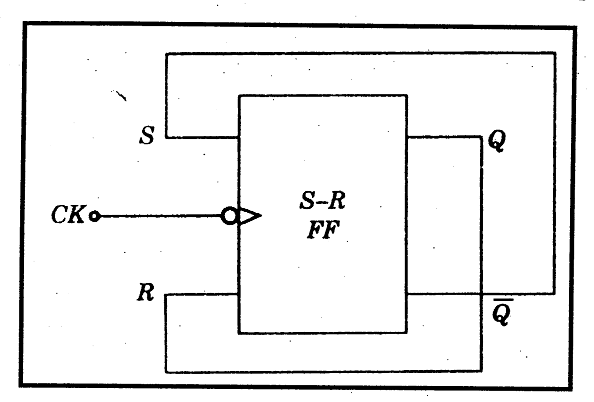
b-الرمز المنطقى للقلاب نوع-T

فهو قلاب بدخل واحد فقط يعرف بالدخل-T ويبين جدول (6-5) جدول الحقيقة له، ومن الجدول يتضح أنه عند: T = 1 فإن القلاب يعمل كمفتاح تبديل Toggle switch ، فمع كل نبضة ساعة يتغير الخرج Q.

جدول (6-5)

الدخل	الخرج
T_n	Q_{n+1}
0	Q_n
1	$\overline{Q}_n$

ولايمكن تحويل القلاب S-R إلى قلاب نوع-T، حيث أن تساوى الدخلين S و R ‎(S = R = 1)‎ غير مسموح فى القلاب S-R، إلا أن دائرة القلاب S-R المبينة فى شكل (6-16) تعمل كمفتاح تبديل، أى يتغير الخرج مع كل نبضة ساعة Q.



شكل (6-16) قلاب S-R يعمل كمفتاح مفصلى كهربائى

6-2-9 جدول الإثارة للقلاب Excitation table F.F. :

يسمى جدول الحقيقة للقلاب أيضا بجدول التمييز Characteristic table، وهذا الجدول هو الذى يحدد طابع العمل للقلاب، وفى تصميم الدوائر التتابعية نتقابل مع مواقف تتعين فيها الحالة الحالية Present state، والحالة التالية Next state للدائرة، ويكون علينا ان نجد قيود دخول يجب فرضها لتحقيق التغير المطلوب للحالة، ويقصد هنا بالحالة الحالية أى حالة الدائرة السابقة لنبضة الساعة، أما الحالة التالية هنا فيقصد بحالتها بعد نبضة الساعة.

فعلى سبيل المثال يكون خرج قلاب S-R قبل نبضة الساعة: $Q_n = 0$، ويراد عدم تغير هذا الخرج عند تطبيق نبضة الساعة، فما هى قيود الدخل (أى قيم S_n و R_n) الواجب فرضها لتحقيق هذا المطلب؟.

من جدول الحقيقة أو جدول التمييز للقلاب S-R كما فى جدول (6-1)، نتحصل على قيود الدخل الآتية:

1- الصف الأول : $S_n = R_n = 0$.

2- الصف الثالث : $S_n = 0$, $R_n = 1$.

فنستنتج من القيود عالية أن الدخل S_n يجب أن يكون مساويا: 0 ، بينما يمكن أن يكون الدخل R_n إما مساويا: 0 ، أو مساويا: 1 أى أنه لا يهم ذلك، وبالمثل يمكن إستنتاج قيود دخل لجميع المواقف الممكنة.

وبجدولة هذه القيود نحصل على ما يعرف بجدول الإثارة Excitation table، وهو يمثل عامل مساعد مهم ومفيد فى تصميم الدوائر التتابعية.

ويبين جدول (6-6) جدول الإثارة للقلابات S-R، و J-K، و D، و T والمشتق من جداول التمييز لها.

جدول (6-6)

الحالة الحالية	الحالة التالية	قلاب S-R S_n	قلاب S-R R_n	قلاب J-K J_n	قلاب J-K K_n	قلاب نوع-T T_n	قلاب نوع-D D_n
0	0	0	x	0	X	0	0
0	1	1	0	1	X	1	1
1	0	0	1	X	1	1	0
1	1	X	0	X	0	0	1

6-3 القلابات إشعال الحافة Edge-triggere F.F.S. :

ينظر لجميع القلابات التى تمت مناقشتها سالفا (عدا قلابات المتبوع-التابع) من أنها من القلابات ذات الإشعال بالمستوى Level triggered، بمعنى أن الخروج تستجيب للدخول (وطبقا لجدول الحقيقة) طالما تواجدت نبضة الساعة ، وتعتبر الماسكات 7475 و 74100 هى النوع الوحيد من الدوائر المتكاملة المندرجة تحت هذه الفئة .

أما القلابات من نوع المتبوع-التابع فهى تندرج تحت فئة القلابات ذات الإشعال النبضى Pulse-triggered بمعنى أن الخروج تستجيب للدخول عند تطبيق نبضة عند دخل الساعة ‎(CK = 1)‎، كما أن خرج التابع (القلاب الثانى) يكون متاحاً عند الحافة

النازلة لنبضة الساعة (CK = 0)، وكما تم مناقشته من قبل فإن هذا يزيل مشكلة حالة التسابق وفيه ستحبس البيانات عند الحافة النازلة لنبضة الساعة، أى أن التغيرات الحادثة عند الدخول بمجرد وصول النبضة CK إلى 0 لن تؤثر على تشغيل القلاب.

وبسبب تشغيل ما فى النظام فربما تتغير دخول القلاب خلال تواجد نبضة الساعة، مما يتسبب فى وجود خروج غير حقيقية أو غير مؤكدة للقلاب، وهذا يمكن التغلب عليه بما يعرف بـــ "القلابات إشعال الحافة"، أو القلابات التى تبدأ عملها عند حافة النبضة.

ففى حالة هذا النوع من القلابات تنتقل المعلومات من الدخول إلى الخروج عند الحافة الموجبة أو السالبة لنبضة الساعة، ويمكن أن تتغير الخروج فقط خلال الفترة الزمنية التى تتغير نبضة الساعة من 1 إلى 0 (↑)، وفى بعض الدوائر الأخرى خلال الفترة الزمنية التى تتغير نبضة الساعة من 1 إلى 0 (↓)، ويعرف القلاب الذى يستجيب فقط عند الحافة الصاعدة Rising edge بقلاب إشعال الحافة الصاعدة أو الموجبة Positive-edge-triggered، بينما يعزى القلاب الذى يستجيب فقط عند الحافة الهابطة Falling edge بقلاب إشعال الحافة الهابطة أو السالبة Negative-edge-triggered، ويحدث حبس للبيانات عند نهاية الحافة.

ويكون رمز نوع القلاب إشعال الحافة هو رمز القلاب نوع متبوع–تابع ، كما يبين شكل (6–17) المواصفات الزمنية لقلاب إشعال الحافة وهى كالتالى:

– زمن الإعداد Set-up time (t_{setup}):

هو الزمن الذى يمر حتى تستقر بيانات الدخل قبل الإشعال بالحافة لنبضة الساعة، أو الزمن اللازم لبقاء البيانات على مدخل الدائرة لكى تتمكن هذه الدائرة من قراءة هذه البيانات.

– زمن الاحتجاز Hold time (t_{hold}) :

هو الزمن الذى يجب أن تظل البيانات خلاله ثابتة بعد الإشعال بالحافة لنبضة الساعة .

– التردد الأقصى Maximum frequency (f_{max}) :

هو أقصى تردد لنبضات الساعة والكافى للتشغيل المستقر والمناسب، ويحسب كالآتى:

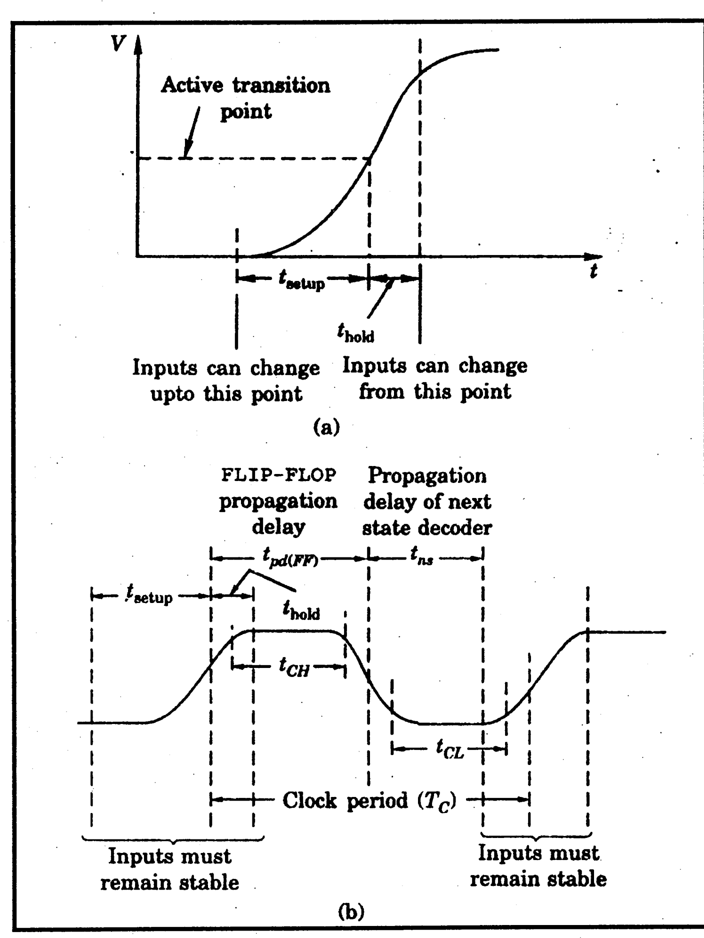
$$f_{max} = 1/T_c \leq 1/(t_{setup} + t_{pd(FF)} + t_{ns})$$

– عرض نبضة الساعة العالية Clock HIGH pulse width (t_{CH}) :

هو أقل وقت يمكن أن تظل فيه نبضة الساعة عالية HIGH .

– عرض نبضة الساعة العالية Clock LOW pulse width (t_{CL}) :

هو أقل وقت يمكن أن تظل فيه نبضة الساعة منخفضة LOW .



شكل (6–17) اشكال الموجة لنبضة ساعة قياسية توضح المواصفات الزمنية للقلابات

مثال (6-2) :

نبضة الساعة والدخل والمبين أشكال الموجة لهما فى الشكلين (6-18-a) و(6-18-b) يتم تطبيقهما على الدخل D أو الدخل J على الأنواع التالية من القلابات، ومطلوب رسم أشكال الموجة لخرج كل منها.

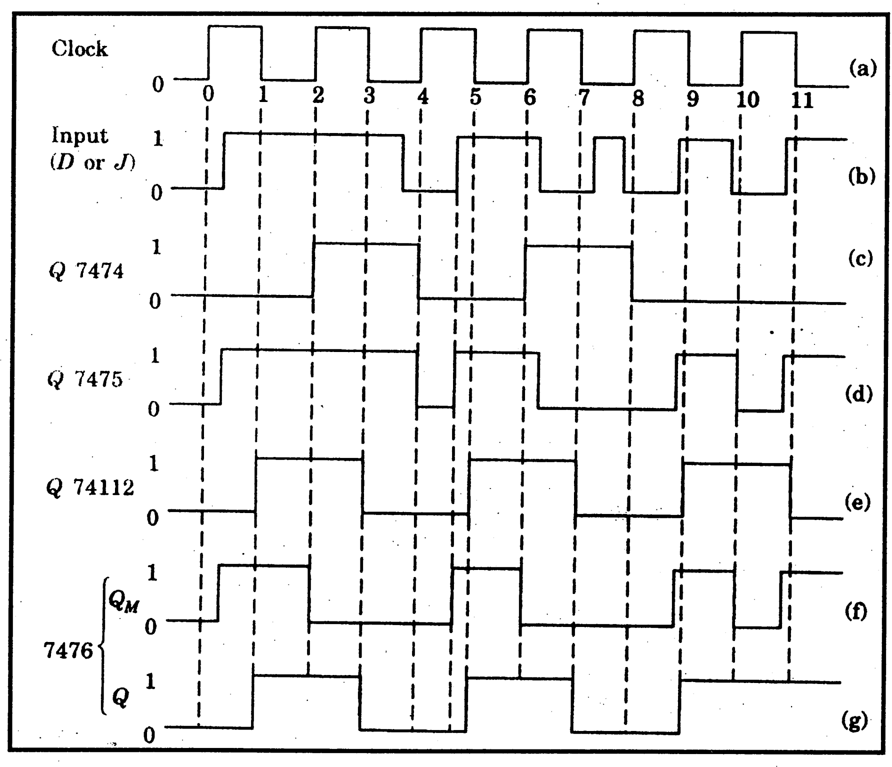
أ- دائرة القلاب نوع D رقم 7474 ذات إشعال الحافة الموجبة .

ب- دائرة القلاب نوع D رقم 7475 ذات إشعال المستوى الموجب Positive-level triggered .

ج- دائرة القلاب نوع J-K رقم 74112 ذات إشعال الحافة السالبة .

د- دائرة القلاب نوع J-K متبوع-تابع رقم 7467 .

الحل :



شكل (6-18) أشكال الموجة للمثال (6-2)

أ- فى حالة دائرة القلاب نوع D رقم 7474 ذات إشعال الحافة الموجبة، يكون الخرج Q مثل الدخل D عند الحافة الموجبة لنبضة الساعة، ولايتغير الخرج إلا بوصول الحافة الموجبة التالية، وكما هو موضح فى شكل (6-18-c) .

ب- فى حالة دائرة القلاب نوع D رقم 7475 ذات إشعال المستوى الموجب، فهو يمثل ممسك واضح، حيث يتبع الخرج Q الدخل D طالما نبضة الساعة: CK= 1 ولايتغير الخرج عند : CK = 0 ، وكما هو موضح فى شكل (6-18-d).

ج- فى حالة دائرة القلاب نوع J-K رقم 74112 ذات إشعال الحافة السالبة ، يستجيب الخرج Q للدخول J و K الموجودة عند الحافة السفلى لنبضة الساعة (وطبقاً لجدول الحقيقة للقلاب J-K)، ولايتغير الخرج إلا بوصول الحافة السالبة التالية، وكما هو موضح فى شكل (6-18-e) .

د- فى حالة دائرة القلاب نوع J-K متبوع-تابع رقم 7467، يستجيب خرج المتبوع Q للدخول J وK الموجودة عند: CK = 1 (وطبقاً لجدول الحقيقة للقلاب J-K)، ويبين شكل (6-18-f) شكل الموجة خرج المتبوع Q_M، كما يتبع خرج التابع Q خرج المتبوع Q_M عند الحافة السالبة لنبضة الساعة، وكما هو موضح فى شكل (6-18-g) .

6-4 تطبيقات القلابات :

من بعض إستخدامات القلابات الشائعة مايلى :

1- مفتاح إزالة تأثير وثبة التلامس Bounce elimination switch .

2- الماسك Latch .

3- المسجلات Registers ،

4- العدادات Counters .

5- الذاكرات Memories .

6-4-1 مفتاح إزالة تأثير وثبة التلامس Bounce elimination switch :

هناك مفاتيح وثبة التلامس Bounce switch وهى مفاتيح ميكانيكية تستخدم فى الأنظمة الرقمية كأجهزة دخل والتى بواسطتها يمكن إدخال معلومة رقمية (1 أو 0) للنظام، وهناك مشكلة خطيرة ترتبط بهذه المفاتيح فعندما يتحرك ذراع المفتاح من موضع لآخر فإنه يصطك عدة مرات قبل أن يستقر فى النهاية فى الموضع الجديد فيسجل بضعة آلاف من النبضات الكاذبة بدلاً من نبضة واحدة.

وفى الدائرة التتابعية وعند إدخال 1 من خلال المفتاح فسيرمى ذراع المفتاح للموضع المناظر، وبمجرد وصوله للموضع نحصل على الخرج 1، إلا أن هذا الخرج سيظل يتأرجح مابين 0 و 1 لبعض الوقت بسبب الوصل والقطع للمفتاح عند نقطة التوصيل قبل الوصول لحالة الإستقرار، وهذا بالطبع يسبب تغيير فى خرج الدائرة التتابعية، وبالتالى يخلق صعوبات فى عملية تشغيل النظام، ويمكن إزالة هذه المشكلة باستخدام مايسمى بـــ "مفتاح إزالة تأثير وثبة التلامس" Bounce elimination switch .

مثال (6-3) :

وضح أن الدائرة الموجودة فى شكل (6-19-a) تعمل كـــ "مفتاح إزالة تأثير وثبة التلامس".

الحل :

يبين شكل (6-19-b) أشكال الموجة لكل من: $\bar{S}$، و $\bar{R}$، وQ، و $\bar{Q}$، ويبدأ عمل المفتاح عند الزمن: $t = 0$، بتحركه من الموضع A إلى الموضع B.

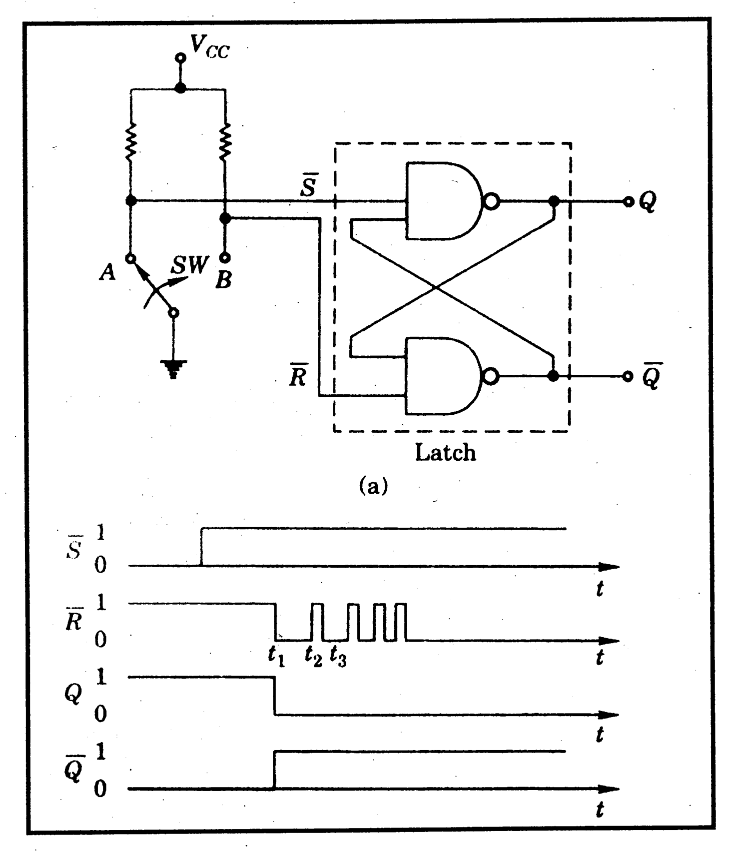
وعند الزمن: $t = 0^+$، يكون الجهد عند $\bar{S}$ مساوياً: V_{CC} (أى منطق 1)، وسيظل هكذا مالم يعود المفتاح للوضع A مرة ثانية.

وعند الزمن: $t = 0^-$، يكون الجهد عند $\bar{R}$ مساوياً: V_{CC} (أى منطق 1)، إلا أنه عند الزمن: t_1 (وهو زمن تأخير المفتاح) يصبح مساوياً: 0 V (أى منطق 0)، إلا أنه

عند هذا الزمن (وهو الزمن الذى يتصل فيه ذراع المفتاح بالنقطة B) سيظل الذراع يتأرجح، وبالتالى يسبب ذلك فى تأرجح مستوى $\bar{R}$ مابين 0، و 1 لبعض الوقت، وكما هو مبين فى شكل الموجة $\bar{R}$ المرسومة.

ومابين الزمنين: $t = 0$ ، و $t = t_1$، يكون كلا الدخلين $\bar{S}$، و $\bar{R}$ عند المنطق 1، وهنا لايتغير الخرج Q، إلا أنه يتغير ويصبح عند المنطق: 0 عند الزمن t_1.

والآن حتى ولو تغير $\bar{R}$ عند الأزمنة t_2، و t_3، و ...إلخ، فلن يؤدى ذلك إلى تغير الخرج Q الذى سيظل عند المنطق 0، مما يبين أن هذا المفتاح يزيل تأثير وثبات التلامس.



شكل (6-21) a- مفتاح إزالة الوثبة

b-أشكال الموجة لكل من : $\bar{S}$ و $\bar{R}$ و Q و $\bar{Q}$

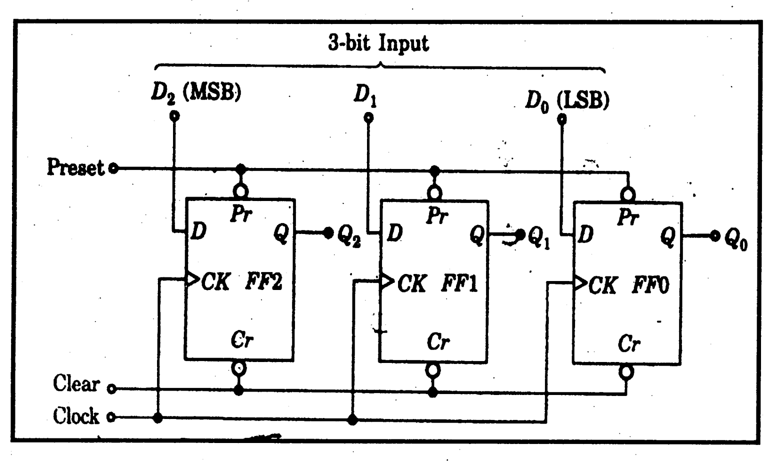
والماسك المستخدم فى شكل (6-19-a) يمكن إستبداله بالدائرة التكاملية 74279، وهى ماسك $\bar{R}$ - $\bar{S}$ رباعى .

6-4-2 المسجلات Registers :

المسجل عبارة عن جهاز لتخزين مجموعة من البتات (والتى تكون كلمة)، وهو يتكون من مجموعة من القلابات عددها N إذا كان المطلوب تخزين كلمة مكونة من عدد N بت (أى يقوم كل قلاب بتخزين بت واحد).

ويبين شكل (6-20) مسجل 3-بت يستخدم القلابات إشعال-الحافة الموجبة Positive-edge triggered F.Fs. رقم 7474 ، وفيها تطبق البتات المراد تخزينها وعددها 3 عند الدخول-D، وفى هذا المسجل يلزم أن تكون البيانات الداخلة على شكل متوازى.

وسوف يتم مناقشة أنواع أخرى من المسجلات بالتفصيل فى الأقسام التالية.



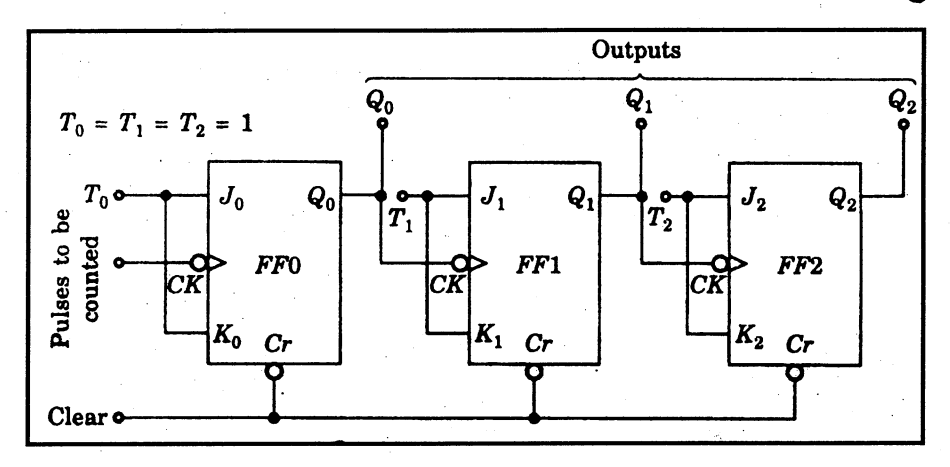
شكل (6-20) مسجل 3 بت يستخدم القلابات

6-4-3 العدادات Counters :

غالبا نحتاج للعدادات الرقمية لإحصاء حدث ما، مثل إحصاء حبات الدواء التى تملأ زجاجة، فيتم توليد نبضات كهربية مناظرة لهذا الحدث وذلك باستخدام محول طاقة Traseducer، ثم القيام بإحصاء هذه النبضات باستخدام العداد.

وتتركب العدادات من مجموعة من القلابات ، فمثلاً وكالموضح فى شكل (6-21) يتكون عداد 3-بت من 3 قلابات (ملحوظة : دائرة العداد المكونة من قلابات عددها n تقوم بالإحصاء حتى 2^n) ، وهنا فإن عداد 3-بت يمكنه الحساب من الرقم العشرى 0 حتى الرقم العشرى 7 .

والقلابات المستخدمة هنا من النوع 74107 " قلابات J-K متبوع-تابع "وتستخدم كنوع-T.



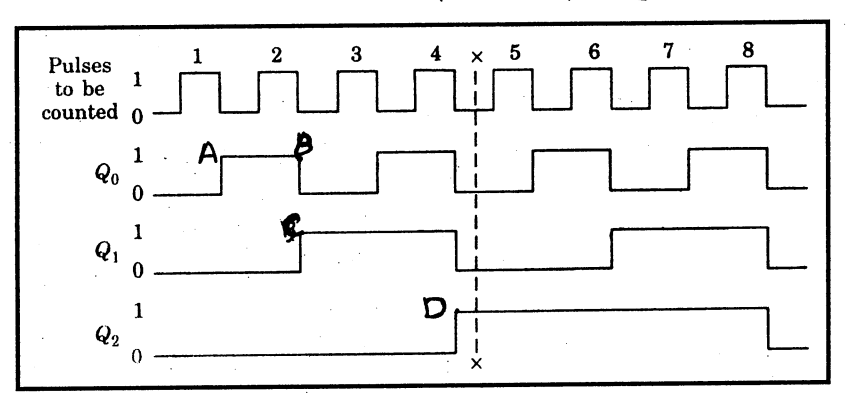
شكل (6-21) عداد 3-بت مكون من 3 قلابات

ويتم توصيل النبضات المراد إحصاؤها إلى مدخل الساعة Clock input للقلاب FF0، وتوصيل خرجه Q_0 إلى مدخل الوقت للقلاب FF1، وبالمثل يوصل خرجه Q_1 إلى مدخل الوقت للقلاب FF2، ويتم تنقية القلابات بتطبيق منطق 0 لحظيا عند طرف مدخل التنقية Clear input terminal، والتى تظل عند المنطق 1 أثناء عملية الإحصاء الطبيعية .

ويوضح شكل (6-22) النبضات وأشكال الموجة للعداد المبين فى شكل(6-21).

حيث يبدأ العداد فى الأحصاء بتطبيق منطق 0 لحظيا عند طرف مدخل التنقية، أى يكون العدد المحمل به العداد فى البداية هو صفر عشرى، وعند الحافة السالبة لكل نبضة يتغير منطق الخرج Q_0 (حيث أن : $T_0 = 1$)، فمثلا عند الحافة السفلى للنبضة الأولى يتغير منطق الخرج Q_0 من منطق 0 إلى منطق 1 (النقطة A)، وعند

الحافة السفلى للنبضة الثانية يتغير منطق الخرج Q_0 من منطق 1 إلى منطق 0 (النقطة B) وهكذا ، وبالمثل يتغير منطق الخرج Q_1 عند الحافة السفلى للخرج Q_0 (لأن الخرج Q_0 هنا يعمل كنبضة توقيت CK للقلاب FF1 ، وأن $T_1 = 1$) ، حيث يتغير منطق الخرج Q_1 من منطق 0 إلى منطق 1 عند الحالة السفلى للمنطق 1 للخرج Q_0 (النقطة C) ، وبالمثل أيضا يتغير منطق الخرج Q_2 عند الحافة السفلى للخرج Q_1 (لأن الخرج Q_1 هنا يعمل كنبضة ساعة CK للقلاب FF2 ، وأيضـــا $T_2 = 1$) ، حيث يتغير منطق الخرج Q_2 من منطق 0 إلى منطق 1 عند الحالة السفلى للمنطق 1 للخرج Q_1 (النقطة D) .



شكل (6-22) النبضات وأشكال الموجة للعداد المبين فى شكل (6-25)

ويكون المكافئ العشرى لأى عدد ثنائى $Q_2Q_1Q_0$ عند أى زمن هو عدد النبضات المحصاة حتى ذلك الزمن، فمن الشكل وعلى سبيل المثال وعند الزمن (X) يكون عدد النبضات المحصاة: 100 بما يكافئ العدد العشرى 4، وتتحرر الدائرة بعد إحصاء 8 نبضات.

وتوجد أعداد كثيرة من العدادات وسوف يتم مناقشة بعضاً منها بالتفصيل فى الأقسام التالية.

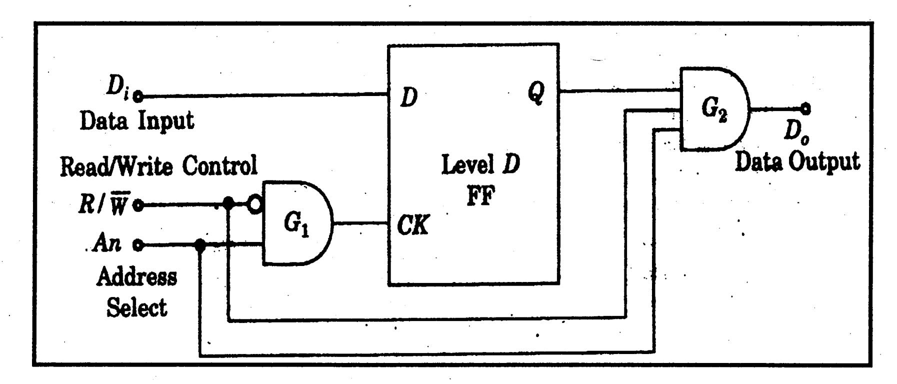
6-4-4 ذاكرة الدخول العشوائى Random-Access Memory :

فى الحاسبات وأنظمة التحكم الرقمية وأنظمة معالجة المعلومات..إلخ، يكون من الضرورى تخزين بيانات رقمية ثم إستعادتها عند الحاجة، وقديماً ولهذا الغرض كانت الذاكرات المغناطيسية هى الممكنة، أما فى هذه الأيام فقد أصبح من الممكن

تصنيع أجهزة الذاكرات من أشباه الموصلات والتى أصبحت مفضله لإستخدامها المريح ولصغر أحجامها (فهى مُصنعة على شكل دوائر متكاملة)، وفى الفصل الثامن سوف يتم تناول مختلف ذاكرات أشباه الموصلات.

ويمكن إستخدام القلابات لعمل الذاكرات والتى عن خلالها يمكن تخزين المعلومات لأى مدة من الزمن ثم الإطلاع عليها أو قراءتها متى تطلب هذا، وفى مثل هذه الذاكرات يمكن وضع البيانات فى الذاكرة (أى كتابتها فى الذاكرة)، أو إستعادتها (إى قراءتها من الذاكرة) بطريقة عشوائية وهذه الطريقة تُعرف بـــ "ذاكرة الدخول العشوائى".

وشكل (6-23) يبين ذاكرة قراءة/كتابة لـــ 1 بت، والتى تمثل عنصر الذاكرة الأساسى، وحيث تبنى الدوائر التكاملية للذاكرات من خلال نظام يتأسس على هذه الخلية.



شكل (6-23) خلية ذاكرة قراءة/كتابة لـــ 1 بت

فى هذه الخلية يستخدم قلاب مستوى من نوع-D خرجه Q والذى يتبع الدخل D، طالما كانت نهاية CK موصلة على منطق 1، وفى لحظة تغير CK من منطق 1 إلى منطق 0 فلا يتغير الخرج Q ويظل محتفظاً بمستوى الدخل D الموجود قبل هذا التغير فى منطق CK من 1 إلى 0، وهذا الدخل يستخدم لإختيار خلية الذاكرة.

* وفى خلية الذاكرة المبينة توجد 3 مداخل :

1- مدخل البيانات Data Input (D_i) .

2- إختيار العنوان (A_n) Address select .

3- تحكم قراءة/كتابة ($R/\overline{W}$) Read/Write control.

* ويوجد مخرج واحد هو : مخرج البيانات (D_o) Dara output .

وعند $A_n = 1$، تتمكن الخلية من تنفيذ عملية القراءة أو الكتابة، فعندما يكون المدخل $R/\overline{W}$ فى المنطق 1 يُمكِن من قراءة ما بالخلية، بينما يُمكِن من الكتابة عليها عندما يكون فى المنطق 0، وتتوقف فعالية كل مداخل ومخرج الخلية عند: $A_n = 0$، بينما تظل الخلية فى وضع Mode ماسكة وعنده تكون البيانات المُخزنة محمية.

ويمكن تفهم الوظيفة الكاملة لهذه الخلية من الجدول الوظيفى المبين فى جدول (6-7)، فعملية القراءة لمرة واحدة لاتُنهى عملية التخزين، أى ان البت المُخزن يمكِن قراءته عدة مرات بدون إفساده، كما أن البت المُخزن يظل فى حماية طالما أن القدرة موصلة، ولذلك يسمى هذا النوع من الذاكرات بـــ " الذاكرة المتطايرة " Volatile memory.

وطالما أن عملية الكتابة فى الذاكرة هى محور الإهتمام، فليس مطلوباً أن تمسح قبل إدخال البت الجديد، ومتى دخل هذا البت الجديد، فإن البت القديم يزال آليا.

جدول (6-7)

الحالة	الدخول		
	D_i	$R/\overline{W}$	A_n
إمساك ، $D_0 = 0$	X	X	0
كتابة 0 فى الذاكرة ، $D_0 = 0$	0	0	1
كتابة 1 فى الذاكرة ، $D_0 = 0$	1	0	1
قراءة ، و D_0 يخزن بت الدخل D_i	X	1	1

6-5 المسجلات :

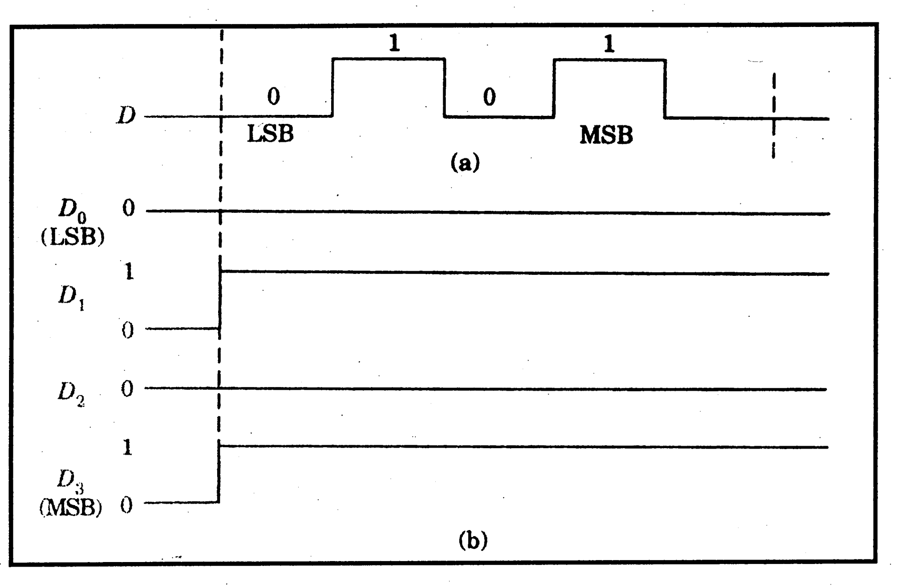
تعد المسجلات مع العدادات من أهم الدوائر التتابعية الواسعة الإستخدام فى الأنظمة الرقمية، وعرفنا مما سبق أن القلاب يمثل العنصر الأساسى لنظام المنطق التتابعى. وكما عرفنا أن القلاب يمكنه تخزين أو تذكر 1 بت (1 أو 0) كمعلومة رقمية، وهو المعروف بـــ "المسجل 1-بت "1-bit register، ولتخزين معلومة ثنائية يتطلب ذلك منظومة من القلابات، ويكون عدد القلابات المطلوبة لتخزين كلمة ثنائية Binary word مساوياً لعدد البتات التى تتكون منها هذه الكلمة (تخصيص قلاب لكل بت) وفى النهاية نحصل على ما نشير إليه بالمسجل.

وتتواجد تطبيقات المسجلات فى مختلف الأنظمة الرقمية بما فيها المعالجات الدقيقة، فعل سبيل المثال نجد ان المعالج الدقيق Intel's 8085 يحتوى على 7 مسجلات 8-بت والمعروف بـــ "المسجل العمومى" General purpose register، كما يحتوى على 5 مسجلات 1-بت والمعروفة بـــ "العلامات" Flags.

وفى المسجلات يمكن إدخال البيانات على التوالى (1 بت فى كل زمن) والتى تعزى إلى التشفير الموقت Temporal code (وهو ترتيب زمنى للبتات)، أو على التوازى (جميع البتات فى تزامن واحد) والتى تعزى إلى التشفير الحيزى أو الفضائى Spacial code، كما يمكن إسترجاع هذه البيانات على شكل التوالى أو التوازى.

ويبين شكل (6-24-a) معلومة من 4-بت (1010) على شكل التوالى، كما يبين شكل (6-24-b) نفس المعلومة على شكل التوازى، وفيما يخص مداخل ومخارج البيانات التى على شكل التوالى فإن ذلك يتطلب خط واحد فقط للدخل، وخط واحد للخرج، بينما فى البيانات على شكل التوازى فإن ذلك يتطلب عدداً من الخطوط تعادل عدد الدخول (أى عدد البتات)، وكذلك عدداً من الخطوط تعادل عدد الخروج (أى عدد البتات).

واعتماداً على طريقة إدخال البيانات وإسترجاعها ، يتم تقسيم المسجلات إلى 4 حالات من التشغيل هى :



شكل (6-24) تمثيل البيانات a- على شكل التوالى
b- على شكل التوازى

1- إدخال البيانات توالى Serial-in ، وخروجها توالى Serial-out (SISO).

2- إدخال البيانات توالى Serial-in ، وخروجها توازى Parallel-out (SIPO).

3- إدخال البيانات توازى Parallel-in ، وخروجها توالى Serial-out (PISO).

4- إدخال البيانات توازى Parallel-in ، وخروجها توازى Parallel-out (PIPO).

ويمكن تصميم المسجلات باستخدام قلابات محددة (S-R أو J-K أو نوع-D)، كما أن هذه المسجلات متاحة كأجهزة MSI، ويبين جدول (6-8) المسجلات المتاحة فى سلسلة 54/74 TTL.

والمسجلات التى تدخل فيها أو تخرج منها البيانات فى شكل التوالى تعرف بـــ "مسجلات الإزاحة" Shift registers، حيث تزاح البتات فى القلابات فى وجود نبضات الوقت إما فى الإتجاه الأيمن (فنحصل على مسجل إزاحة يمين Right-shift register)، أو تزاح فى الإتجاه الأيسر (فنحصل على مسجل إزاحة يسار Left-shift register)، أما مسجلات الإزاحة الثنائية Bidirectional-shift register ففيها تزاح البيانات من اليمين إلى اليسار، أو فى عكس الإتجاه مستخدما تحكم الحالة Mode

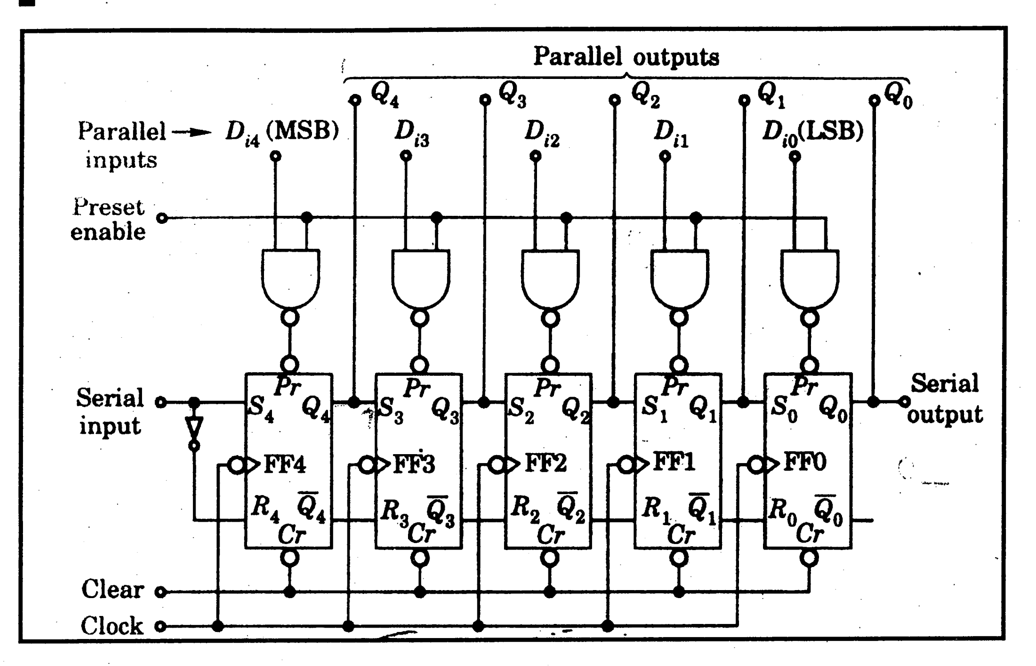
control، ومن أمثلتها الدائرة التكاملية 74295A، أما المسجل المسمى بـــ"مسجل عمومى" Universal register، فيمكنه العمل فى كل الحالات الأربعة (SISO و SIPO و PISO و PIPO)، بالإضافة إلى عمله كثنائى إتجاه، وتعد الدائرة التكاملية 74194 من أمثلة المسجلات العمومية.

جدول (6-8)

رقم الدائرة التكاملية	الوصف
7491 ، 7491A	SISO 8-بت
7494	PISO 4-بت
7495	SIPO 4-بت ، أو PIPO 4-بت (إزاحة يمين/يسار)
7496	SISO 5-بت ، أو PIPO 5-بت
7499	ثنائى الإتجاه 4-بت ، عمومى
74164	SIPO 8-بت
74165	SISO 8-بت ، أو PISO 8-بت
74166	SISO 8-بت ، أو PISO 8-بت
74178 ، 74179	ثنائى الإتجاه 4-بت ، عمومى
74194	ثنائى الإتجاه 4-بت ، عمومى
74195	SIPO 4-بت ، أو PIPO 4-بت
74198	ثنائى الإتجاه 8-بت ، عمومى
74199	SIPO 8-بت ، أو PIPO 8-بت
74295A	ثلاثى حالة TRI-STATE ، ثنائى الإتجاه (SIPO 4-بت ، أو PIPO 4-بت)
74395	ثلاثى حالة TRI-STATE (SISO 4-بت ، أو PIPO 4-بت ، أو SIPO 4-بت ، أو PISO 4-بت) يمكن تتاليها

6-5-1 مسجل الإزاحة :

يبين شكل (6-25) مسجل إزاحة 5-بت يستخدم قلابات S-R متبوع-تابع، ويمكن إستخدام هذه الدائرة لأى حالة من الحالات الأربعة للمسجلات.



شكل (6-25) مسجل إزاحة 5-بت

وسيتم شرح عمل الدائرة بفرض إدخال بيان من 5-بت هو: 10110، وحيث يتشابه عمل الدائرة فى حالة أى بيان آخر مكون من 5-بت.

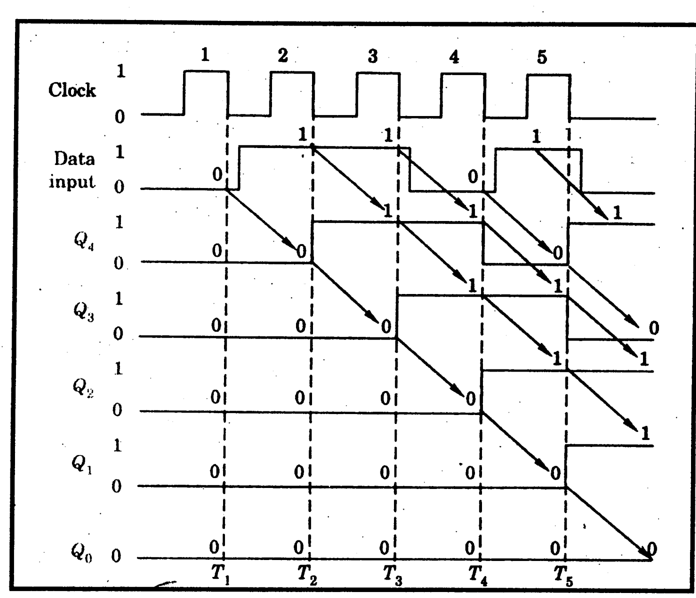
البيانات فى دخل توالى :

باستخدام خط التحرير Clear line، يتم تحرير القلابات أولاً، ثم تطبيق بيانات الكلمة على هيئة التوالى كما هو مبين فى شكل (6-24-a) ، كما يتم تمكين مدخل التحرير عند منطق 0، فيظل بالتالى كل مداخل P_r للقلابات عند منطق 1، ويبين شكل (6-26) أشكال الموجة للدخل والخرج.

وتبدأ عملية إدخال الكلمة الرقمية بإدخال البيان المناظر لبت التأثير الأدنى (0)، وأول نبضة ساعة، وعند حافة الهبوط لأول نبضة ساعة (T_1) يكون خرج القلاب FF4 (أى الخرج: Q4) مساوياً: 0، كما تكون كل خروج القلابات الأخرى مساوية: 0 حيث تكون كل دخولها مساوية: 0، وبعد ذلك تدخل البت التالية (1) عند حافة الهبوط لثانى نبضة ساعة (T_2) وتصبح مخارج القلابات كالتالى:

$Q_4 = 1$

$Q_3 = Q_2 = Q_1 = Q_0 = 0$



شكل (6-26) أشكال الموجة لمسجل إزاحة لدخل توالى

وبنفس الطريقة يتم تطبيق الدخل المناظر لكل بت حتى الوصول لـــ بت التأثير الأعلى وتستمر البتات فى التحرك والإزاحة من اليسار إلى اليمين عند حافة الهبوط لكل نبضة ساعة، وكما هو مبين فى شكل (6-26)، حتى نصل إلى نهاية نبضة الساعة رقم 5، وتكون عندها خروج القلابات كالتالى:

$Q_4 = 1$

$Q_3 = 0$

$Q_2 = 1$

$Q_1 = 1$

$Q_0 = 0$

وهى نفس البتات المطلوب تخزينها.

وهنا نقول أن عدد نبضات الساعة المطلوبة إدخال البيانات يكون مساويا لعدد البتات، كما تسمى عملية إدخال البيانات بـــ "الكتابة" Writing على المسجل.

ويمكن إسترجاع هذه البيانات المخزنة (وتسمى هذه العملية بـــ "القراءة" Reading) طريقتين: إما بالخرج المتتالى، أو بالخرج المتوازى.

ففى الإسترجاع بطريقة الخرج المتتالى، يتم الحصول على البيان المُخزن عند المخرج Q_0 عند تطبيق نبضات ساعة والتى يكون عددها مساويا لعدد البتات أى : 5 فى مثالنا هذا، أما الإسترجاع بطريقة الخرج المتوازى، فيتم الحصول على البيان المُخزن عند الخروج Q_0 Q_1 Q_2 Q_3 Q_4 بدون الحاجة لتطبيق نبضات ساعة. فى حالة الإسترجاع بالخرج المتتالى، وبعد نبضة الساعة n th (بعد البت الأخير n من البيان) يصبح خرج كل القلابات: 0، مما يعنى أن من أنه بمجرد إسترجاع البيان، يصبح المسجل خاليا، بينما على الجانب الآخر وعند الإسترجاع بالخرج المتوازى فإنه يمكن إسترجاع أو قراءة البيان عدة مرات لحين القيام بعملية تخزين جديدة فى المسجل.

فى حالة مسجل الإزاحة SISO، يمكن أن يختلف معدل نبضات الساعة فى البيان الداخل عنه فى البيان الخارج، ومن هنا يمكن إستغلال هذا فى تغيير المباعدة الزمنية Spacing in time فى الشفرة الثنائية ، وبما يُعرف بـــ "العزل" Buffering.

البيانات فى دخل متوازى :

يمكن إدخال البيان على شكل التوازى باستغلال مداخل التحرير Preset inputs ، فبعد تحرير القلابات وعند تطبيق البيان على الدخول المتوازية: D_{i4} وD_{i3} وD_{i2}، و D_{i1} ، وD_{i0}، ومع تطبيق مستوى 1 على مدخل التحرير، فسوف يكتب البيان فى المسجل، وهذا مايُعرف بالتحميل الغير متزامن Asynchronous loading.

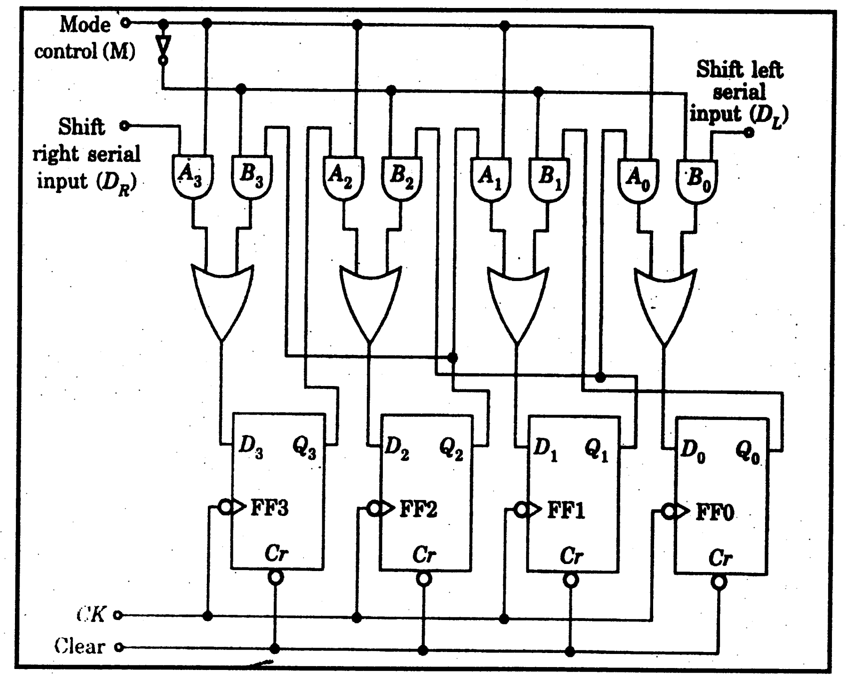
ويمكن إدخال البيان فى شكل التوازى، باستخدام القلابات نوع-D والموصلة بالطريقة كما هو موضح فى شكل (6-20)، وهنا نجد أن البيان يتم تحميله عند تطبيق نبضة ساعة، وهذا مايُعرف بالتحميل المتزامن Synchronous loading.

المسجل ثنائى الإتجاه :

توجد بعض التطبيقات يتطلب فيها إزاحة البيانات إلى اليمين أو إلى اليسار، فمثلا يمكن قسمة العدد الثنائى على 2 بازاحته مرحلة إلى اليمين، فى هذه العملية

يمكن أن يُفقد بت التأثير الأدنى (مالم تُستخدم دائرة إضافية لحمايته) مسببا خطأ قيمته: 0.5 إذا كان العدد فردى، وبالمثل يمكن ضرب العدد الثنائى المُخزن فى مسجل إزاحة فى 2 بإزاحته مرحلة إلى اليسار بشرط عدم إزاحة البت 1 والمحتمل وجوده لخارج مرحلة بت التأثير الأقصى.

ويبين شكل (6-27) مسجل إزاحة 4-بت ثنائى إتجاه ، فعندما يكون تحكم الحالة: M = 1 ، تصبح جميع دخول البوابات AND (A_0 و A_1 وA_2 وA_3) مُمكنة Enabled، بينما تصبح جميع دخول البوابات AND (B_0 وB_1 و B_2 وB_3) مُمنعة Inhibited، فيزاح البيان D_R عند تطبيق نبضات الساعة إلى اليمين، ويحدث العكس عندما يكون تحكم الحالة : M = 0 ، تصبح جميع دخول البوابات AND (B_0 و B_1 وB_2 وB_3) مُمكنة Enabled ، بينما تصبح جميع دخول البوابات AND (A_0 وA_1 و A_2 وA_3) مُمنعة Inhibited، فيزاح البيان D_L عند تطبيق نبضات الساعة ، ويجب مراعاة تحويل تحكم الحالة M، من 0 إلى 1، أو العكس فقط فى عدم وجود نبضات ساعة (CK = 0) وإلا فربما يتغير البيان المُخزن.



شكل (6-27) مسجل إزاحة 4-بت ثنائى الإتجاه

6-5-2 تطبيقات مسجلات الإزاحة :

عرفنا أن الإستخدام الأساسى لمسجلات الإزاحة هو التخزين المؤقت للبيانات والتعامل مع البتات، وسوف نناقش بعض من تطبيقات مسجلات الإزاحة.

خط التأخير Delay line :

يمكن إستخدام مسجل الإزاحة من نوع SISO للحصول على تأخير زمنى فى الإشارات الرقمية بقيمة Δt، يُعرف من العلاقة:

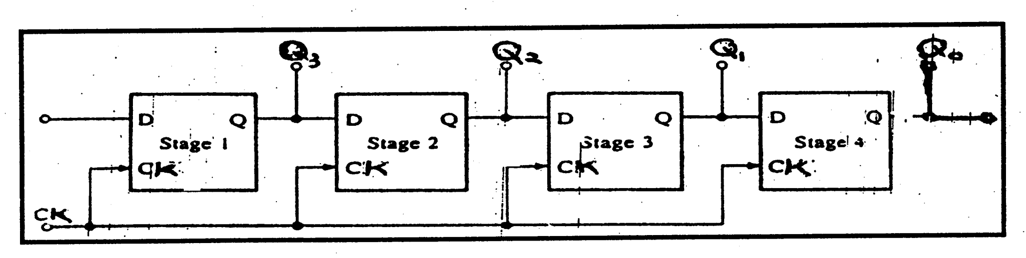
$$\Delta t = N \times 1/f_C \qquad (6-2)$$

حيث: N يمثل عدد مراحل المسجلات، f_C تردد نبضات الساعة.

وعلى هذا يظهر قطار نبضات الدخل متأخراً فى الخرج بزمن قدره Δt، كما نجد من العلاقة أنه يمكن التحكم فى قيمة التأخير عن طريق التحكم فى عدد مراحل المسجل ، وتردد نبضات الساعة.

التحويل من التوالى إلى التوازى :

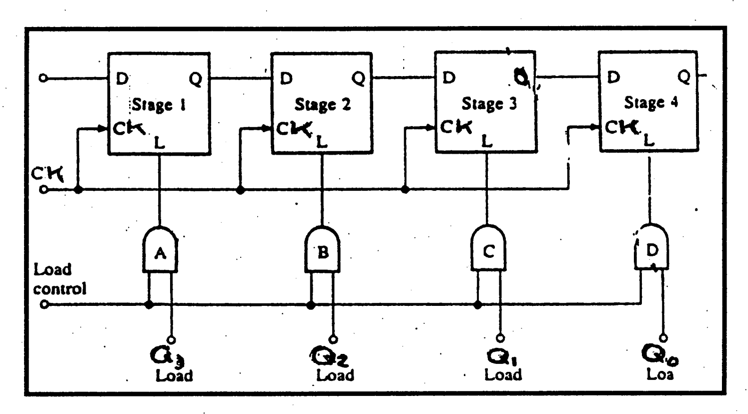
فيمكن تحويل البيانات من شكل التوالى إلى شكل التوازى باستخدام مسجل إزاحة من نوع SIPO، مكون من عدد من القلابات نوع-D مساويا لعدد البتات وكما هو مبين فى شكل (6-28)، حيث تدخل البيانات من مدخل التوالى Serial in، وتخرج من مخارج التوازى (عدد هذه المخارج يساوى عدد البتات)، كما يحتاج البيان الثنائى لعدد من نبضات الساعة مساوية لعدد البتات، فمثلا عند دخول البيان الثنائى 1101 على مدخل التوالى، فبعد 4 نبضات ساعة تكون الخروج عند المخارج: Q_3 و Q_2 و Q_1 و Q_0 هى : 1 و 1 و 0 و 1 على التوالى .



شكل (6-28) التحويل من التوالى إلى التوازى

التحويل من التوازى إلى التوالى :

يمكن تحويل البيانات من شكل التوازى إلى شكل التوالى باستخدام مسجل إزاحة من نوع PISO، مكون من عدد من القلابات نوع-D مساويا لعدد البتات وكما هو مبين فى شكل (6-29) حيث تدخل البيانات من مدخل التوالى Parallel in، وتخرج من مخرج التوالى Serial out (وهو مخرج واحد) وهنا تمثل النهاية "تحكم الحمل" Load control والتى تسمح بدخول البتات إلى مداخل التوازى عندما تكون فى الحالة العالية HIGH ، فمثلا عند دخول البيان الثنائى 1001 على مداخل التوازى : Q_3 و Q_2 و Q_1 و Q_0، فبمجرد وصول نبضة الساعة الأولى، يصبح خرج القلابات : 1 و 0 و 0 و 1 على التوالى.



شكل (6-29) التحويل من التوازى إلى التوالى

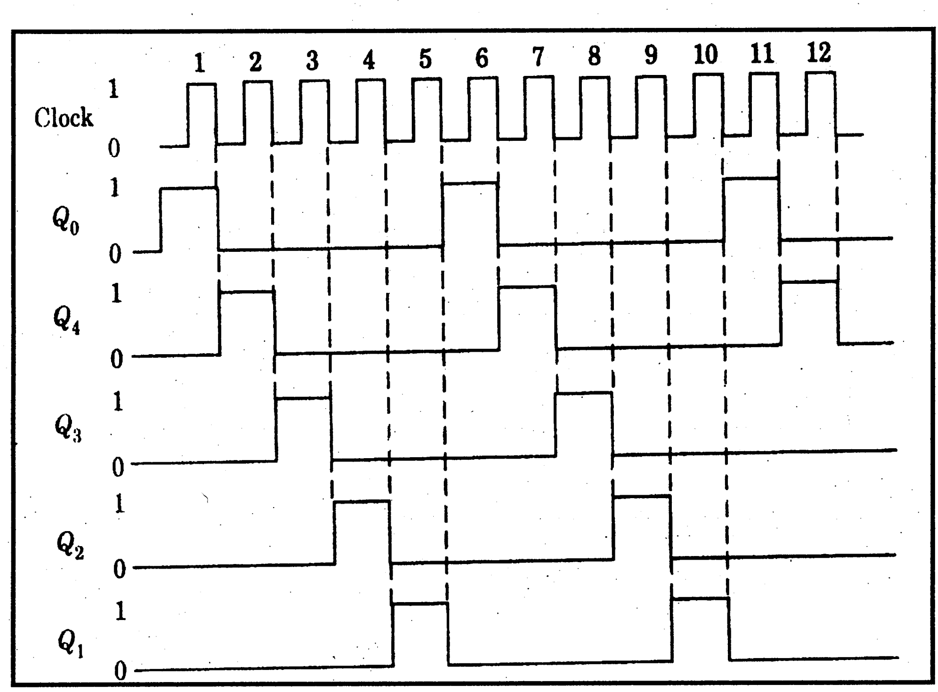
6-5-3 العداد الدائرى :

إذا تم توصيل خرج التوالى Q_0 فى مسجل الإزاحة الموجود فى شكل (6-25) عكسيا لدخل التوالى، عندئذ سنحصل على نبضة محقونة تظل دوارة Circulating، وتعرف هذه الدائرة بـــ "العداد الدائرى" Ring counter. ويتم حقن النبضة بإدخال: 00001 على شكل توازى بعد مسح القلابات ، فعند تطبيق نبضات الساعة ينتقل هذا 1 خلال الدائرة، ويبين شكل (6-30) أشكال الموجة عند المخارج Q.

وتكون الخروج نبضات تتابعية وغير متراكبة Non-overlapping، وهى ذات فائدة لعدادات حالة التحكم Control-state counters، والمحركات الخطوية Stepper

motors (أى الذى يتحرك فى خطوات) والتى تتطلب نبضات تتابعية لتدويرها من موضع للتالى.

ويمكن استخدام هذه الدائرة أيضا فى إحصاء عدد النبضات، ويمكن قراءة عدد النبضات بملاحظة أى قلاب يكون فى الحالة 1، بدون الحاجة إلى دائرة تفسير شفرة Decoding circuitry، ونظراً لوجود نبضة واحدة فى الخرج عند كل عدد من نبضات ساعة مقداره N، فإن هذه الدائرة تعرف بـــ "عداد قاسم على N" Divided-by-N counter .



شكل (6-32) أشكال الموجة لعداد الحلقة

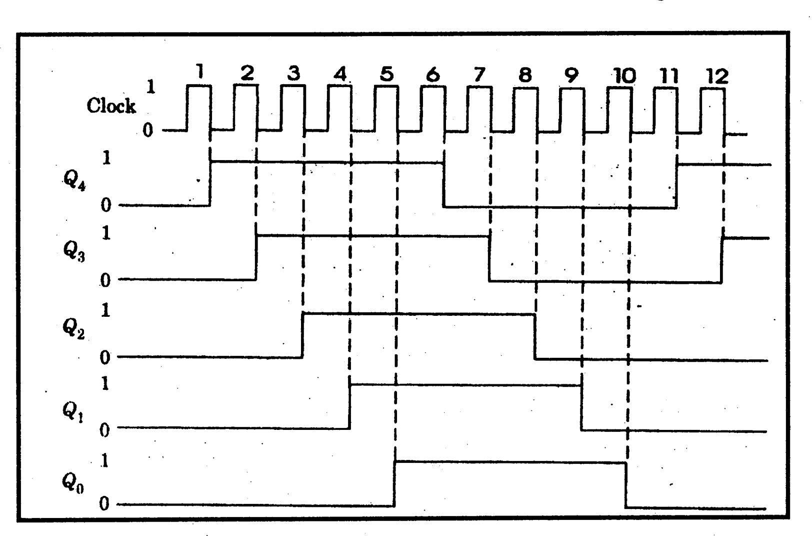
6-5-4 العداد الدائرى المجدول :

فى مسجل الإزاحة الموضح فى شكل (6-27)، إذا تم توصيل الخرج $\bar{Q}_0$ بدخل التوالى نحصل على دائرة تعرف بـــ "العداد الدائرى المجدول"Twisted-ring counter

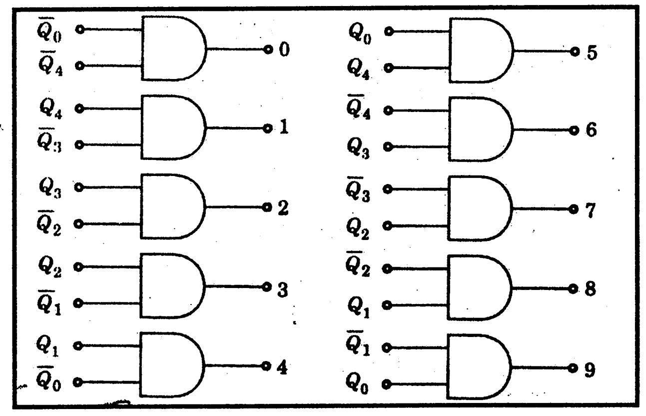
وبعد مسح القلابات وتطبيق نبضات الساعة نحصل على اشكال موجة مربعة Square Waveforms عند خروج Q كالموجودة فى شكل (6-32) .

وكما فى التتابع فى العداد الدائرى ، فإن هذا العداد ذو فائدة لعدادات حالة التحكم Control-state counters، وأيضا لتوليد نبضات الساعة المتعددة الوجه، كما أن هذا العداد بـــ "عداد قاسم على 2N " Divide-by-2N counter .

ولكشف العدد، فإنه يتطلب بوابات AND بمدخلين، ويبين شكل (6-34) دائرة كشف عداد لـــ 5 مراحل.



شكل (6-31) أشكال الموجة لعداد الحلقة الغير متزن



شكل (6-32) دائرة كشف لعداد 5 مراحل حلقة غير متزنة

6-5-5 مولد التعاقب Sequence generator:

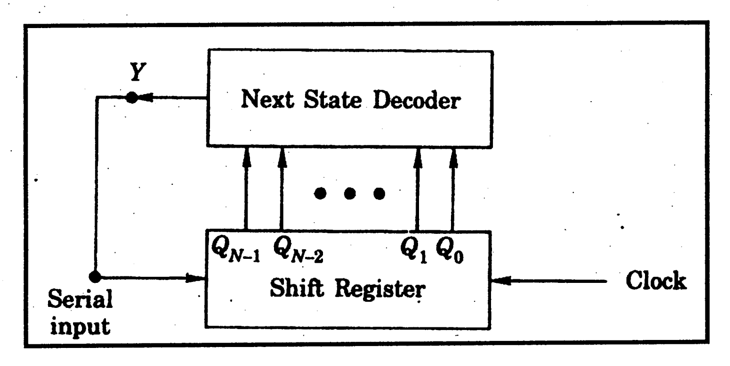
مولد التعاقب Sequence generator هى دائرة تقوم بتوليد تعاقب محدد من البتات يتزامن مع نبضات الساعة، ويمكن استخدم هذه المولدات فى الآتى:

1- العدادات Counters .

2- مولدات البتات العشوائية Random bit generators .

3- مولدات الشفرة Code generators.

ويبين شكل (6-33) التركيب الأساسى لمولد التعاقب .



شكل (6-33) التركيب الأساسى لمولد التعاقب

ويكون الخرج Y دالة فى الخروج: $Q_{N-1}Q_{N-2}\ldots Q_1 Q_0$، وهذا النظام يشبه العداد الدائرى ($Y = Q_0$)، أو العداد الدائرى المجدول ($Y=\bar{Q}_0$) والتى تعتبر حالات خاصة من مولد التعاقب، ويمكن توضيح تصميم الكاشف من المثال (6-4).

مثال (6-4) :

مطلوب تصميم مولد تعاقب لتوليد التعاقب ...1101011....

الحل :

تحدد العلاقة التالية أقل عدد من القلابات N المطلوبة لتوليد تعاقب طوله S:

$$S \leq 2^N - 1 \qquad (6\text{-}3)$$

وفى مثالنا هذا نجد أن: S = 7، ومن العلاقة السابقة فإن أقل عدد من القلابات المطلوبة لتحقيق هذا التعاقب هو: N = 3، إلا أن هذا ليس ضمانا كافياً يؤدى إلى الحل، فإذا أدى التتابع المعطى (...1101011...) إلى 7 حالات محددة، فإن 3 قلابات تكون كافية، وإلا فيكون من المحتم زيادة عددها ، فنكتب حالات الدائرة كما فى جدول (6-9) وفيه يظهر التتابع المقرر تحت Q_2، أما التتابعين الموجودين تحت Q_1 و Q_0 فهما يشابهان التتابع تحت Q_2 ولكنهما متأخران بنبضة ساعة للخرج Q_1، ونبضتين ساعة للخرج Q_0.

ومن الجدول نلاحظ أن كل الحالات غير محددة، وهذا يعنى ان عدد 3 قلابات غير كاف، وهنا نفرض عدد 4 قلابات والقيام بتجهيز جدول الحقيقة (6-10) لعدد 4 قلابات بنفس الطريقة التى تم فيها تجهيز جدول الحقيقة (6-9).

جدول (6-10)

عدد نبضات الساعة	خروج القلابات Q_2	Q_1	Q_0
1	1	1	1
2	1	1	1
3	0	1	1
4	1	0	1
5	0	1	0
6	1	0	1
7	1	1	0

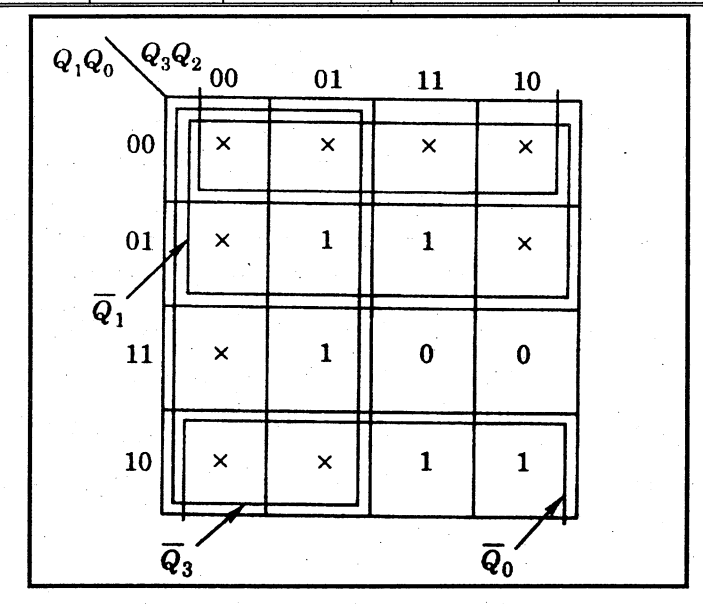
ويعطى العمود الأخير دخل التوالى Serial input المطلوب للحصول على التغير المطلوب فى الحالة عند تطبيق نبضة الساعة ، ويمكن الحصول على ذلك باستخدام قلابات نوع-D وملاحظة العمود Q_3، فمثلا عند الحافة الهابط لنبضة الساعة الأولى يكون الخرج: $Q_3 = 1$، وتكون نبضة الساعة الثانية التى تنتج: $Q_3 = 1$ لابد أن يكون دخل القلاب نوع-D لها مساويا: 1، وبنفس الطريقة يتم تحديد كل الدخول فى العمود Y.

ويبين شكل (6-34) خريطة K-map للجدول (6-11)، أما التعبير المبسط فيُعبر عنه بالعلاقة التالية:

$$Y = \overline{Q_3} + \overline{Q_1} + \overline{Q_0} \qquad (6-4)$$

جدول (6-11)

عدد نبضات الساعة	خروج القلابات				دخل توالى
	Q_3	Q_2	Q_1	Q_0	
1	1	1	1	1	1
2	1	1	1	1	0
3	0	1	1	1	1
4	1	0	1	1	0
5	0	1	0	1	1
6	1	0	1	0	1
7	1	1	0	1	1
1	1	1	1	0	1
2	1	1	1	1	0
3	0	1	1	1	1
*	1	0	1	1	0
*	0	1	0	1	1
*	1	0	1	0	1



شكل (6-34) خريطة K-map للجدول (6-11)

ومن هنا نرى أنه يمكن تصميم دائرة مولد التعاقب من عدد 4 مراحل من قلابات نوع-D ، بينما يمكن التعبير عن دائرة الكاشف بالعلاقة (6-4).

6-6 العدادات الغير متزامنة أو المتموجة :

تسمى الدائرة المستخدمة فى إحصاء النبضات بـــ "العداد" Counter .

وفى القسم السابق تم التعرف على نوعين من العدادات، وفيها وجدنا أن عدد الحالات States فى عداد دائرى بعدد N مراحل يكون مساويا: N وتعرف هذه العدادات بـــ "المعامل-N" Modulo N (أو القاسمة على N)، بينما تكون عدد الحالات فى عداد دائرى مجدول: 2N، وتعرف هذه العدادات بـــ "المعامل-2N" Modulo 2N (أو القاسمة على 2N)، وحيث يعبر N، أو 2N عن عدد الحالات للعداد.

وعند تطبيق النبضات المراد إحصاؤها على العداد، فإن هذه النبضات تأخذ فى التغير من حالة إلى حالة، حيث تقوم القلابات الموجودة فى دائرة العداد بكشف الخرج لقراءة العدد، ثم تعود الدائرة إلى حالة البدء بعد إحصاء نبضات عددها: N فى حالة العداد من نوع المعامل-N ونجد أن كلا النوعين من العدادات (الدائرى والدائرى المجدول) لايستغل القلابات بالفعالية الكافية، فلكل قلاب حالتين، ولهذا فإن عدد N من القلابات يحقق حالات عددها 2^N، أى أنه من الممكن عمل عداد من نوع "المعامل-2^N" باستخدام قلابات عددها N.

وأساساً يوجد نوعان من مثل هذه العدادات :

1- العدادات الغير متزامنة Asynchronous، أو ماتسمى بالعدادات المتموجة Ripple counters .

2- العدادات المتزامنة Synchronous .

وفى العدادات الغير متزامنة لا يتم توقيت جميع القلابات فى نفس الوقت، بينما تُوقت جميعاً فى نفس الوقت فى العدادات المتزامنة، وتعد العدادات الدائرية، والعدادات الدائرية المجدولة من أمثلة العدادات المتزامنة.

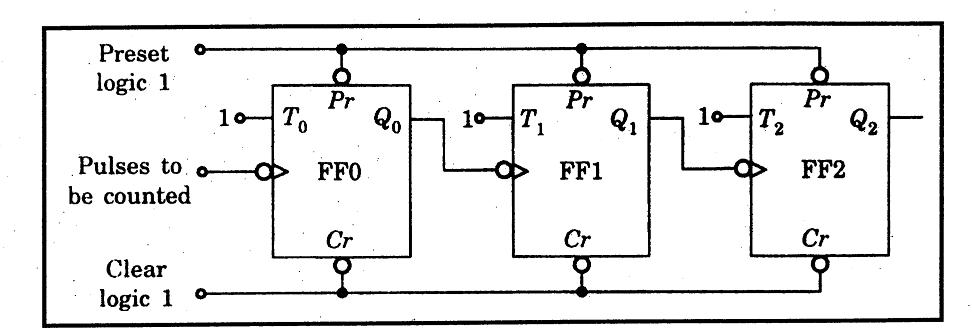
فإذا فرضنا أن الإحصاء المتعاقب Count sequence لعداد من 3-بت موجود فى جدول (6-11) ، فنجد أن عدد الحالات فى هذا التعاقب مساوياً: 8، ومن هنا نحتاج إلى عدد N قلاب يُحدد من العلاقة: ($8 = 2^N$)، ومنه يكون: ($N = 3$)، أى نحتاج لعدد 3 قلابات، وتكون Q_2 و Q_1 و Q_0 هى خروج هذه القلابات والتى يفترض أنها من نوع متبوع-تابع.



جدول (11-6)

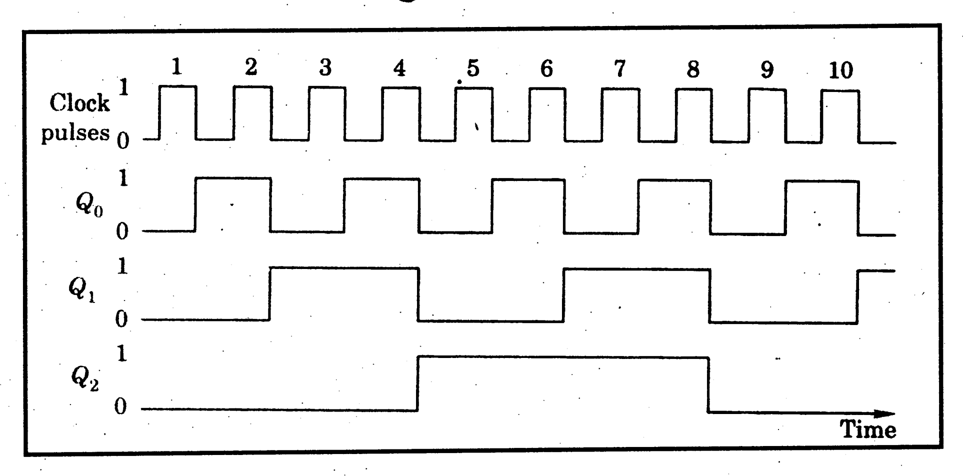
حالة العداد	العد		
	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

ونلاحظ من الجدول أن خرج قلاب التأثير الأدنى Q_0 يتغير مع كل نبضة ساعة، وهذا يمكن تحقيقة باستخدام قلاب نوع-T ومع: $T_0 = 1$، ونجد أن الخرج Q_1 يحدث له إنتقاله (أى يتغير من 0 إلى 1، أو يتغير من 1 إلى 0) عند أى تغير للخرج Q_0 من 1 إلى 0، ولهذا فعند توصيل الخرج Q_0 بدخل الساعة للقلاب نوع-T التالى (FF1)، وعند: $T_1 = 1$، فإن الخرج Q_1 يتغير متى تغير الخرج Q_0 من 1 إلى 0 (حافة الهبوط لنبضة الساعة)، بالمثل يتغير الخرج Q_2 عند أى تغير للخرج Q_1 من 1 إلى 0 وهذا يمكن تحقيقه بتوصيل الخرج Q_1 بدخل الساعة لقلاب التأثير الأعلى نوع-T التالى (FF2)، ومع: $T_2 = 1$، وفى النهاية نحصل على الدائرة الموضحة فى شكل (6-35).



شكل (9-35) دائرة عداد من 3 بت

كما يبين شكل (9-36) أشكال الموجة لخروج العداد.



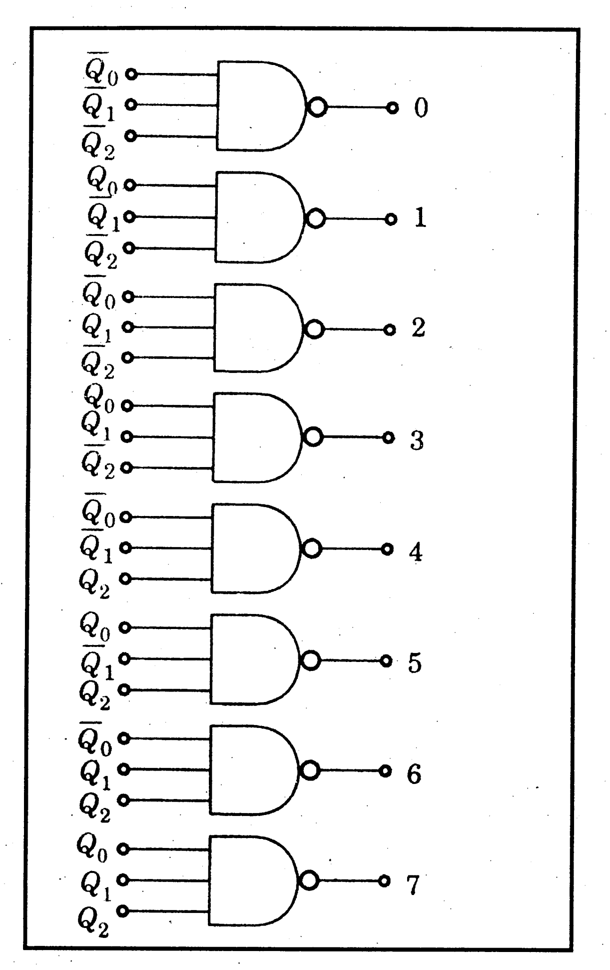
شكل (9-36) أشكال الموجة لخروج العداد

كما يبين شكل (9-37) دائرة الكشف لكشف الإحصاء، وفيه يكون الخرج المناظر للرقم المُحصى فعال منخفض (Active-low).

فى خرج الكاشف نجد نبضات كاذبة بمدى زمنى Duration قصير تسمى هذه النبضات بـــ "المدببات" Spikes ، ويحدث هذا عند تغير حالة قلابات العداد.

ويحدث هذا بسبب تأخير الإنتشار للقلابات مما يسبب فى عدم تغير حالة القلابات بدقة عند نفس الوقت، أو تتغير حالة قلاب واحد فقط عند أى نبضة ساعة ويمكن التخلص من هذه المشكلة باستخدام دخل نبضة وميض Strobe pulse input

والتى بواسطتها يحدث الكشف فقط عند وصول القلابات للحالة المستقرة Steady state.



شكل (6-37) دائرة الكاشف لعداد 3-بت ثنائى

ويمكن تحديد تردد نبضات الساعة اللازم للتشغيل السليم للعداد من العلاقة:

$$1/f \ge (N . t_d) + T_s \qquad (6-5)$$

حيث :

N : عدد القلابات.

t_d : تأخير الإنتشار للقلاب الواحد .

T_s : عرض نبضة الوميض .

مثال (6-5) :

فى عداد متموج مكون من 4 مراحل، إذا كان تأخير الإنتشار للقلاب الواحد: 50 ns وكان عرض نبضة الوميض: 30 ns، فإوجد أعلى تردد يلزم للتشغيل السليم للعداد.

الحل :

من العلاقة (6-5) يكون أقصى تردد مايلى :

$$f_{max} = 1/\{(4 \times 50 \times 10^{-9}) + (30 \times 10^{-9})\}$$
$$= (1/230) \times 10^{+9} = 4.35 \times 10^{+6}\ Hz = 4.35\ MHz$$

6-6-1 العدادات التصاعدية والتنازلية:

يتم الإحصاء فى العداد المبين فى شكل (6-35) فى الإتجاه التصاعدى، أى يزداد العدد العشرى المكافئ لخرج العداد عند تعاقب نبضات الساعة، ومن الممكن أيضاً عمل عداد يقل فيه العدد العشرى المكافئ لخرج العداد عند تعاقب نبضات الساعة، أى أن العداد يعمل فى الإتجاه التنازلى، ويعرف النوع الأول بالعداد التصاعدى UP Counter، بينما يعرف النوع الثانى بالعداد التنازلى DOWN Counter، ويمكن تصميم العداد ليحصى فى أى إتجاه حيث يعتمد الإتجاه على إتجاه دخل التحكم.

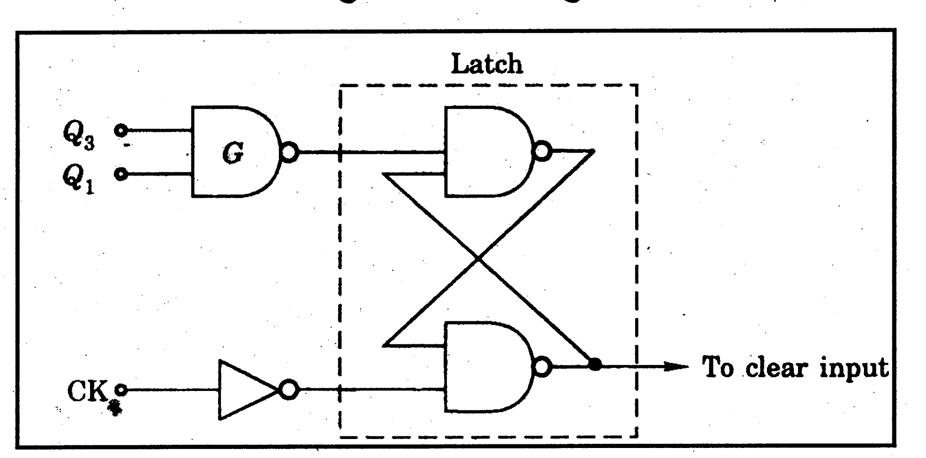
6-6-2 معامل العداد :

تعرف العدادات السابقة بالعدادات المتموجة، حيث أن النبضات المطبقة تتموج من مرحلة إلى مرحلة وهى تعد كما ذكرنا حتى n حيث: $n = 2^N$، فإذا أردنا الحصول على عداد يحصى m مثلا فنختار عدد القلابات من العلاقة (6-6) كأقل عدد من القلابات التى تحقق المعادلة:

$$m \le 2^N \qquad (6-6)$$

فمثلا إذا كانت عدد القلابات: (N = 4) فإن أى قيمة لـــ m تأخذ من 9 إلى 16، فإذا كـــانت (m = 16)، فيمكن تصميم الدائرة كما نوقش ذلك من قبل، أما إذا كانت m أقل من 16، وفرضاً = 10، فسيتم استخدام 10 حالات فقط من 16 حالة، بينما لن تستخدم الـــ 6 حالات الأخرى، وعلى العداد أن يصبح محرراً (أى ينتهى العد الطبيعى) بنهاية نبضة الساعة رقم 10، ويمكن تحقيق هذا بتوليد إشارة منطق 0 مباشرة بنهاية نبضة الساعة رقم 10، وتطبيقها على جميع دخول المسح Clear inputs للقلابات، وفى عداد العشرة Decade counter تستخدم الدائرة الموضح فى شكل (6-38) لتحرير العداد بعد نبضة الساعة رقم 10.

فعند نهاية نبضة الساعة رقم 10، ($Q_3 = Q_1 = 1$)، ومن ذلك يصبح خرج البوابة NAND (G): 0، مما يجعل خرج الماسك: 0 وهذا مايحرر العداد، ومن هنا نجد أن الماسك يستخدم لإبقاء خط المسح عند: 0 لحين مسح القلابين.



شكل (6-38) دائرة للحصول على عد 10 من عداد 16

6-6-3 سلاسل 54/74 للدوائر التكاملية للعدادات غير المتزامنة :

مما سبق تمت دراسة تصميم العدادات غير المتزامنة، وتتاح هذه العدادات فى الدوائر المتكاملة MSI والمبينة فى جدول (6-12) مع توضيح أهم ماتتميز به كل دائرة.

وتنقسم هذه المجموعة من الدوائر التكاملية كما هو موضح فى الجدول إلى 3 مجموعات رئيسة: A و B و C، كما أن جميع هذه الدوائر التكاملية مكونة من 4 قلابات من نوع المتبوع-التابع.

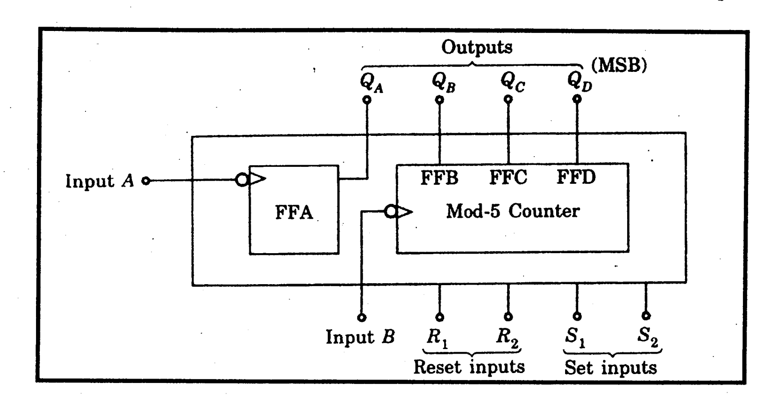
المجموعة A للدوائر التكاملية للعدادات الغير متزامنة :

ومن أهم مايميزها أنها عدادات إمساك وتحرير Set ,Reset counters، يبين شكل (6-39) التركيب الداخلى الأساسى للدائرة 7490، والمكونة من عدد 4 قلابات موصلة داخليا للحصول على عداد معامل-2 mod-2، وعداد معامل-5 mod-5، والذى يمكن عملهما منفصلين، أو مرتبطين ، ويعمل القلاب FFA كعداد mod-2، بينما ترتبط القلابات FFB وFFC وFFD لتعمل كعداد mod-5، ويمثل R_1 و R_2 مدخلى تحرير موصلين بمستوى منطق 1 لمسح جميع القلابات، كما يؤدى توصيل مدخلى الإمساك S_1، و S_2 بمستوى منطق 1 إلى إمساك العداد عند: 1001.

جدول (6-12)

المجموعة	الوصف	رقم الدائرة التكاملية
A	عداد BCD	7490 ، 74290
B	عداد قاسم على 12	7492
B	عداد ثنائى 4 بت	7493 ، 74293
C	عداد BCD قابل للتحرير Presettable	74196 ، 74176
C	عداد ثنائى 4 بت قابل للتحرير Presettable	74177 ، 74197
B	عداد عشرة مزدوج	74390
B	عداد ثنائى 4 بت مزدوج	74393
A	عداد BCD مزدوج	74490

أما الدائرة 74490 فهى تمثل عدادين BCD ولكنهما منفصلين، ويتكون كل منهما من 4 قلابات موصلة جميعا داخليا لتكوين عداد العشرة، كما أن لكل عداد مدخل الإمساك، ومدخل التحرير والموصلين بفعال عند المستوى العالى Active-high.



شكل (6-39) التركيب الداخلى الأساسى للدائرة 7490

مثال (6-6) :

فى الدائرة التكاملية 7490، إذا تم توصيل الخرج Q_A بالدخل B، مع تطبيق النبضات عند الدخل A، إوجد العد التتابعى، وأشكال الموجة عند الخروج Q,s.

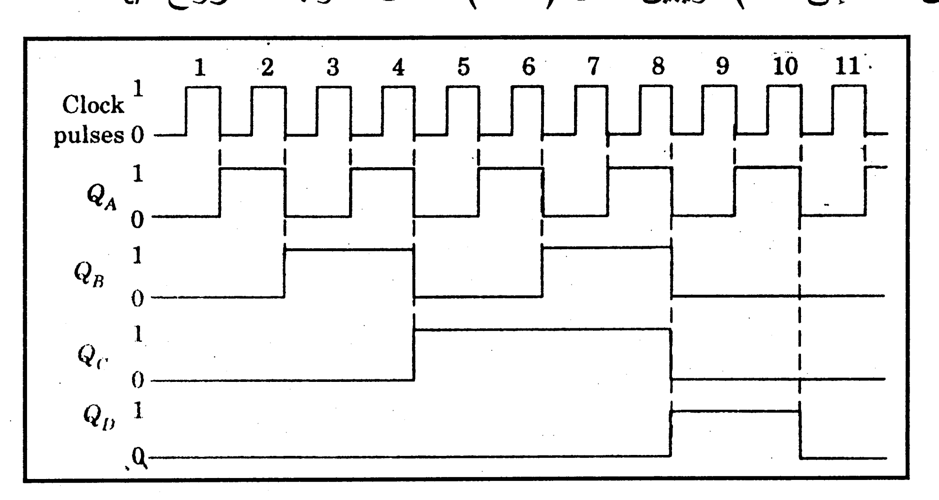
الحل :

بتوصيل الخرج Q_A بالدخلB، نحصل على العداد mod-2 متبوعاً بالعداد mod-5، ونحصل على العد التتابعى كما فى جدول (6-13).

جدول (6-13)

حالة العداد	خروج القلاب			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

ويلاحظ أنه عند تغير Q_A من 0 إلى 1، لاتتغير حالة العداد mod-5 (ففى الصفين الأولين يتغير Q_A من 0 إلى 1، وتظل حالة العداد 000)، بينما عند تغير Q_A من 1 إلى 0 تتغير حالة العداد mod-5 إلى الحالة التالية (عند تغير التتابع العددى من 5 إلى 6 يتغير Q_A من 0 إلى 1، وتتغير حالة العداد mod-5 من 010 إلى 011)، ويبين شكل (6-40) أشكال الموجة للخروج Q,s.



شكل (6-40) أشكال الموجة للخروج Q,s

مثال (6-7) :

فى الدائرة التكاملية 7490، إذا تم توصيل الخرج Q_D بالدخل A ويتم تطبيق النبضات عند الدخل B، إوجد العد التتابعى ، وأشكال الموجة عند الخروج Q,s.

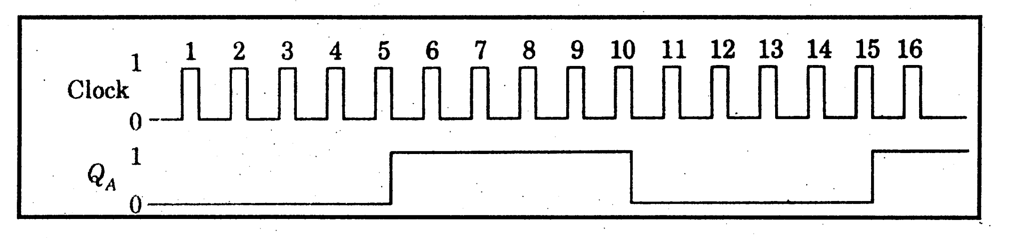
الحل :

بتوصيل الخرج Q_D بالدخل A وتطبيق النبضات عند الدخل B، نحصل على العداد mod-5 متبوعاً بالعداد mod-2، ونحصل على العد التتابعى كما فى جدول (6-14).

جدول (6-14)

حالة العداد	خروج القلاب			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	0	0	0	1
6	0	0	1	1
7	0	1	0	1
8	0	1	1	1
9	1	0	0	1
10	0	0	0	0

وهنا نجد أن حالات العداد mod-5 تتغير بطريقة تتابع طبيعية، بينما يتغير الخرج Q_A متى تغير Q_D من 1 إلى 0، ويبين شكل (6-41) أشكال الموجة للخرج Q_A وهى عبارة عن موجة مربعة Square wave.



شكل (6-41) أشكال الموجة للخرج Q_A

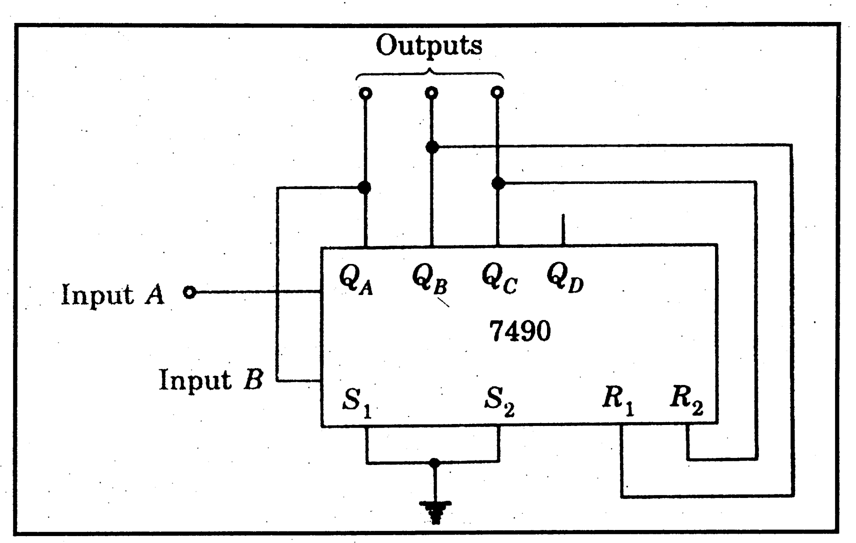
مثال (6-8) :

مطلوب تصميم عداد قاسم على 6، باستخدام الدائرة التكاملية 7490.

الحل :

يتم أولا توصيل العداد كعداد قاسم على 10 للعد الثنائى التتابعى العادى كما فى المثال (6-7)، ويتم توصيل المخارج Q_B و Q_C بمداخل الإمساك R_1 وR_2، فبمجرد

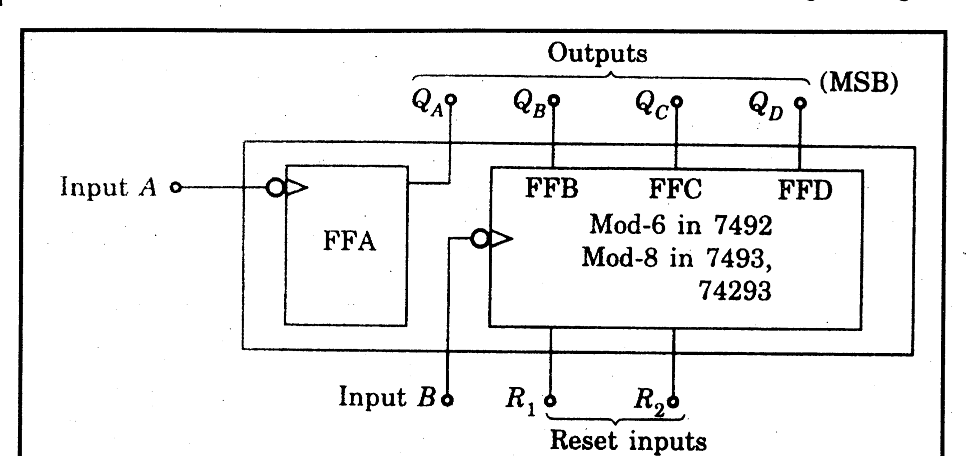
وصول كلا الخرجين Q_B وQ_C إلى 1، يتحرر العداد ويصبح 000، ويبين شكل (6-42) العداد المتموج القاسم على 6.



شكل (6-42) العداد المتموج القاسم على 6

المجموعة B للدوائر التكاملية للعدادات الغير متزامنة :

ومن أهم مايميزها أنها عدادات إمساك Set counters، ويبين شكل (6-43) التركيب الداخلى الأساسى للدوائر 7492 و7493 و74293، وهى تماثل فى عملها الدائرة 7490 فيما عدا انه لا يتم تحرير مداخل الإمساك، كما أن العداد mod-6 لايقوم بالعد بتتابع ثنائى مباشر، ويبين جدول (6-14) تتابع العداد mod-6، ولاتستخدم هذه الدوائر المتكاملة كعدادات، وإنما تستخدم كمقسمات تردد Frequency division، أما الدائرة 74390 فهى تمثل عدادين BCD، ولكنهما منفصلين (مثل الدائرة 74490 فى المجموعة A) ولكل عداد مدخل إمساك، أما العداد 74393 فهو عداد ثنائى 4 بت مزدوج بمدخل تحرير واحد لكل عداد بفعال-عالى Active-high.



شكل (6-43) التركيب الداخلى الأساسى للدوائر 7492 ، و 7493 ، و 74293

جدول (6-15)

Q_D	Q_C	Q_B
0	0	0
0	0	1
0	1	0
1	0	0
1	0	1
1	1	0

مثال (6-9) :

فى العداد قاسم على 12 للدائرة التكاملية 7492، إذا تم توصيل الخرج Q_A بالدخل B ، وتم تطبيق النبضات عند الدخل A، إوجد العد التتابعى.

الحل:

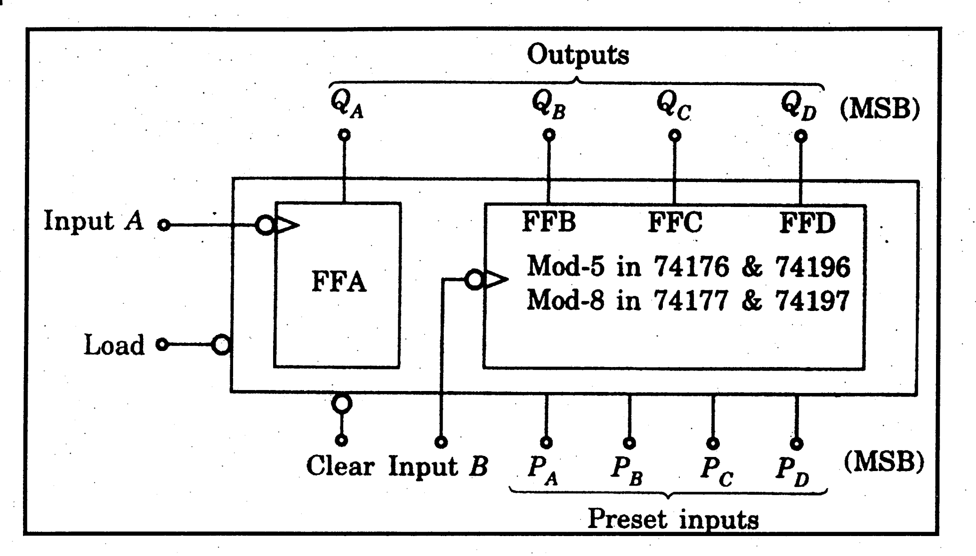
يبين جدول (6-16) العد التتابعى، ومنه يمكن ملاحظة حدوث قسمة متزامنة على 2 عند الخرج Q_A، وعلى 6 عند الخرج Q_C، وعلى 12 عند الخرج Q_D.

جدول (6-16)

Q_D	Q_C	Q_B	Q_A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1

المجموعة C للدوائر التكاملية للعدادات الغير متزامنة :

ومن اهم مايميزها أنها عدادات تحرير وحمل Reset , load counters، ويبين شكل (6-44) التركيب الداخلى الأساسى للدوائر التكاملية لهذه المجموعة. وكل من الدائرتين 74176 و74196 عبارة عن عداد BCD الفرق الوحيد بينهما يكون فى أقصى تردد الساعة الذى يعمل عندها كلاهما، وهو نفس الفرق الذى يفرق بين الدائرتين 74177 و74197 وكلاهما عبارة عن عداد ثنائى 4 بت، وهذان القسمان ماهما إلا إصدارين لعدادات من نوع القابلة للتحرير Presettable للعدادين 7490 و7493 على التوالى، وفيها يتم مسح العداد بتوصيل منطق 0 على دخل المسح (فعال-سالب Active-low)، وتقف عملية العد عند إمساك دخل الحمل Load input عند منطق 0 ودخل المسح عند المنطق 1، وعندها يتحمل Loaded أى رقم ثنائى موجود عند مداخل التحرير إلى داخل العداد.



شكل (6-44) التركيب الداخلى الأساسى للدوائر التكاملية للمجموعة C

ولإجراء عملية عد طبيعى صاعد UP، يلزم توصيل مدخلى الحمل والمسح للمنطق 1.

ويمكن استخدام العداد الثنائى 4 بت كأى عداد متغير mod-n حيث يصل العد إلى (P – 15)، حيث P عدد ثنائى موصل لمداخل التحرير، وبكلام آخر عند تصميم عداد mod-n ، تكون قيمة P مساوية: (15- n)، وعند وصول العداد للعدد: 1111، فيجب أن يُحَمَّل العداد ثانية، وهذا ممكن بتوصيل بوابة NAND بـــ 4 مداخل بين المخارج Q,s ودخل الحمل.

مثال (6-10) :

مطلوب تصميم عداد قاسم على 12 باستخدام الدائرة التكاملية 74177 .

الحل :

دائرة عداد قاسم على 12 باستخدام الدائرة التكاملية 74177، مبينة فى شكل (6-45)، فبمجرد وصول الخروج إلى 1111 ، يُحَمَّل العداد بـــ P، حيث:

P = 1111 – 1100 = 0011

شكل (6-45) دائرة عداد قاسم على 12 باستخدام الدائرة التكاملية 74177

تتالى الدوائر التكاملية للعدادات المتموجة :

يمكن الحصول على أى دورة طول Cycle length من العدادات المتموجة بعمل تتالى Cascading للدوائر التكاملية التى تمت مناقشتها مسبقاً، ويتم كشف هذا الطول مع استخدامه لتحرير كل العدادات إلى 0 (لابد من استخدام نبضة الوميض لإزالة البيانات الكاذبة False data).

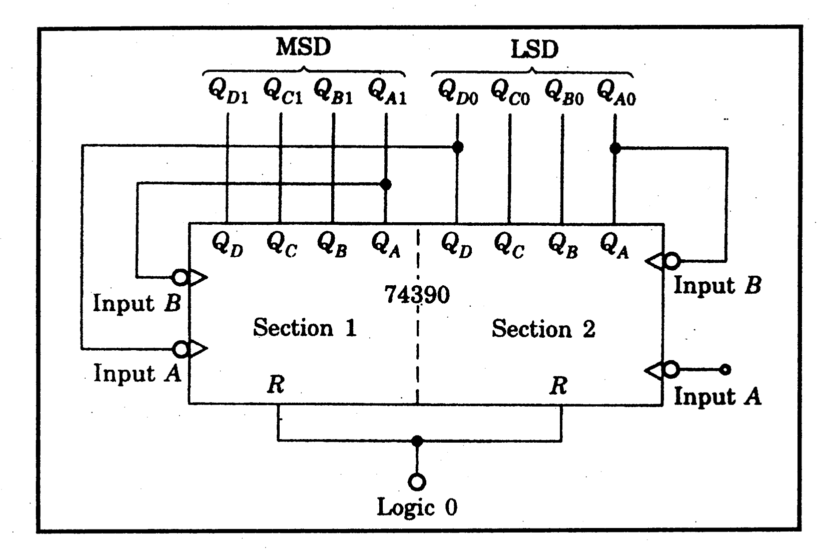
ويكون ترتيب التوالى لجميع الدوائر التكاملية للعدادات الغير متزامنة متطابقاً حيث يذهب خرج المرحلة السابقة Q_D إلى نهاية طرف دخل نبضة الساعة للمرحلة التالية، مع توصيل جميع مداخل الحمل والتحرير للدائرة ببعضها.

مثال (6-11) :

مطلوب تصميم تتالى لعدادين BCD باستخدام الدائرة المتكاملة 74390.

الحل :

من المعروف أن الدائرة التكاملية 74390 عبارة عن عداد مزدوج BCD، ولهذا تستخدم دائرة متكاملة واحدة لتصميم تتالى لعدادين BCD، وكما هو مبين فى شكل (6-46) .



شكل (6-46) تتالى لعدادين BCD باستخدام دائرة متكاملة 74390

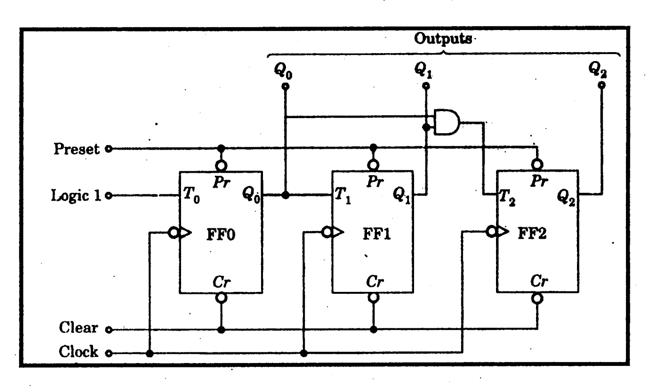
6-7 العدادات المتزامنة :

تتميز العدادات الغير متزامنة –التى تمت مناقشتها– بالبساطة (حيث تستخدم القلابات فقط)، إلا أنها تكون ذات سرعات بطيئة بسبب فعل التموج Ripple action، فعندما يتحول الخرج من 1.....111 إلى 0.....000، فإن ذلك يحتاج لأقصى وقت، وهذا يقيد أو يحدد ترددات تشغيلها.

ويمكن تحسين سرعات التشغيل بحيث تعمل كل القلابات فى توقيت واحد، ويؤدى ذلك إلى حصولنا على مايسمى بـــ "العدادات المتزامنة" Synchronous counters .

ويمكن تصميم هذه العدادات بأى تتابع عددى (لايحتاج لأن يكون ثنائى مباشر)، وقبل التصدى لطرق تصميمها فسوف نمعن فى الطريقة البديهية.

وبالرجوع إلى العد التتابعى الموجود فى جدول (6-11)، نجد أن خرج قلاب التأثير الأدنى Q_0 يتغير مع كل نبضة ساعة، وهذا يمكن تحقيقة باستخدام قلاب نوع-T ومع: $T_0 = 1$، ونجد أن الخرج Q_1 يتغير عند أى تغير للخرج Q_0 من 1 إلى 0 ، ولهذا فعند توصيل الخرج Q_0 بالدخل T_1 للقلاب التالى (FF1)، فإن الخرج Q_1 سيتغير (من 1 إلى 0 أو من 0 إلى 1) عندما يكون: $Q_0 = 1$ (أى: $T_1 = 1$)، وسيظل هذا الخرج Q_1 غير متأثر عند: ($Q_0 = T_1 = 1$)، بالمثل يلاحظ من الجدول أن الخرج Q_2 يتغير عندما يصبح كلا من: Q_1، و Q_0 مساويا: 1، وهذا يمكن تحقيقه بجعل الدخل T_2 لقلاب التأثير الأعلى (FF2) مساويا:(Q_0, Q_1)، وفى النهاية نحصل على الدائرة الموضحة فى شكل (6-47).



شكل (6-47) عداد 3-بت متزامن

6-7-1 تصميم العدادات المتزامنة :

يمكن تصميم العدادات المتزامنة باى إحصاء عددى ومعامل Modulus بالطريقة التالية:

1- باستخدام المعادلة (6-6)، يتم حساب عدد القلابات.

2- بشكل جدولى مشابه لجدول (6-11)، يتم كتابة التتابع العددى.

3- تحديد مداخل القلاب المفروض وجودها لتنفيذ الحالة المرغوبة التالية بعد الحالة الحالية، باستخدام جدول الإثارة للقلاب، أى جدول (6-6).

4- تجهيز خريطة كارنوف لكل دخل قلاب بدلالة المخارج ومتغيرات الدخل Input variables، ثم تبسيط الخرائط والحصول على التعبيرات المختصرة.

5- توصيل الدائرة باستخدام القلابات والبوابات الأخرى والمحققة للتعبيرات المختصرة. ويمكن فهم الخطوات السابقة جيدا من الأمثلة التالية .

مثال (6-12) :

مطلوب تصميم عداد تزامن 3-بت باستخدام قلابات J-K.

الحل :

يكون عدد القلابات المطلوبة 3، ونفرض أنها: FF0 و FF1 و FF2، ونفرض أن مداخلها، ومخارجها كالتالى:

القلاب	المداخل	الخرج
FF0	J_0 , K_0	Q_0
FF1	J_1 , K_1	Q_1
FF2	J_2 , K_2	Q_2

ويبين جدول (6-17) العد التتابعى، والدخول المطلوبة للقلابات .

جدول (6-17)

حالة العداد			دخول القلابات					
			FF0		FF1		FF1	
Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	1	X	0	X	0	X
0	0	1	X	1	1	X	0	X
0	1	0	1	X	X	0	0	X
0	1	1	X	1	X	1	1	X
1	0	0	1	X	0	X	X	0
1	0	1	X	1	1	X	X	0
1	1	0	1	X	X	0	X	0
1	1	1	X	1	X	1	X	1
0	0	0						

ويتم تحديد مداخل القلابات بالوسيلة التالية :

بالنظر إلى الأعمدة (Q_2 , Q_1 , Q_0) لحالة العداد Counter state والتركيز فى أحد هذه الأعمدة ككل ومبتدئين من أول صف من العمود، ولنختار العمود Q_0، فقبل اول

نبضة، كان: $Q_0 = 0$، ومطلوب أن يصبح: 1 عند نهاية نبضة الساعة الأولى، ومن هنا ولتحقيق هذا الشرط، يجب أن تكون قيم J_0 و K_0 للقلاب FF0 (طبقاً لجدول الإثارة – الصف الثانى) هى: 1 و X على التوالى، فيتم إدخالها فى الجدول فى كل الصفوف المناظرة للنبضة 0 للقلاب FF0، وايضا مطلوب أن يصبح الخرج: Q_0 عند نهاية النبضة الثانية مساوياً: 0، ولتحقيق هذا الشرط ، يجب أن تكون قيم J_0 و K_0 للقلاب FF0 (طبقاً لجدول الإثارة – الصف الثانى) هى: X و1 على التوالى، فيتم إدخالها فى الجدول فى كل الصفوف المناظرة للنبضة 1 للقلاب FF0، وبنفس الأسلوب يتم تطبيق ما سبق على العمودين Q_1 و Q_2، وإدخال القيم J_1 و K_1 للقلاب FF1 ، والقيم J_2 و K_2 للقلاب FF2 .

يتم تجهيز خرائط كارنوف باعتبار: Q_2 و Q_1 و Q_0 متغيرات دخل، ومداخل القلابات كمتغيرات خرج كما هو موضح فى شكل (6-48).

(a) $J_0 = 1$

Q_0 \ Q_2Q_1	00	01	11	10
0	1	1	1	1
1	×	×	×	×

(b) $K_0 = 1$

Q_0 \ Q_2Q_1	00	01	11	10
0	×	×	×	×
1	1	1	1	1

(c) $J_1 = Q_0$

Q_0 \ Q_2Q_1	00	01	11	10
0	0	×	×	0
1	1	×	×	1

(d) $K_1 = Q_0$

Q_0 \ Q_2Q_1	00	01	11	10
0	×	0	0	×
1	×	1	1	×

(e) $J_2 = Q_0Q_1$

Q_0 \ Q_2Q_1	00	01	11	10
0	0	0	×	×
1	0	1	×	×

(f) $K_2 = Q_0Q_1$

Q_0 \ Q_2Q_1	00	01	11	10
0	×	×	0	0
1	×	×	1	0

شكل (6-48) خرائط K-maps للمثال (6-13)

من خرائط كارانوف نحصل على التعبيرات المختصرة كالآتى :

$J_0 = 1 , \quad K_0 = 1$

$J_1 = Q_0 , \quad K_1 = Q_0$

$J_2 = Q_0 Q_1 , \quad K_2 = Q_0 Q_1$

وتكون دائرة العداد الناتجة مثل دائرة الشكل (6-47) .

مثال (6-13) :

مطلوب تصميم عداد ثنائى 3-بت صاعد/نازل بتحكم إتجاه M ، مستخدما قلابات J-K .

الحل :

يبين جدول (6-18) التتابع العددى، ويعمل العداد كعداد صاعد عندما يكون تحكم الإتجاه: (M = 0)، بينما يعمل كعداد هابط عندما يكون تحكم الإتجاه: (M = 1)، ويكون عدد القلابات المطلوبة: 3، كما يتم تحديد مداخلها بنفس الأسلوب المستخدم فى المثال السابق .

جدول (6-18)

إتجاه التحكم	حالة العداد			دخول القلابات					
M	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	1	X	0	X	0	X
0	0	0	1	X	1	1	X	0	X
0	0	1	0	1	X	X	0	0	X
0	0	1	1	X	1	X	1	1	X
0	1	0	0	1	X	0	X	X	0
0	1	0	1	X	1	1	X	X	0
0	1	1	0	1	X	X	0	X	0
0	1	1	1	X	1	X	1	X	1
1	0	0	0	1	X	1	X	1	X
1	1	1	1	X	1	X	0	X	0
1	1	1	0	1	X	X	1	X	0
1	1	0	1	X	1	0	X	X	0
1	1	0	0	1	X	1	X	X	1
1	0	1	1	X	1	X	0	0	X
1	0	1	0	1	X	X	1	0	X
1	0	0	1	X	1	0	X	0	X
	0	0	0						

ومن الجدول نجد أن :

$J_0 = K_0 = 1$

ويبين شكل (6-49) خرائط K-maps للدخول : J_1 و K_1 و J_2 و K_2 .

J_1

Q_1Q_0 \ MQ_2	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	×	×	×	×
10	×	×	×	×

K_1

Q_1Q_0 \ MQ_2	00	01	11	10
00	×	×	×	×
01	×	×	×	×
11	1	1	0	0
10	0	0	1	1

J_2

Q_1Q_0 \ MQ_2	00	01	11	10
00	0	×	×	1
01	0	×	×	0
11	1	×	×	0
10	0	×	×	0

K_2

Q_1Q_0 \ MQ_2	00	01	11	10
00	×	0	1	×
01	×	0	0	×
11	×	1	0	×
10	×	0	0	×

شكل (6-49) خرائط K-maps للمثال (6-13)

ومن خرائط كارنوف نحصل على التعبيرات المختصرة كالآتى :

$$J_1 = K_1 = Q_0\overline{M} + \overline{Q}_0 M$$

$$J_2 = K_2 = \overline{M}\, Q_1 Q_0 + M\, \overline{Q}_1 \overline{Q}_0$$

ويمكن رسم دائرة العداد باستخدام التعبيرات عاليه .

مثال (6-14) :

مطلوب تصميم عداد عشرة تصاعدى مستخدما قلابات J-K .

الحل :

من المعروف ان عداد العشرة له 10 حالات، مما يستدعى استخدام 10 قلابات، وتكون الحالات الستة الباقية غير مستخدمة، ويوضح جدول (6-19) التتابع العددى، وكذلك مداخل القلابات.

جدول (6-19)

حالة العداد				دخول القلابات							
Q_3	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2	J_3	K_3
0	0	0	0	1	X	0	X	0	X	0	X
0	0	0	1	X	1	1	X	0	X	0	X
0	0	1	0	1	X	X	0	0	X	0	X
0	0	1	1	X	1	X	1	1	X	0	X
0	1	0	0	1	X	0	X	X	0	0	X
0	1	0	1	X	1	1	X	X	0	0	X
0	1	1	0	1	X	X	0	X	0	0	X
0	1	1	1	X	1	X	1	X	1	1	X
1	0	0	0	1	X	0	X	0	X	X	0
1	0	0	1	X	1	0	X	0	X	X	1
0	0	0	0								

ويبين شكل (6-50) خرائط كارنوف للدخول : J_0 و K_0 و J_1 و K_1 و J_2 و K_2 و J_3 و K_3.

J_0

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	1	1	×	1
01	×	×	×	×
11	×	×	×	×
10	1	1	×	×

K_0

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	×	×	×	×
01	1	1	×	1
11	1	1	×	×
10	×	×	×	×

J_1

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	0	0	×	0
01	1	1	0	0
11	×	×	×	×
10	×	×	×	×

K_1

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	×	×	×	×
01	×	×	×	×
11	1	1	×	×
10	0	0	×	×

J_2

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	0	×	×	0
01	0	×	×	0
11	1	×	×	×
10	0	×	×	×

K_2

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	×	0	×	×
01	×	0	×	×
11	×	1	×	×
10	×	0	×	×

J_3

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	0	0	×	×
01	0	0	×	×
11	0	1	×	×
10	0	0	×	×

K_3

Q_1Q_0 \ Q_3Q_2	00	01	11	10
00	×	×	×	0
01	×	×	×	1
11	×	×	×	×
10	×	×	×	×

شكل (6-50) خرائط K-maps للمثال (6-15)

من خرائط كارنوف نحصل على التعبيرات المختصرة كالآتى:

$J_0 = 1$, $K_0 = 1$

$J_1 = Q_0 \overline{Q_3}$, $K_1 = Q_0$

$J_2 = Q_0 Q_1$, $K_2 = Q_0 Q_1$

$J_3 = Q_0 Q_1 Q_2$, $K_3 = Q_0$

ويمكن رسم دائرة العداد باستخدام التعبيرات عاليه .

6-7-2 الغلق Lock out :

فى العداد المُوصف فى جدول (6-19)، نجد أن الحالات المنطقية: $Q_3 Q_2 Q_1 Q_0$ الستة والغير مستخدمة هى: 1010 و 1011 و 1100 و 1101 و 1110 و 1111، ولكن وبطريق المصادفة يمكن أن يتواجد العداد فى أحد هذه الحالات، ولايمكن معرفة الحالة التالية، كما يمكن أن يذهب العداد من حالة غير مستخدمة إلى حالة أخرى غير مستخدمة، ولايمكن وصوله إلى حالة من الحالات المستخدمة، وهنا يكون العداد غير ذى فائدة فى تأدية الغرض المراد منه، ويقال عن العداد الذى تتخذ حالاته الغير مستخدمة هذا الظهور من أنه يعانى الغلق Lock out.

وللتأكد من أنه عند نقطة البدء يكون العداد فى حالته الإبتدائية، أو يأتى لحالته الإبتدائية فى خلال دورات ساعة قليلة (لحدوث خطأ فى العد بسبب وجود ضوضاء ما)، يتم التذود بدائرة منطقية خارجية .

وللتأكد من عدم حدوث القفل، يتم تصميم العداد مفترضين أن الحالة التالية تكون هى الحالة الإبتدائية من كل حالة من الحالات الغير مستخدمة، وبعد ذلك تستمر خطوات التصميم كما تم مناقشته مسبقا.

6-7-3 سلاسل 54/74 للدوائر المتكاملة للعدادات المتزامنة :

مما سبق تمت دراسة طريقة تصميم العدادات المتزامنة باستخدام القلابات، وبهذه الطرق يمكن تصميم العدادات بأى إحصاء عددى ومعامل، وتتاح بعض هذه العدادات فى الدوائر المتكاملة MSI، وهى مبينة فى جدول (6-20) مع توضيح أهم

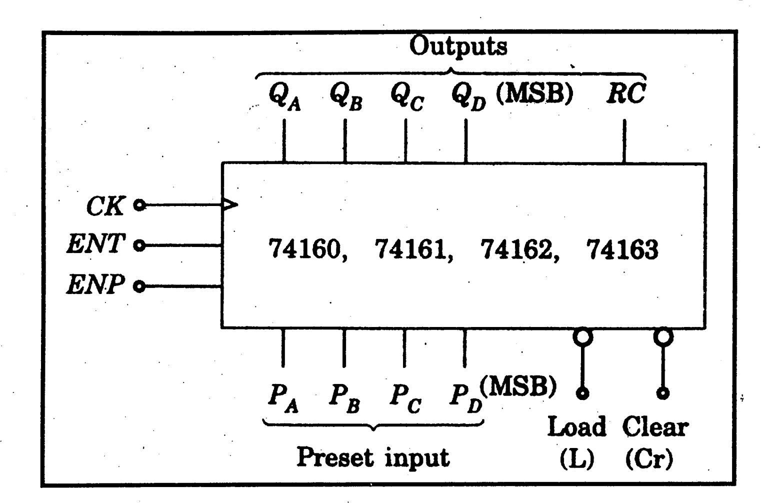
ماتتميز به كل دائرة، ومع العلم بأن كل هذه الدوائر المتكاملة من النوع ذات الإشعال بالحافة الموجبة Positive-edge-triggered، أى أن تغيير الحالة والتحميل المتزامن وكذلك المسح يحدث عند الحافة الذاهبة الموجبة لدخل نبضة الساعة، كما أن هذه الدوائر تُقسم أساسياً إلى 4 مجموعات: A وB وC وD، وسوف نناقش ملخص/ لكل من هذه المجموعات.

جدول (6-20)

رقم الدائرة	الوصف	أهم مايميزها	المجموعة
74160	عداد عشرة صاعد	Preset تزامنى ، ومسح غير تزامنى	A
74161	عداد ثنائى صاعد 4-بت	Preset تزامنى ، ومسح غير تزامنى	A
74162	عداد عشرة صاعد	Preset ومسح تزامنى	A
74163	عداد ثنائى صاعد 4-بت	Preset ومسح تزامنى	A
74168	عداد عشرة صاعد/نازل	Preset تزامنى ، وبدون مسح	B
74169	عداد ثنائى صاعد/نازل 4-بت	Preset تزامنى ، وبدون مسح	B
74100	عداد عشرة صاعد/نازل	Preset غير تزامنى ، وبدون مسح	C
74191	عداد ثنائى صاعد/نازل 4-بت	Preset غير تزامنى ، وبدون مسح	C
74192	عداد عشرة صاعد/نازل	Preset غير تزامنى ، ومسح	D
74193	عداد ثنائى صاعد/نازل 4-بت	Preset غير تزامنى ، ومسح	D

المجموعة A للدوائر التكاملية للعدادات المتزامنة :

يبين شكل (6-51-a) المخطط الوظيفى لهذه الدوائر التكاملية، كما يبين شكل (6-51-b) الجدول الوظيفى، حيث يوجد لهذه الدوائر دخلى تمكين Enable منفصلين ENT وENP، وبإمساك أى من هذين الدخلين عند المنطق 0، يتوقف العد بغير تزامن، وعادة يكون الخرج RC (محمول متموج Ripple carry) عند المنطق: 0 إلا أنه يتغير للمنطق 1 متى وصل العداد لأقصى عد له (1001 للعدادات BCD، و1111 للعدادات الثنائية 4-بت)، كما أن إمساك دخل التمكين ENT عند 0 يمنع تغير الخرج RC من المنطق 0 إلى المنطق 1.



شكل (6-51-a) المخطط الوظيفى للمجموعة A للدوائر التكاملية للعدادات المتزامنة

الحالة	CK	Cr	ENT	ENP	الحمل L
Preset	↑	1	X	X	0
توقف العد	X	1	1	0	1
توقف العد ، وRC غير متمكن	X	1	0	X	1
تحرير إلى الصفر	*	0	X	X	X
عد صاعد	↑	1	1	1	1

شكل (6-51-b) الجدول الوظيفى للمجموعة A للدوائر التكاملية للعدادات المتزامنة

* تعنى X للدوائر 74160، و 74161 وتعنى ↑ للدوائر 74162، و 74163.

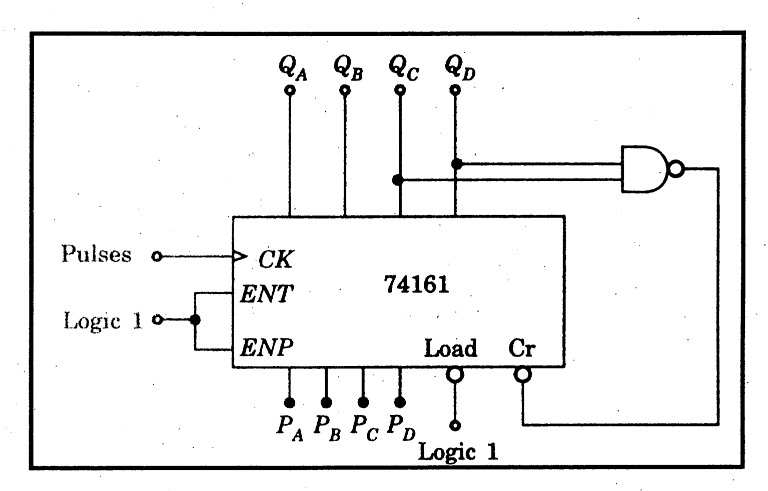
مثال (6-15) :

مطلوب تصميم عداد معامل -12 mod-12 باستخدام الدائرة التكاملية 74161 .

الحل :

الدائرة المطلوب استخدامها هى لعداد ثنائى صاعد 4-بت، كما أن مواصفاتها تدخل ضمن الصف الأخير من الجدول الوظيفى (6-51-b)، ويتم توصيل الخرجين

Q_D و Q_C من خلال بوابة NAND بطرف المسح C_r، والذى يمسح العداد بمجرد وصول الخرج إلى 1100، وتكون حالات العداد من 0000 إلى 1011، ويبين شكل (6-52) العداد mod-12.



شكل (6-52) عداد mod-12

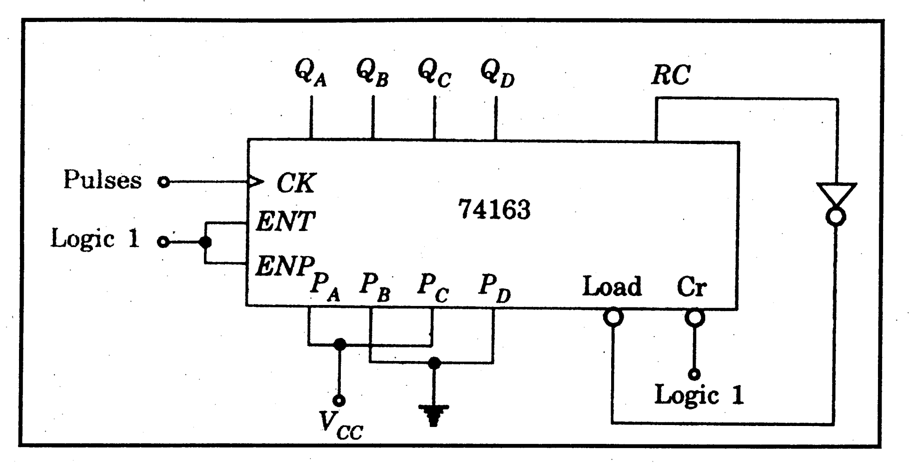
ومن المثال السابق، نجد انه يمكن إيقاف العد عند أى عدد، ويمكن الحصول على أى عداد بأى معامل (حتى أقل من 16 للعداد الثنائى، وحتى أقل من 10 لعداد العشرة)

مثال (6-16) :

مطلوب تصميم عداد قاسم-على-11 Divide-by-11 باستخدام الدائرة 74163، مستغلا الخرج RC ودخول التحضير المسبقة Preset inputs.

الحل :

للحصول على عداد قاسم-على-11، يُحضر العداد مسبقاً Preset عند العدد الثنائى 0101 (عدد عشرى 5)، وعند وصول العد إلى 1111 يتغير الخرج RC إلى المنطق 1، والذى يستخدم لتحميل البيانات الموجودة عند دخول التحضير المسبقة Preset inputs إلى داخل العداد ، ويبين شكل (6-53) دائرة العداد المطلوب.



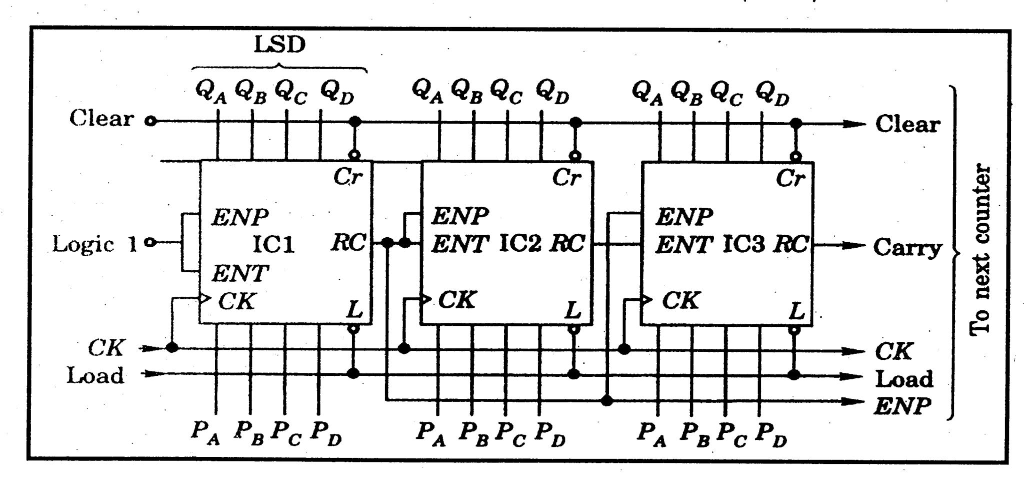
شكل (6-53) دائرة عداد **Divide-by-11** للمثال (6-17)

وعامة وللحصول على عداد قاسم-على-m Divide-by-m، فإن دخل التحضير المسبق P يحسب من العلاقة:

فللعداد الثنائى 4-بت : $P = 16 - m$

ولعداد العشـــــرة : $P = 10 - m$

ويبين شكل (6-54) تتالى لعدادات من المجموعة A فى حالة إتزان تامة.



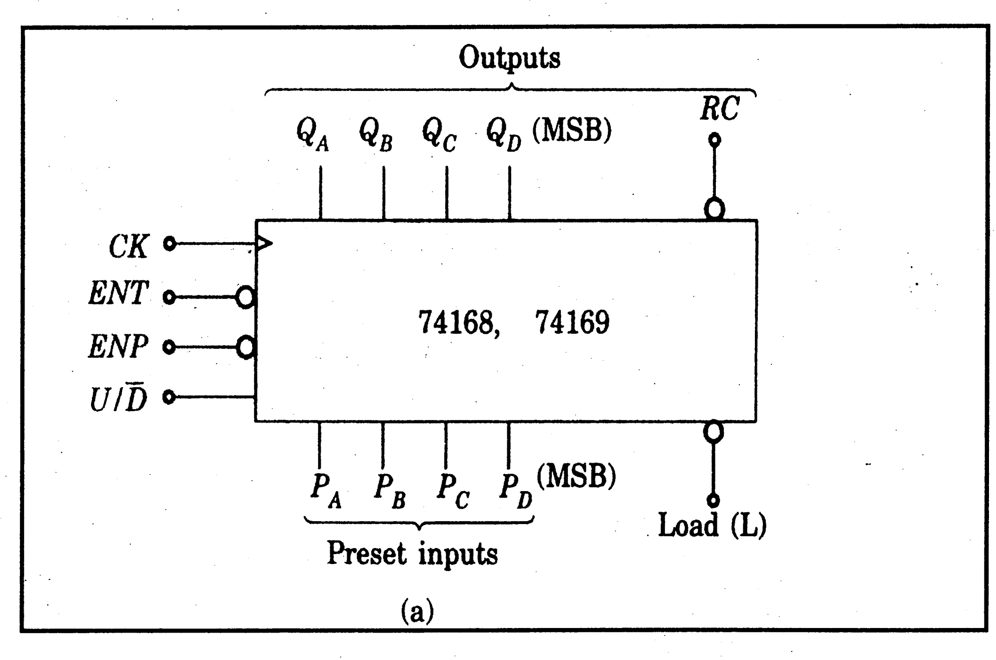
شكل (6-54) تتالى لعدادات من المجموعة **A** فى حالة إتزان تامة

المجموعة B للدوائر التكاملية للعدادات المتزامنة :

يبين شكل (6-55-a) المخطط الوظيفى لهذه الدوائر التكاملية، كما يبين شكل (6-55-b) الجدول الوظيفى، وفى هذه الدوائر يماثل عمل دخلى التمكين ENT وENP كما فى المجموعة A فيما عدا أنهما يكونان فعال-منخفض Active-Low، وتحدد الإشارة الواصلة إلى طرف النهاية $U/\overline{D}$ إتجاه العد (فعند: $U/\overline{D}=1$ يكون العد تصاعدياً، وعند : $U/\overline{D}=0$ يكون العد تنزلياً)، وهنا يكون الخرج RC عادة عند المنطق 1 إلا أنه يتغير للمنطق 0 فى الحالتين الآتيتين:

1- متى وصل العداد لأقصى عد له فى العد التصاعدى .

2- متى وصل العداد لأدنى عد له فى العد النازل. (1001 للعدادات BCD و 1111 للعدادات الثنائية 4-بت).



شكل (6-55-a) المخطط الوظيفى للمجموعة **B** للدوائر التكاملية للعدادات المتزامنة

وفى هذه المجموعة لايوجد نهاية طرف مسح Clear terminal، ولهذا فعند الرغبة فى إنهاء العد قبل وصول العدد للقيمة القصوى، تستخدم دائرة NAND لكشف

العدد المناظر للعدد المطلوب، وتوصيل خرج البوابة لنهاية الطرف لدخل الحمل، أما دخول التحضير المسبقة Preset inputs، فيمكن تحضيرها حالة البدء المطلوبة للعداد.

الحمل L	ENP	ENT	$U/\overline{D}$	CK	الحالة
0	X	X	X	↑	تحضير مسبق Preset
1	1	0	X	X	توقف العد
1	X	1	X	X	توقف العد ، وRC غير متمكن
1	0	0	1	↑	عد تصاعدى
1	0	0	0	↑	عد تنازلى

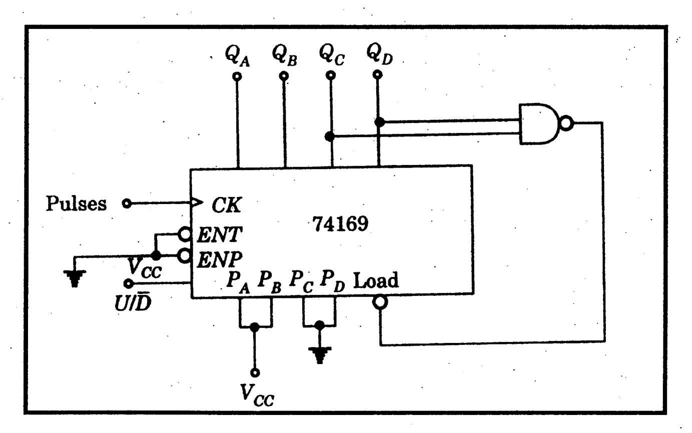
شكل (6-55-b) الجدول الوظيفى للمجموعة B للدوائر التكاملية للعدادات المتزامنة

مثال (6-17) :

مطلوب تصميم عداد بحالات من 0011 إلى 1100 باستخدام عداد دائرة 74169.

الحل :

يكون دخل التحضير المسبق 0011، ويجب أن يعود الخرج للحالة الأصلية بمجرد وصوله للقيمة 1100،ولهذا يجب كشف الرقم المناظر للحالة الأعلى المطلوبة وذلك لتحميل العداد ، ويظهر العداد فى شكل (6-56).



شكل (6-56) عداد المثال (6-17)

إذا كان مطلوب للعداد أن يعد حتى القيمة الأقصى/الأدنى، فيجب توصيل الخرج RC بدخل الحمل، حيث يتم تحميل العد الأصلى عند النبضة التالية لما بعد الوصول للقيمة الأقصى/الأدنى.

ويكون تردد شكل الموجة للخرج (f_{out})عند الخرج RC مرتبطاً بتردد الساعة (f_{in}) كالآتى:

للعداد الثنائى 74169:

للعد التنازلى : $f_{out} = f_{in}/(N+1) \quad 1 \le N \le 15$

للعد التصاعدى : $f_{out} = f_{in}/(16-N) \quad 0 \le N \le 14$

لعداد العشرة 74168 :

للعد التنازلى : $f_{out} = f_{in}/(N+1) \quad 1 \le N \le 9$

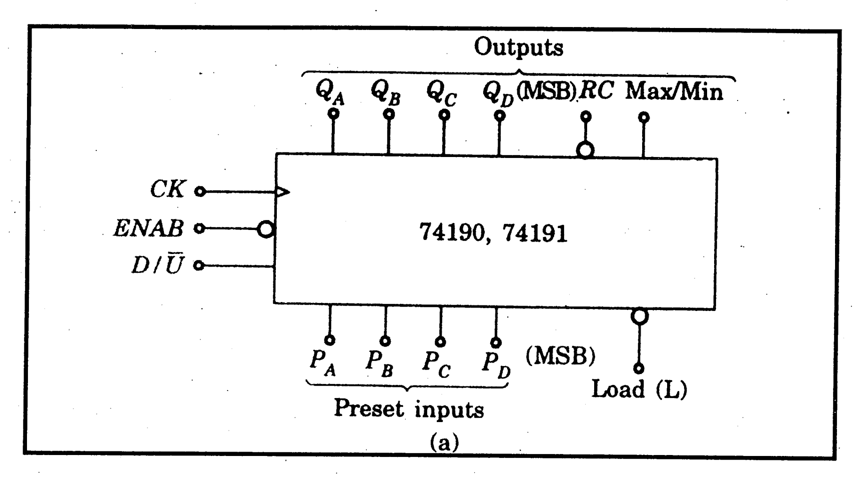
للعد التصاعدى : $f_{out} = f_{in}/(10-N) \quad 0 \le N \le 8$

حيث N هو المكافئ العشرى لدخل التحضير المسبق.

ويشابه تتالى عدادات المجموعة B التتالى المتتبع لعدادات المجموعة A.

المجموعة C للدوائر التكاملية للعدادات المتزامنة :

هذه المجموعة من الدوائر المتكاملة لها دخل تمكين واحد ENAB وهو فعال-منخفض Active-Low، ويستخدم الخرج MAX/MIN لكشف قيمة العد الأقصى/الأدنى، وهو عادة يكون عند المنطق 0، ثم يصل للمنطق 1 عند وصول العد لأقصاه (أى إلى 1001 للعداد 74190، وإلى 1111 للعداد 74191) للعد التصاعدى، أو عند وصول العد لأدناه (أى 0000) للعد التنازلى، كما أن الخرج RC يكون عادة عند المنطق 0، ثم يصل للمنطق 1 عند وصول العداد للنقطة MAX/MIN ويكون دخل CK منخفض، ويبين شكل (6-57-a) المخطط الوظيفى لهذه الدوائر التكاملية، كما يبين شكل (6-57-b) الجدول الوظيفى.



شكل (6-57-a) المخطط الوظيفى للمجموعة C للدوائر التكاملية للعدادات المتزامنة

الحالة	CK	D/L̄	ENAB	الحمل L
توقف العد	X	X	1	X
تحضير مسبق Preset	X	X	0	0
عد تصاعدى	↑	0	0	1
عد تنازلى	↑	1	0	1

شكل (6-57-b) الجدول الوظيفى للمجموعة C للدوائر التكاملية للعدادات المتزامنة

التوصيل المتتالى لعدادات المجموعة C :

يتم تنفيذ التوصيل المتتالى لعدادات هذه المجموعة بثلاث طرق مختلفة:

1- عمل تتالى للدوائر المتكاملة المتزامنة كدوائر متكاملة غير متزامنة:

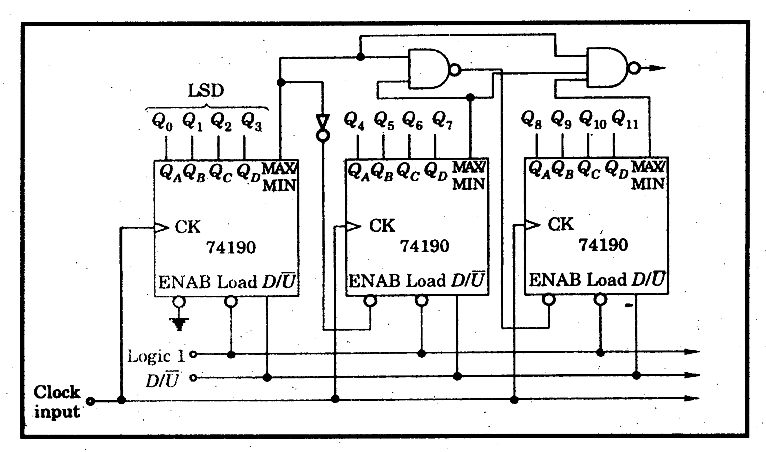
يتم توصيل الخرج RC لكل مرحلة إلى الدخل CK للمرحلة التالية وتطبيق نبضات الساعة عند الدخل CK للمرحلة الأولى، وفى هذا ستصبح كل دائرة متزامنة داخل نفسها، أما فيما بين المراحل يصبح النظام ككل كعداد متموج.

2- عمل التتالى للدوائر المتكاملة المتزامنة مع محمول متموج Ripple Carry بين المراحل:

يتم توصيل الخرج RC لكل مرحلة إلى الدخل ENAB للمرحلة التالية، مع توصيل كل مداخل الساعة CK ببعضها وتطبيق نبضات الساعة عند نهاية الدخل CK المشترك.

3- عمل تتالى للدوائر المتكاملة المتزامنة مع محمول متوازى :

ويبين شكل (6-58) 3 عدادات عشرة متزامنة متتالية التوصيل بمحمول متوازى، وتصل سرعة التشغيل لأقصاها فى هذا النوع من التوصيل المتتالى، كما يراعى تقييد عدد المراحل بسبب تحميل الخرج MAX/MIN بالبوابات الخارجية.



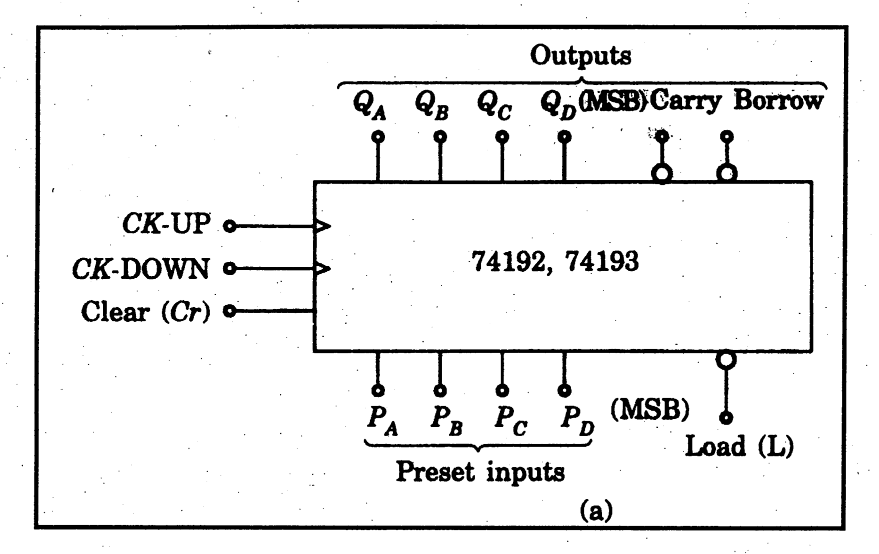
شكل (6-58) 3 عدادات عشرة متزامنة باستخدام الدائرة التكاملية متوالية توصيل بمحمول متوازى

المجموعة D للدوائر التكاملية للعدادات المتزامنة :

فى هذه العدادات: عند العد التصاعدى تطبق نبضة الساعة عند النهاية الطرفية CK-UP مع توصيل النهاية الطرفية CK-DOWN بمنطق 1، وعند العد التنازلى تطبق نبضة الساعة عند النهاية الطرفية CK-DOWN مع توصيل النهاية الطرفية CK-UP بمنطق 1، وعادة يكون مخرجا الناقل والإقتراض عند المنطق 1.

ويهبط خرج الناقل إلى 0 عندما يظهر العداد عده الأقصى فى العد التصاعدى ويكون CK-UP عند المنطق 0، ويظل دخل الإستعارة عند المنطق 1 طالما تعمل

الدائرة من الدخل CK-UP، ويبين شكل (6-59-a) المخطط الوظيفى لهذه الدوائر التكاملية ، كما يبين شكل (6-59-b) الجدول الوظيفى.



شكل (6-59-a) المخطط الوظيفى للمجموعة D للدوائر التكاملية للعدادات المتزامنة

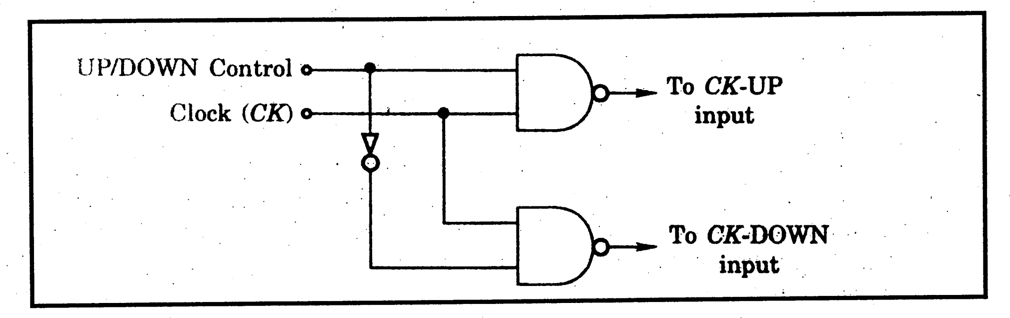
الحالة	CK-DOWN	CK-UP	مسح Cr	الحمل L
تحضير مسبق Preset للصفر	X	X	1	X
عد تصاعدى	1	↑	0	1
عد تنازلى	↑	1	0	1
تحضير مسبق Preset	X	X	0	0
توقف العد	1	1	0	1

شكل (6-59-b) الجدول الوظيفى للمجموعة B للدوائر التكاملية للعدادات المتزامنة

التوصيل المتتالى لعدادات المجموعة D :

لتنفيذ التوصيل المتتالى لعدادات هذه المجموعة ، يتم توصيل كل من مخرج المحمول ، ومخرج الاستعارة لكل مرحلة ، بكل من دخل CK-UP ودخل CK-DOWN للمرحلة التالية على الترتيب ، وتستخدم الدائرة فى الشكل (6-60) فى تغيير دفة

دخل الساعة إلى الدخل CK-UP بغرض العد التصاعدى ، أو إلى الدخل CK-DOWN بغرض العد التنازلى .



شكل (6-60) دائرة تغيير دفة دخل الساعة إلى CK-UP / CK-DOWN

*** وفى نهاية الفصل يمكننا القول :**

فى هذا الفصل تم التقديم للعنصر الرئيسى فى الدوائر التتابعية وهو القلاب، وهو عنصر الذاكرة الأساسى المستخدم فى تخزين معلومة رقمية عبارة عن 1 بت، ولقد تمت تغطية الأنواع الأربعة الشائعة من أنواع القلابات بالتفصيل مشتملة تصميمها باستخدام البوابات وهى: S-R و J-K و نوع-T ونوع-D.

كما تمت مناقشة بعض أنظمة الإشعال Triggered systems والتى تساعد بقوة فى فهم التشغيل التفصيلى للقلابات والدوائر الأخرى التى تشتمل على قلابات.

كما تم التعرض لأمثلة بسيطة من أمثلة إستخدام القلابات وأجهزة MSI فى المسجلات ، والعدادات.

تدريبات

تدريب (6-1) :

بين أن الدائرة الموضحة فى شكل (6-4)، هى نفس الدائرة المرسومة فى شكل (6-3)، عندما : S = R = 0 .

تدريب (6-2) :

فى الدائرة الموضحة فى شكل (6-4)، بين أن الخروج لاتتغير إذا:

أ- تغيرت الدخول من : S = 1 و R = 0 إلى : S = R = 0 .

ب- تغيرت الدخول من : S = 0 و R = 1 إلى : S = R = 0

تدريب (6-3) :

حاول القيام بتصميم دائرة ماسك S-R باستخدام بوابتين NOR كل منها بمدخلين .

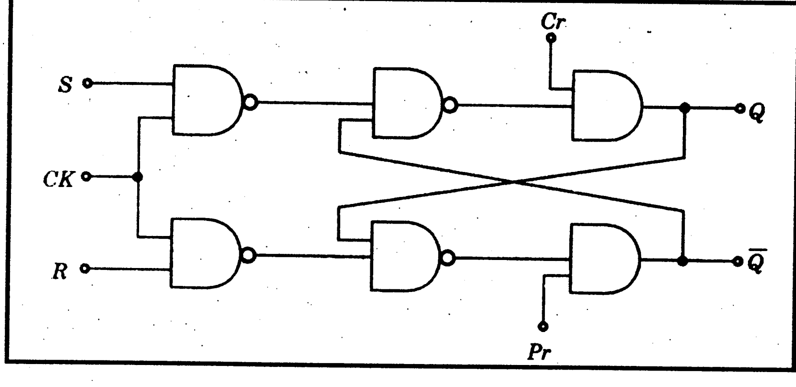
تدريب (6-4) :

فى دائرة القلاب المبينة فى شكل (6-61) وضح مايلى:

أ- عند : Pr = 0 و Cr = 1 ، فإن : Q = 1 (غير معتمد على : S و R و CK) .

ب- عند : Pr = 1 و Cr = 0 ، فإن : Q = 0 (غير معتمد على: S و R و CK).

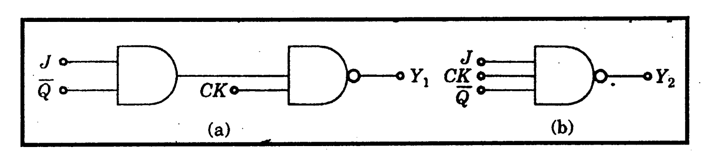
ج- عند : Pr = Cr = 1 ، تؤدى الدائرة وظيفة قلاب متزامن S-R .



شكل (6-61) دائرة قلاب التدريب (6-4)

تدريب (6-5) :

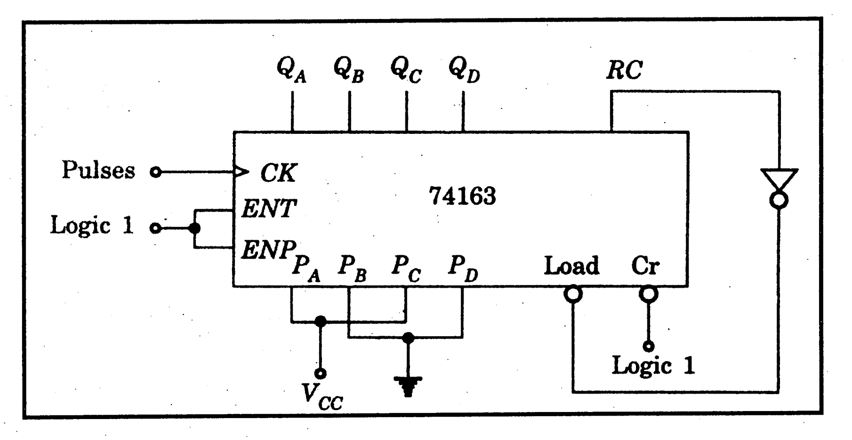
عين الخرج Y_1 فى دائرة الشكل (6-62-a)، وكذلك الخرج Y_2 فى دائرة الشكل (6-62-b) ، ووضح أن : $Y_1 = Y_2$.



شكل (6-62) أشكال تدريب (6-5)

تدريب (6-6) :

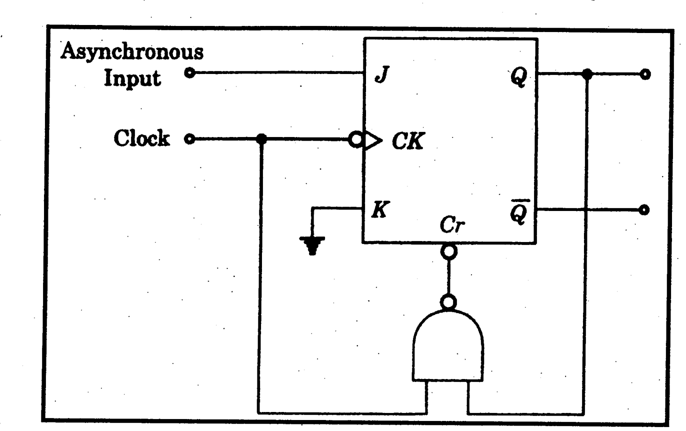
حقق الخروج Q، و $\overline{Q}$ للقلاب المتزامن J-K المبين فى شكل (6-63).



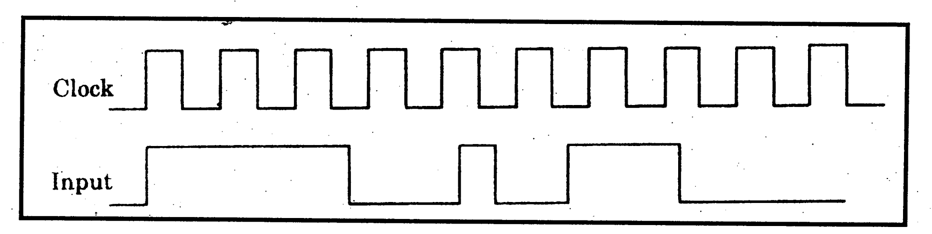
شكل (6-63) دائرة التدريب (6-6)

تدريب (6-7) :

فى الدائرة الموضحة فى شكل (6-64)، يتم تطبيق نبضات الساعة والدخل، والمبين أشكال الموجة لهما فى شكل (6-65). مطلوب رسم أشكال الموجة للخروج Q، و $\overline{Q}$ إذا كان القلاب مُشعل بالحافة Edge-triggered .



شكل (6-64) دائرة التدريب (6-7)



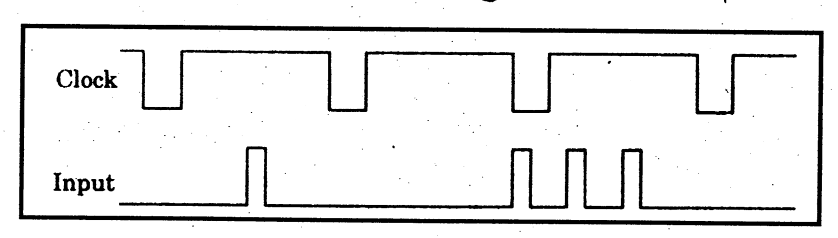
شكل (6-65) أشكال الموجة للتدريب (6-7)

تدريب (6-8) :

كرر المطلوب فى تدريب (6-7) معتبرا القلاب متبوع-تابع.

تدريب (6-9) :

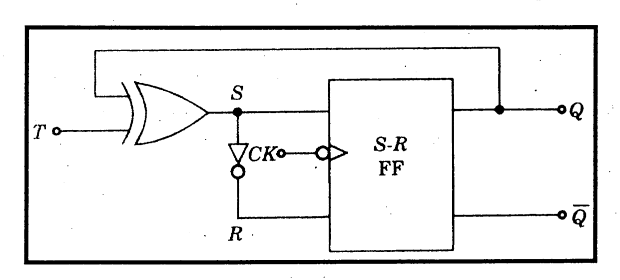
فى أشكال الموجة المبينة فى شكل (6-66)، ومعتبرًا القلاب من نوع متبوع-تابع، مطلوب رسم شكل الموجة للخرج Q.



شكل (6-66) أشكال الموجة للتدريب (6-9)

تدريب (6-10) :

مطلوب تجهيز جدول الحقيقة للدائرة المشار إليها فى شكل (6-67)، وبين أنها تؤدى عمل قلاب من نوع-T.



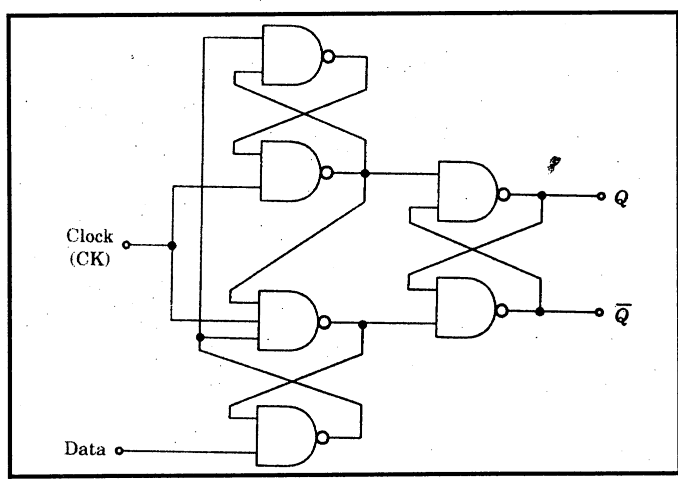
شكل (6-67) دائرة التدريب (6-10)

تدريب (6-11) :

تحقق من أنه إذا تم توصيل الخرج $\overline{Q}$ بالدخل D لقلاب نوع-D، فإنه يعمل كمفتاح تبديل Toggle switch .

تدريب (6-12) :

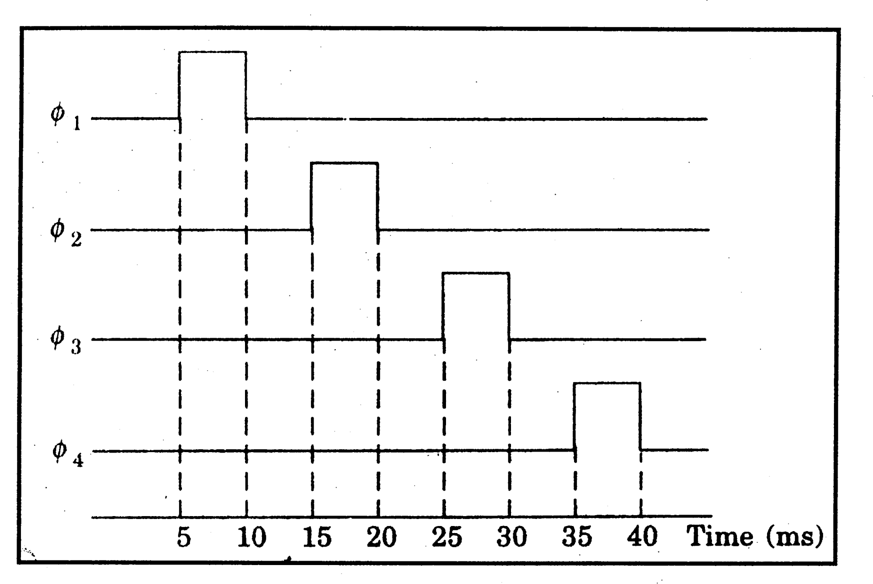
مطلوب تحقيق تشغيل القلاب نوع-D المبين فى شكل (6-68)، والذى يعمل بحافة الإشعال الموجبة Positive-edge-triggered.



شكل (6-68) دائرة التدريب (6-12)

تدريب (6-13) :

يحتاج محرك خطوى لــ: 4 إشارات كالمبينة أشكالها الموجية فى شكل (6-69)، مطلوب تصميم مولد تعاقب لتزويد هذه الإشارات للمحرك.



شكل (6-69) أشكال الموجة لتدريب (6-13)

تدريب (6-14) :

اكتب التتابع العددى لعداد تنازلى ثنائى 3-بت ، وصمم عداد متموج لهذا التتابع باستخدام القلابات.

تدريب (6-15) :

صمم عداد متموج ثنائى 4-بت تصاعدى/تنازلى مستخدما تحكم لتنفيذ العد التصاعدى/التنازلى .

تدريب (6-16) :

صمم باستخدام القلابات ، العدادات المتموجة التالية :

أ- قسمة على 5.

ب- قسمة على 7 .

تدريب (6-17) :

فى الدائرة الرقمية 7492 وتمثل عداد متموج قسمة على 12، فعند توصيل المخرج Q_D بالمدخل A مع تطبيق النبضات عند المدخل B ، فأوجد تتابع العد.

تدريب (6-18) :

باستخدام الدائرة الرقمية 7492 كما أستخدمت فى التدريبين السابقين، صمم العدادات التالية :

أ- قسمة على 7.

ب- قسمة على 9 .

ج- قسمة على 11.

تدريب (6-19) :

حول الدائرة التكاملية 7493 إلى عداد 4-بت تنازلى.

تدريب (6-20) :

صمم عداد قاسم على 128 باستخدام دوائر تكاملية 7493.

تدريب (6-21) :

صمم عداد قاسم على 96 باستخدام دوائر تكاملية 7490 .

تدريب (6-22) :

صمم عداد قاسم على 78 باستخدام دائرة تكاملية 7493، ودائرة تكاملية 7492 تستخدم كقاسم على 6.

تدريب (6-23) :

إرسم أشكال موجة الخرج للعداد المرسوم فى شكل (6-52).

تدريب (6-24) :

إرسم أشكال موجة الخرج للعداد المرسوم فى شكل (6-53).

تدريب (6-25) :

إشرح عمل الدائرة فى شكل (6-54).

تدريب (6-26) :

مطلوب تصميم عداد معامل-mod-12 12 تصاعدى باستخدام الدائرة التكاملية 74193، وقارنها بالدائرة المبينة فى شكل (6-54).



7-1 مقدمة

7-2 استخدام البوابات المنطقية فى دوائر التوقيت

7-3 مكبرات العمليات واستخدامتها فى دوائر التوقيت

7-4 الدوائر التكاملية لإشغال شميت

7-5 الدوائر التكاملية للمذبذبات احادية الاستقرار

7-6 المؤقت 555

7-7 المحولات

1-7 مقدمة :

تحتاج معظم الأنظمة الرقمية إلى بعض الأنواع من أشكال الموجة ذات التوقيت Timing، فمثلا تحتاج كل الأنظمة التتابعية الموقتة clocked إلى مصدر من نبضات الإشعال.

وغالبا مايُفضل فى الأنظمة الرقمية استخدام أشكال الموجة المستطيلة Rectangular waveforms (بخلاف الأنظمة التناظرية والتى غالبا يُفضل فيها استخدام الإشارات الجيبية Sinusoidal signals)، وتعرف تلك الأجهزة المستخدمة فى توليد أشكال الموجة المستطيلة بـــ "المذبذبات المتعددة" Multivibrators، والتى يوجد منها 3 أنواع:

1- المذبذب الغير مستقر .Astable M.V، أو الحر Free-running.

2- المذبذب أحادى الإستقرار .Monostable M.V، أومذبذب الطلقة الواحدة One-shot.

3- المذبذب الثنائى الإستقرار Biostable M.V، أو القلاب.F.F.

1- المذبذب الغير مستقر .Astable M.V:

ما هو إلا جهاز تذبذب Oscillator يقوم بتوليد نبضات مستطيلة، وله حالتين شبه مستقرتين Quasi-stable ولايحتاج لأى إشعال، ومن هنا جاءت تسميته بالمذبذب الحر ، ويستخدم كمصدر لنبضات الساعة فى الدوائر التتابعية.

2- المتذبذب الأحادى الإستقرار .Monostable M.V :

له حالة إتزان واحدة، بمعنى أنه تحت ظروف الحالة الثابتة Steady-state conditions يكون خرجه ثابتاً (أى يكون إما منخفضاً LOW أو عالياً HIGH)، وعند تطبيق نبضة إشعال خارجية على الدائرة تتحول حالة الإتزان إلى الحالة الأخرى (أى تتحول الحالة من الحالة المنخفضة LOW إلى الحالة العالية HIGH، أو تتحول الحالة من الحالة العالية HIGH إلى الحالة المنخفضة LOW) وتستمر حالة الدائرة كهذا لفترة زمنية Time duration تعتمد على قيم العناصر المستخدمة فى الدائرة، وتعرف حالة الدائرة عندئذ بالحالة الشبة مستقرة Quasi-stable state، حيث تعود

الدائرة ثانية إلى الحالة الثابتة دون اية نبضات إشعال خارجية، ويكون عرض نبضة الإشعال Pulse width صغيراً جداً، كما يعتمد عرض نبضة الخرج على الفترة الزمنية التى تظل فيها حالة الدائرة فى الحالة شبة المستقرة كما تعزى الدائرة ايضا إلى دائرة الطلقة الواحدة One-shot، حيث أن نبضة واحدة تنتج نبضة واحدة إلا أنها تكون مختلفة العرض، وهذه الدائرة مفيدة فى أنها تقوم بتوليد نبضة أطول نسبياً (فى حدود بضعة عشرات من المللى ثانية) من نبضة الإشعال الضيقة ، فمثلا يمكن لمعالج دقيق توصيل إشارة signal إلى جهاز خرج لطبع شئ ما بإرسال نبضة، وهذا الجهاز يكون فى الغالب جهازاً كهروميكانيكياً أقل سرعة من المعالج، ومن هنا يحتاج إلى بقاء النبضة الواصلة لفترة زمنية أطول وهو مايمكن تحقيقه بدائرة مواءمة مكونة من مذبذب أحادى إستقرار.

3- المذبذب الثنائى الإستقرار Biostable، أو القلاب F.F. :

هى الدائرة التى تكون فيها الحالتين مستقرتين، وهذه الدائرة تتحول من حالة إستقرار إلى حالة إستقرار أخرى فقط عند تطبيق نبضة إشعال، وغالبا مايستخدم هذا النوع كعناصر ذاكرة فى الأنظمة الرقمية، حيث تمت مناقشة هذه العناصر باستفاضة فى الفصل السابق.

وفى الماضى كان تصميم المذبذبات يتم باستخدام أجهزة محددة كالصمامات المفرغة الثلاثية Vacuum triodes، أو BJTs، أو FETs ...إلخ، إلا أنه بَطُل إستخدامها بعد إمكانية تصنيع المذبذبات على دوائر تكاملية، ولهذا السبب سيتم التعامل مع دوائر المذبذبات المتعددة باستخدام الدوائر التكاملية المختلفة ، حيث يمكن أن تكون الدوائر التكاملية المستخدمة كالآتى:

1- بوابات منطقية.

2- مكبرات العمليات Operational Amplifiers.

3- مذبذبات أحادية الإستقرار.

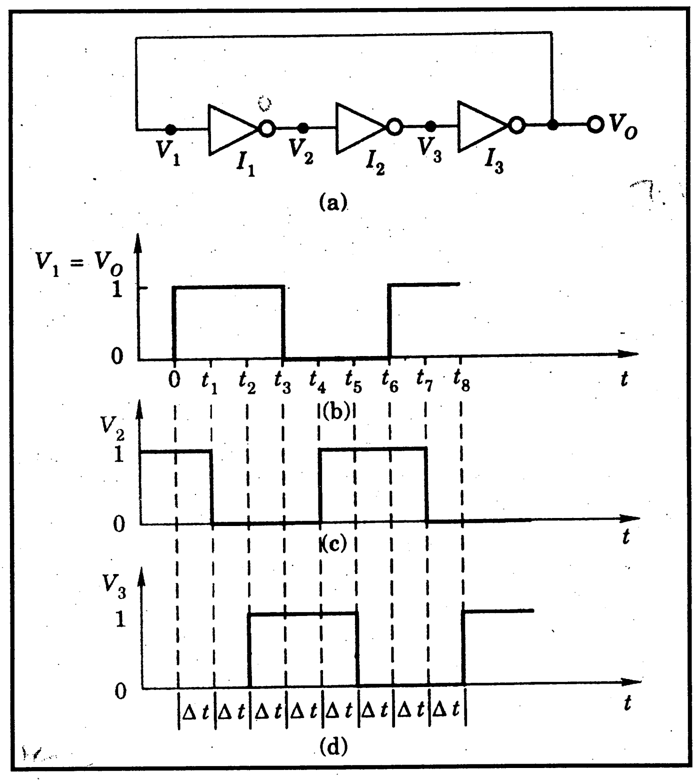
4- مؤقتات Timers.

2-7 استخدام البوابات المنطقية فى دوائر التوقيت :

يمكن إستخدام البوابات المنطقية فى توليد النبضات المطلوبة فى الأنظمة الرقمية، ويتم تصميم وتحليل دوائر هذه البوابات بسهولة، إلا أن فقر هذه الدوائر إلى الدقة فى هذه الدوائر يؤدى إلى تقييد استخدامها نوعا ما فى التطبيقات.

1-2-7 المذبذب الغير مستقر :

يبين شكل (a-1-7) دائرة مبسطة لمذبذب غير مستقر يستخدم البوابات، وتعمل دائرة هذا المذبذب بنفس قاعدة مذبذب RC إزاحة الإتجاه "RC phase-shift oscilator"، حيث أن إزاحة الإتجاه مشروطة بزمن تأخير الإنتشار للعاكسات Invertors.



شكل (1-7) a- مذبذب حر يستخدم عاكسات

b- اشكال الموجه عند المخارج المختلفة

فنفرض مثلا انه عند الزمن: $t = 0$ يتغير V_1 (وهو دخل العاكس I_1) من منطق 0 إلى منطق 1، فيتغير الخرج V_2 إلى المنطق 0، إلا أنه وبسبب زمن تأخير الإنتشار للعاكس Δt، فإن هذا الخرج V_2 يظل منطق 1 لمدة هذا الزمن Δt، وبعده (أى عند الزمن: $t = t_1$) يتغير إلى منطق 0، وهذا أيضاً يسبب تغير خرج العكس I_2 (دخله عند الزمن: $t = t_1$ كان منطق 0) إلا أنه وبسبب زمن تأخير الإنتشار معاكس Δt، فإن هذا الخرج يظل منطق 0 لمدة هذا الزمن Δt، وبعده (أى عند الزمن: $t = t_2$) يتغير إلى منطق 1، وعند الزمن: $t = t_3$، يتغير V_1 من منطق 1 إلى منطق 0، وعند الزمن: $t = t_4$ يتغير الخرج V_2 من منطق 0 إلى منطق 1، كما يتغير الخرج V_3 من منطق 1 إلى منطق 0 عند الزمن: $t = t_5$، وتستمر هذه العملية بشكل غير محدد.

ويبين شكل (b,c,d-1-7) أشكال الموجه المختلفة، ومنها يمكن حساب زمن الدورة Time period للخرج، ويرمز له بالرمز T كالآتى:

$$T = 6\,\Delta t \qquad (7\text{-}1)$$

ويكون Δt لبوابات المنطق TTL فى الحدود: 10 ns، أى أن: T = 60 ns، ومنها يصبح يصبح تردد عمل الدائرة:

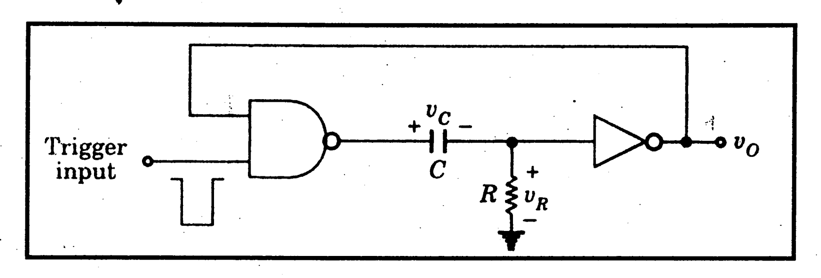
$$f = 1/T = 1/60 \times 10^{-9}$$

$$\approx 16.6\ \text{MHz}$$

وفى هذه الدائرة لايوجد أى نوع من التحكم فى تردد الموجة المربعة، كما أنه من الصعب تحديد زمن تأخير الإنتشار للبوابة المنطقية بدقة وبالتالى تحديد قيمة تردد الموجة المربعة، ومن هنا لا يمكن إستخدامها فى نظام يتطلب ترددات دقيقة ومتزنة، إلا أنه ولبساطة هذا النوع من الدوائر فإنها مفيدة متى تطلب الأمر الحصول على نبضات إشعال عالية التردد بدوائر رخيصة التكليف، كما أنه من الممكن الحصول على تحكم فى تردد الموجة المربعة باستخدام عناصر زمنية (المقاومة والمكثف).

7-2-2 مذبذب أحادى إستقرار:

يبين شكل (7-2) مذبذب احادى إستقرار يستخدم البوابات.



شكل (7-2) مذبذب احادى إستقرار

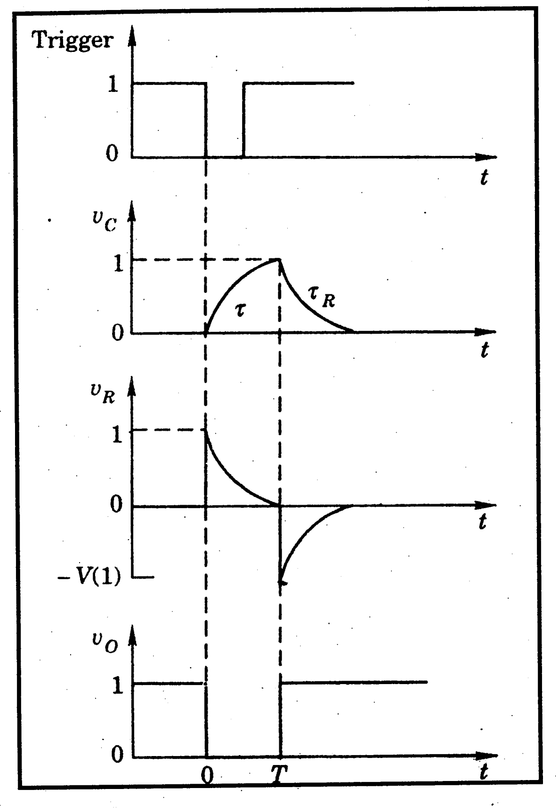
وتحت ظرف الحالة الثابتة، يكون الجهد على المقاومة R ($v_R = 0$)، أى يكون دخل العاكس عند المنطق 0 ، ومنه يصبح خرجه v_0 عند المنطق 1، والأن وعند تطبيق نبضة الإشعال عند أحد مدخلى البوابة NAND (أى يصبح كلا من مدخليها عند المنطق 1)، وبالتالى يصبح خرجها منطق 0.

مما سبق نرى أن حالة الإتزان لهذه الدائرة تتحقق بوجود الخرج v_0 عند المنطق 1، (ويمكن التأكد من أن وجود الخرج v_0 عند المنطق 0 لايحقق حالة إتزان للدائرة).

أما إذا تغيرت نبضة الإشعال من المنطق 1 إلى المنطق 0 (أى يصبح احد مدخلى البوابة NAND عند منطق 0) فبالتالى يصبح خرجها منطق 1، ومناظرة لذلك يصبح الجهد v_R عند المنطق 1، ومنه يتحول خرج العكس v_0 إلى المنطق 0 والذى يعود لأحد دخلى بوابة NAND ممسكا خرجها عند المنطق 1، ومع إزدياد الخرج v_C أسيا بثابت زمن قدره: $\tau = RC$، يقل الجهد v_R إلى أن تصل قيمته إلى المنطق 0 والذى يؤدى بالتالى إلى تغير الخرج v_0 إلى المنطق 1.

وبمجرد وصول دخلى البوابة NAND إلى المنطق 1، يصبح خرجه منطق 0 ويبدأ المكثف فى التفريغ خلال الدائرة الخارجية للبوابة NAND وتأتى الدائرة إلى الحالة الثابتة (ولا يجب إشعال الدائرة خلال فترة إستعادة الحالة).

ويبين شكل (7-3) أشكال الموجة للمذبذب أحادى إستقرار .



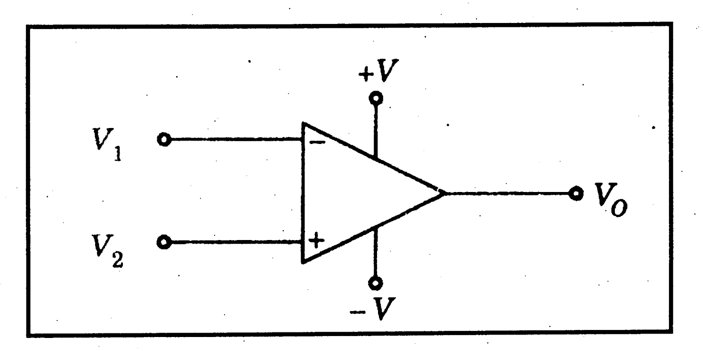
شكل (7-3) أشكال الموجة للمذبذب أحادى إستقرار

ومن الصعوبة الحصول على القيمة الدقيقة لفترة النبضة T وذلك بسبب عدم التأكد من قيم الجهود لمستوى المنطقين 1 و0 وأيضا زمن تأخير الإنتشار للبوابات، إلا أن هذه الدائرة مفيدة لبساطتها، ورخص ثمنها.

3-7 مكبرات العمليات وإستخداماتها فى دوائر التوقيت:

مكبر العمليات Operational Amplifier (وللتبسيط يعرف بـ: OP AMP) هو مكبر تيار مستمر ذو كسب عالى جدا، وأساسا كان يُصمم باستخدام الصمامات المفرغة لأداء العمليات الحسابية كالجمع والضرب فى ثابت والتفاضل والتكامل ...إلخ، كما أنه كان احد الأجزاء 0الأساسية فى بناء الحاسبات التناظرية، وبمرور الزمن أصبح

متوفراً كدائرة تكاملية خطية. وبسبب رخص ثمنها، وتعدد استخداماتها واعتماديتها أصبحت شائعة الأستعمال، ويتواجد هذا المكبر فى تطبيقات توليد أشكال الموجة المربعة والمثلثة والنبضية والماسحة Sweep والسلمية Staircase.



شكل (7-4) مكبر عمليات OP AMP

ويبين شكل (7-4) مكبر عمليات، وللمكبر مدخلين (−)و (+) ويعرف الأول بـ: المدخل العكس Inverting input بينما يعرف الآخر بـ: مدخل غيرالعكس Non-inverting input، ويطبق جهد الدخل V_1 بين المدخل العكس والأرضى، فى حين يطبق جهد الدخل V_2 بين المدخل غير-العكس والأرضى (والأرضى غير موجود فى الشكل، إلا أنه مأخوذ من أرضى المنابع +V و −V) أما الخرج V_o فمأخوذ بين نهاية المخرج والأرضى فإذا كان V_iهو فرق فى الجهد بين جهدى الدخل V_1، و V_2 أى أن:

$$V_i = V_1 - V_2$$

فإن جهد الخرج V_2 يعتمد على هذا الفرق V_i بحيث يكون:

$$V_o = A_v \cdot V_i \qquad (7\text{-}2)$$

حيث:

A_v : كسب الجهد للمكبر ، والذى يؤول إلى قيمة سالبة كبيرة جداً (ومثالياً A_v : $\to -\infty$).

ومن المعادلة (7-2) نلاحظ أن قطبية جهد الخرج مثل قطبية جهد دخل غير-العكس، وعكس قطبية جهد دخل العكس.

وحيث أن قيمة A_v كبيرة جداً (حيث تصل فى الغالب إلى 200,000 أو أكثر)، فعلى هذا يكون جهد الدخل صغيراً جداً ($V_i \approx 0$) وبالتالى لايزيد جهد الخرج عن جهد التشبع الموجب $+V_{sat}$، أو السالب $-V_{sat}$، وتكون أقل بحوالى 2V من جهود المنبع $+V$، و$-V$، فإذا كان جهدا المنبع: 15 ± فيكون: $V_{sat} = +13V$ ، ويكون: $-V_{sat} = -13V$، ومنه يكون الخرج مقيداً بتأرجح قمة–قمة Peak-to-peak بقيمة: ± 13V.

7-3-1 مكبر العمليات كمقارن :

يمكن استخدام مكبر العمليات كمقارن تناظرى فى مقارنة إشارتين تناظريتين، حيث يتم تطبيق إشارتى المقارنة عند المدخلين وتتبين المقارنة من قطبية جهد الخرج، كما تكون V_{sat} هى قيمة جهد الخرج، وهو يمثل وحدة البناء الأساسية المطلوبة فى مولدات أشكال الموجه الغير جيبية.

مثال (7-1) :

إوجد أشكال موجة الخرج لمكبر عمليات تحت الظروف التالية:

أ– مدخل العكس موصل بالأرضى، ومطبق إشارة جيبية بقمة 4V عند مدخل غير–العكس.

ب– مدخل غير–العكس موصل بالأرضى، ومطبق إشارة جيبية بقمة 4V عند مدخل العكس.

ج– مطبق جهد قيمته +3V عند مدخل العكس ، ومطبق إشارة جيبية بقمة 5 V عند مدخل غير–العكس.

الحل :

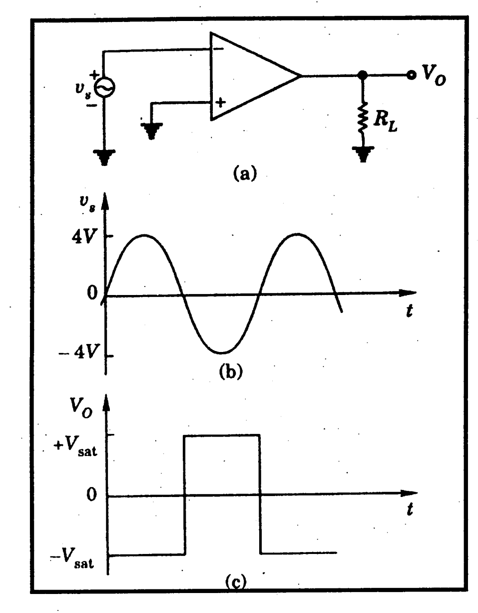
أ– يبين شكل (7-5-a) الدائرة وفيها مدخل العكس موصل بالأرضى، بينما مدخل غير العكس موصل بجهد المنبع، كما يبين شكل (7-5-b) شكل الموجة للدخل V_s، وشكل (7-5-c) شكل الموجة للخرج V_0.

شكل (7-5) الدائرة ، وأشكال الموجة للمثال (7-1-a)

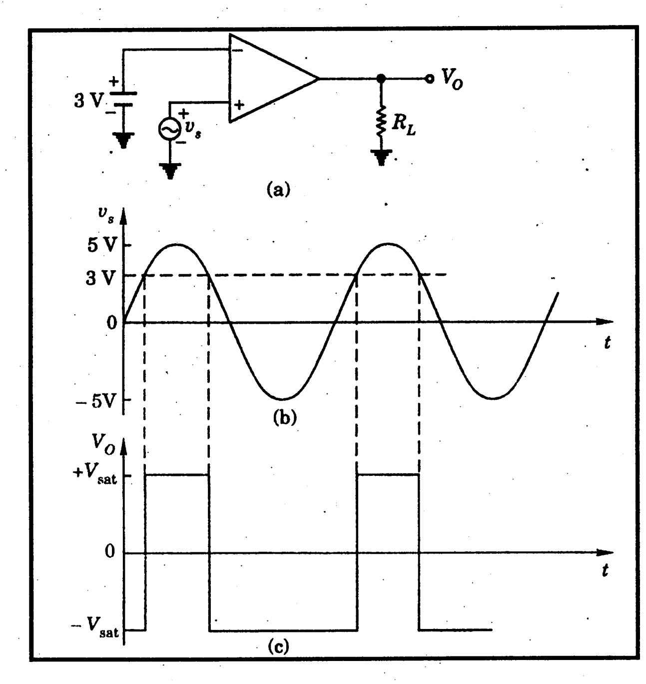
فعند مرور الدخل بالصفر أثناء تغيره من القيمة السالبة إلى القيمة الموجبة، يتغير تبعا لذلك الخرج من $-V_{sat}$ إلى $+V_{sat}$، وبالمثل عند مرور الدخل بالصفر أثناء تغيره من القيمة الموجبة إلى القيمة السالبة، يتغير تبعا لذلك الخرج من $+V_{sat}$ إلى $-V_{sat}$.

ب– ومع توصيل مدخل غير–العكس بالأرضى وتطبيق جهد المنبع إشارة عند مدخل العكس كالدائرة المبينة فى شكل (7-6-a)، كما يبين شكل (7-6-b) شكل الموجة للدخل V_s، وشكل (7-6-c) شكل الموجة للخرج V_0.

ج– بتطبيق جهد مرجعى Reference voltage V_{ref} قيمته +3V عند مدخل العكس، وتطبيق إشارة جيبية بقمة 5 V عند مدخل غير–العكس كالدائرة المبينة فى شكل (7-7-a) ، ومتى كان الجهد v_s أكبر من V_{ref} فيكون الخرج $+V_{sat}$ ، ومتى كان أقل من V_{ref} فيكون الخرج $-V_{sat}$ ، يبين شكل (7-7-b) شكل الموجة للدخل v_s ، وشكل (7-7-c) شكل الموجة للخرج V_0 .



شكل (7-6) الدائرة وأشكال الموجة للمثال (7-1-b)



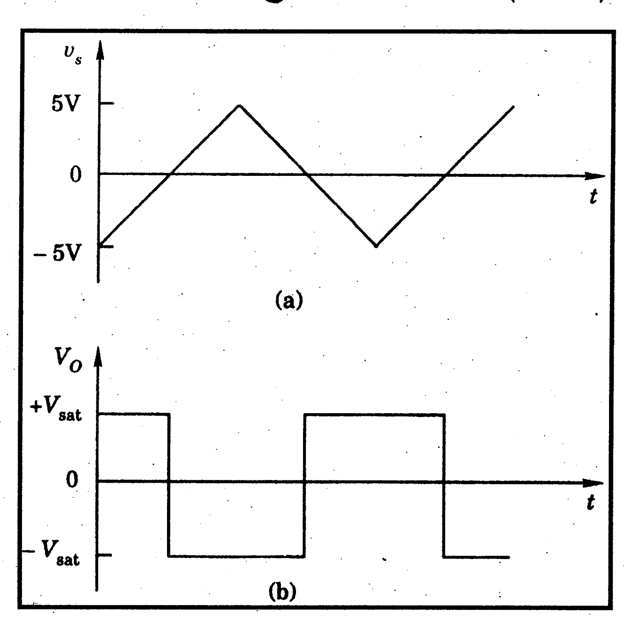
شكل (7-7) الدائرة وأشكال الموجة للمثال (7-1-c)

مثال (7-2) :

عند تطبيق شكل الموجة المثلثة المبينه فى شكل (7-8-a) على الدائرة المبينة فى شكل (7-6-a)، فمطلوب معرفة شكل موجة الخرج، وعند تعرض الـدائرة لضوضاء كما هو ممثل فى شكل (7-9-a) فاوجد أشكال الموجة الدخل والخرج الفعالة.

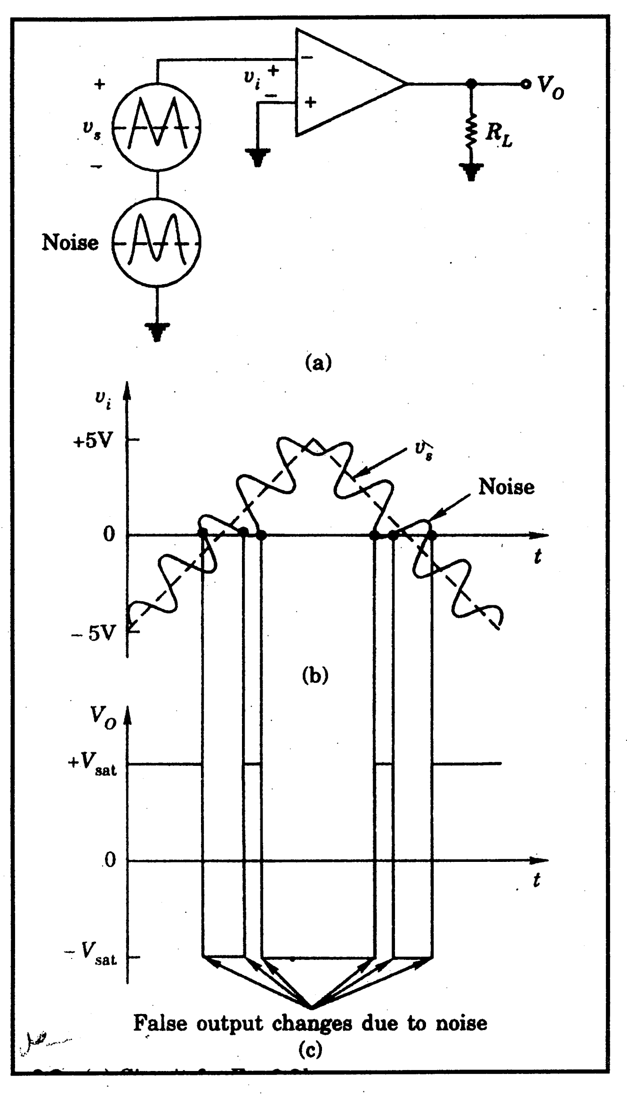
الحل :

أ- فى هذه الدائرة يكون: $V_{ref} = 0$، ولهذا يتغير الخرج متى مر الدخل بالنقطة صفر، ويبين شكل (7-8-b) شكل الموجة للخرج.



شكل (7-8) a- شكل موجة مثلثة مطبقة على دائرة المقارن فى شكل (7-6-a)
b- أشكال الموجة للخرج

وللتبسيط ، نفرض أن جهد الضوضاء يأخذ شكل الجيب ، ويأخذ الدخل V_i خليط من شكل الموجة المثلثة والضوضاء كما هو مبين فى شكل (7-9-b)، أما شكل (7-9-c) فيبين شكل الموجة للخرج والذى يبين التحول الإنتقالى الكاذب لشكل موجة الخرج بسبب الضوضاء.



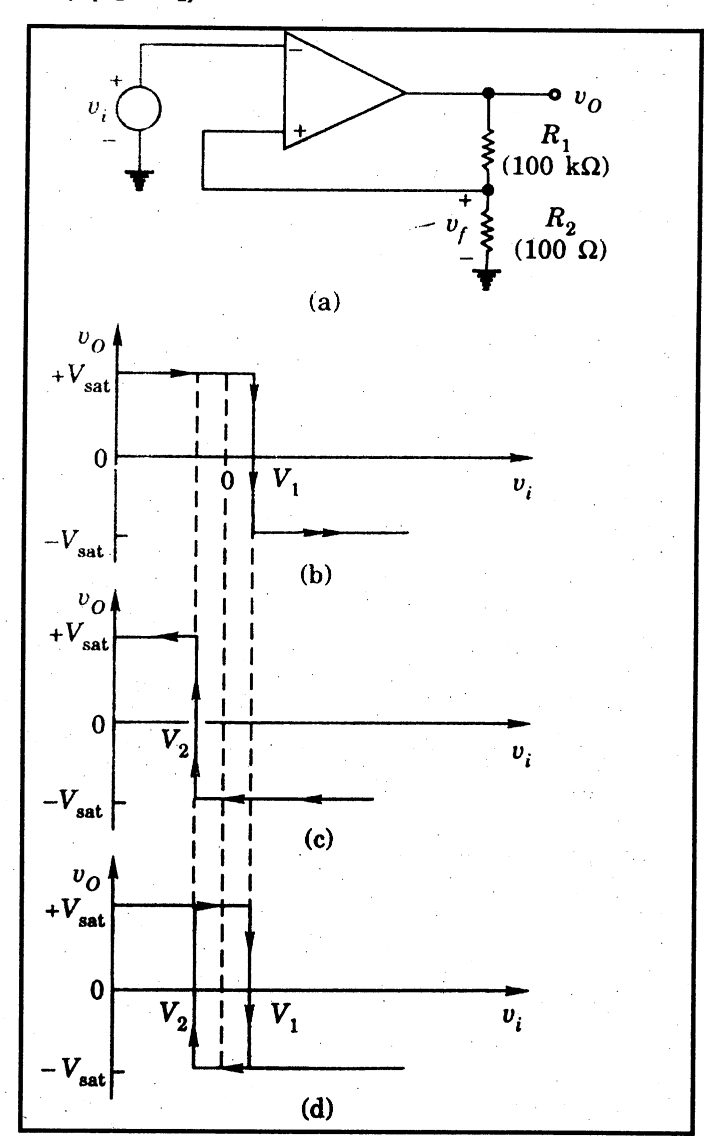
شكل (7-9) دائرة المثال (7-2-b)، اشكال الموجة للدخل والخرج

7-3-2 المقارن المتجدد:

حيث أنه من غير الممكن إزالة جهد الضوضاء فيكون من المستحسن منع الدائرة من الإحساس بهذه التغيرات الكاذبة عند الدخل، وهذا مايمكن تحقيقة باستخدام تغذية عكسية موجبة فى الدائرة وبما يشار إليه بـ "المقارن المتجدد" Regenerative comparator والمعروف بـ"إشعال شميت" Schmitt trigger.

ويبين شكل (7-10-a) دائرة إشعال شميت، حيث تطبق تغذية عكسية موجبة بأخذ جزء V_f من جهد الخرج Fraction وإدخاله على المدخل غير-العكس، حيث:

$$V_f = R_2 V_0 / (R_1 + R_2)$$



شكل (7-10) a- دائرة عاكس إشعال شميت

b- منحنى الدخل-الخرج بازدياد V_i c- منحنى الدخل-الخرج بنقصان V_i

d- منحنى الدخل-الخرج الكامل

فلندع: $V_0 = +V_{sat}$ و $V_i < V_f$، فإذا كانت V_i فى الإزدياد فسيظل الخرج V_0 ثابتا عند القيمة V_{sat}، ومنه يكون:

$$V_f = R_2 V_{sat} / (R_1 + R_2)$$

والذى يظل أيضا ثابتا حتى:

$$V_i = V_1 = \{ R_2 / (R_1 + R_2) \} . V_{sat} \qquad (7\text{-}3)$$

وعند هذا الجهد V_1 (والذى يعرف بـــ "جهد الإشعال الأعلى" Upper-triggering Voltage V_{UT}) يتحول الخرج v_0 إلى $-V_{sat}$ ويظل هكذا طالما $V_i > V_1$، ويبين شكل (7-10-b) منحنى العلاقة بين الدخل والخرج.

وعند: $V_i > V_1$ يكون الجهد عند مدخل غير-العكس V_f:

$$V_f = -\{R_2 / (R_1 + R_2)\} . V_{sat}$$

وبنقصان v_i يظل الخرج عند $-V_{sat}$ حتى يصبح v_i مساوياً : V_2 حيث:

$$V_2 = -\{R_2 / (R_1 + R_2)\} V_{sat} \qquad (7\text{-}4)$$

وعند هذا الجهد V_2 (والذى يعرف بـــ "جهد الإشعال الأدنى" Lower-triggering Voltage V_{LT}) يتحول الخرج v_0 إلى $+V_{sat}$ ويظل هكذا طالما $V_i < V_2$، ويبين شكل (7-10-c) المنحنى المميز للعلاقة بين الدخل والخرج، كما يبين شكل (7-10-d) منحنى العلاقة بين الدخل والخرج الكامل، وحيث تقطع الأجزاء التى بدون أسهم فى كلا الإتجاهين، بينما يمكن الحصول على الأجزاء ذات الأسهم بتغير V_I كما هو مشار بالأسهم، كما يبين هذا المنحنى فعل التخلف Hysteresis فى هذه الدائرة، ويسمى الفرق بين الجهدين V_{UT}، وV_{LT} بجهد التخلف Hysteresis voltage ويرمز له V_H.

مثال (7-3) :

أ- فى دائرة إشعال شميت المبينة فى شكل (7-10-a)، إذا كان: $V_{sat} = 13$ V، فأوجد: V_{UT} و V_{LT}.

ب- إذا كان : $v_i = 5 \sin\omega t$، فأوجد شكل الموجة لجهد الخرج.

الحل :

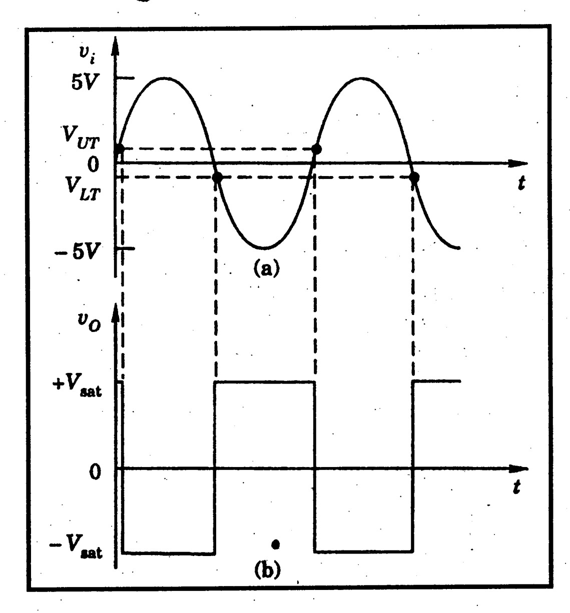
أ- *لإيجاد V_{UT} :

$$V_{UT} = \{0.1/100.1\} . 13 = 13 \text{ mV}$$

* لإيجاد V_{LT} :

$$V_{LT} = \{0.1/100.1\} . (-13) = -13 \text{ mV}$$

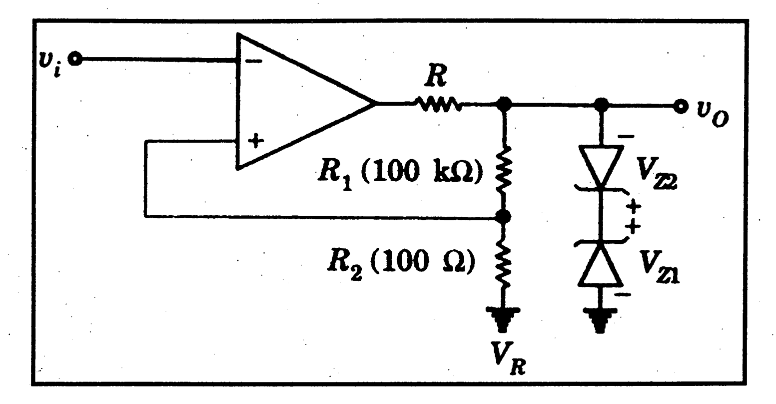
ب- يبين شكل (7-11) أشكال الموجة للدخل والخرج للدائرة.



شكل (7-11) أشكال الموجة للدخل والخرج لدائرة المثال (7-3)

تحديد جهد الخرج :

فى مكبر العمليات نجد أن مستويات جهد الخرج محددة بين $+V_{sat}$ و $-V_{sat}$ ومعتمدة على جهود التغذية، وممكن ألا تتاسب مستويات هذه الجهود لمستويات جهود مطلوبة لحمل خاص، فمثلا تتطلب عائلة TTL جهود دخل فى حدود +5V و0V ولتحديد جهود الخرج (والتى لا تعتمد على جهود قدرة التغذية) يستخدم عدد 2 زينر دايود موصلة ظهر بظهر Back-to-back كما هو مبين فى شكل (7-12)، وحيث تستخدم المقاومة R لتحديد التيار فى الدايودات.



شكل (7–12) دائرة مقارن بجهد خرج محدد

وفى هذه الدائرة حساب كل من جهد الإشعال الأعلى V_{UT}، وجهد الإشعال الأدنى V_{LT} كالآتى:

$$V_{UT} = \frac{R_2}{R_1 + R_2}(V_{Z1} + V_D) + \frac{R_1}{R_1 + R_2} V_R \tag{5-7}$$

$$V_{LT} = -\frac{R_2}{R_1 + R_2}(V_{Z2} + V_D) + \frac{R_1}{R_1 + R_2} V_R \tag{5-8}$$

حيث :

V_D: جهد الإنحياز الأمامى للدايود (≈ 0.7 V) .

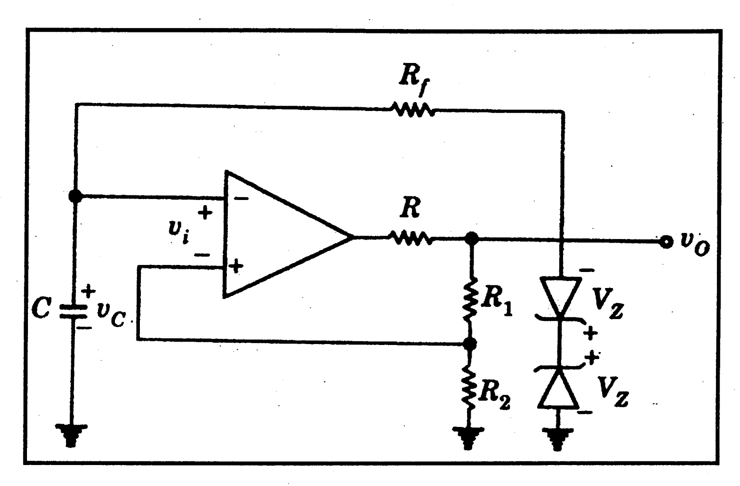
V_{Z1} ، V_{Z2} و : جهود الدايودات.

وتكون جهود الخرج: $(V_{Z1} + V_D)$ و$(V_{Z2}+ V_D)$ - ، وإذا تم إدخال إشارة الدخل v_i بدلا من الجهد المرجعى V_R، وإدخال الجهد المرجعى V_R عند مدخل العكس فنحصل على مقارن غير عكس.

7-3-3 المذبذب الغير مستقر:

المذبذب الغير مستقر هو مولد نبضات مربعة Square-wave generator، والشكل (7–13) عبارة عن دائرة المقارن التى تمت مناقشتها فى الجزء السابق، وفيها دائرة مرشح تردد منخفض Low-pass RC (المكونة من المقاومة R_f و المكثف C) والتى

تقوم بدمج وتوحيد Integrate جهد الخرج V_o، كما أن الجهد خلال المكثف C يطبق على المدخل العكس بدلا من الإشارة الخارجية.



شكل (7–13) المذبذب الغير مستقر

فإذا كان: $V_i < 0$، فيكون:

$V_0 = V_Z + V_D = V_0$

أما إذا كان : $V_i > 0$ ، فيكون:

$V_0 = -(V_Z + V_D) = -V_0$

ونفرض أنه عند لحظة ما عندما يكون $V_i < 0$، لهذا يكون : $V_o = V_o$، ويكون الجهد عند المدخل غير–العكس:

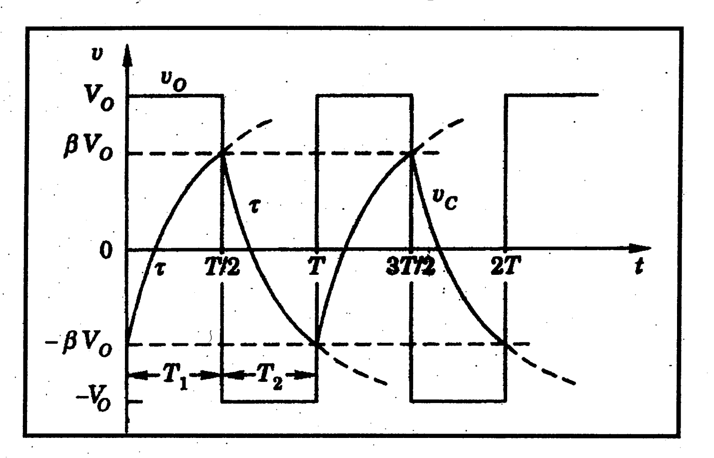
$= R_2V_0/(R_1 + R_2)$

$= \beta\ V_0$

حيث: $\beta = R_2/(R_1 + R_2)$

ويبدا المكثف C فى الشحن أسياً فى إتجاه الجهد V_0 بثابت زمنى قيمته: $R_f.C$، ويظل جهد الخرج ثابتاً عند القيمة V_0 حتى يصبح الجهد عبر المكثف مساويا: $\beta\ V_0$ وهو فى الوقت نفسه يكون مساويا: V_{UT}، فعنده يتغير جهد الخرج v_0 إلى الجهد – V_0، وهنا يتغير الجهد V_C أسياً فى إتجاه الجهد $-V_0$ بنفس الثابت الزمنى، ثم يتغير

الخرج V_0 مرة ثانية من $-V_0$ إلى $+V_0$ عندما يصبح الجهد عبر المكثف مساوياً: $-\beta V_0$، وهو فى الوقت نفسه يكون مساويا: V_{LT}، ويبين شكل (7-14) اشكال الموجة لكل من جهد المكثف V_C، وجهد الخرج V_0.



شكل (7-14) اشكال الموجة لكل من جهد المكثف V_C ، وجهد الخرج V_0

وتتحدد المدة الزمنية Time period والتى يرمز لها T والتى تخص شكل الموجة المربعة باستغلال الشحن والتفريغ للمكثف، حيث يحدد الجهد عبر المكثف V_C عند شحنه من $-\beta V_0$ إلى V_0 كالآتى:

$$V_C = V_0 [\, 1 - (\, 1 + \beta\,)\, e^{-t/\tau}\,] \qquad (7\text{-}7)$$

حيث: $\tau = R_f.C$

فعند: $t = T/2$، يكون : $V_C = \beta V_0$، وعلى هذا يكون :

$$T = 2\,\tau \ln \{(1+\beta)/(1-\beta)\}$$
$$= 2\, R_f.C \ln \{1+ (2R_2/R_1)\} \qquad (7\text{-}8)$$

ولايعتمد تردد الموجة المربعة: $(f = 1/T)$ على الجهد V_0، ويكون للدائرة السابقة حالتين شبه إستقرار، حيث يظل الخرج عند أحدى هاتين الحالتين لفترة زمنية T_1، ثم إنتقال فجائى إلى الحالة الثانية ويظل فيها لفترة زمنية T_2، وتتكررهذه الدورة للفترة الزمنية $(T = T_1 + T_2)$، ومن هنا تعرف هذه الدائرة بالمذبذب الغير مستقر Astable M.V.، أو الحر Free-running.

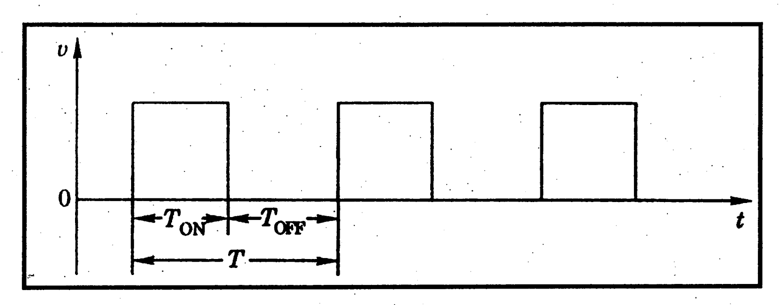
ويكون مولد النبضات المربعة هذا مفيداً عند مدى التردد من 10Hz إلى 10KHz، ويعتمد تماثل شكل موجة الخرج على مواءمة الدايودين، كما يمكن الحصول على عدم تماثل الموجة المربعة (أى أن $T_1 \neq T_2$) عند استخدام ثوابت زمنية مختلفة عند شحن المكثف إلى الجهدين V_0 ، و $-V_0$.

معامل دورة العمل (.Duty cycle (D.C :

ويطلق هذا المعامل على أشكال الموجة المربعة الغير متماثلة Unsymmetrical وهو يمثل النسبة المئوية لزمن بقاء الخرج عند المستوى العالى HIGH، أى :

$$D.C. = \{T_{ON}/(T_{ON} + T_{OFF})\}\ .\ 100 \qquad (7\text{-}9)$$

حيث : كل من T_{ON}، و T_{OFF} مبينة فى شكل (7-15)



شكل (7-15) تعريف T_{ON} ، و T_{OFF} لموجة مربعة متكررة

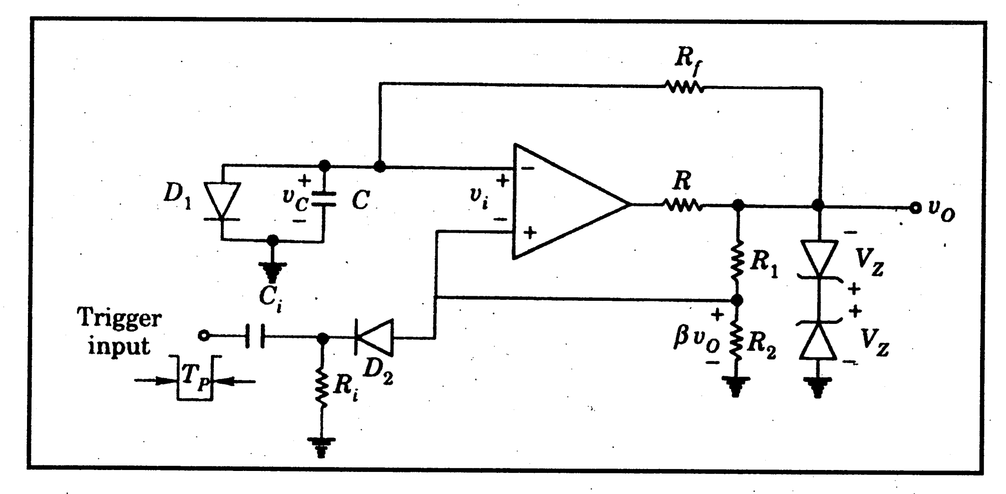
7-3-4 مذبذب أحادى الإستقرار:

المتذبذب الأحادى الإستقرار .Monostable M.V له حالة إتزان واحدة يظل عليها حتى تُطبق نبضة إشعال تتحول الدائرة علىٰ أثرها إلى الحالة الأخرى (أى تتحول الحالة من الحالة المنخفضة LOW إلى الحالة العالية HIGH، أو تتحول الحالة من الحالة العالية HIGH إلى الحالة المنخفضة LOW)، وتعرف حالة الدائرة عندئذ بالحالة الشبة مستقرة Quasi-stable state، وتستمر حالة الدائرة كهذا لفترة زمنية Time duration، وتتوقف هذه الفترة الزمنية T على قيم العناصر المستخدمة فى الدائرة، ثم تعود بعدها إلى حالة الإستقرار دون اية نبضات إشعال خارجية، ومن هنا نجد أن الدائرة تقوم بتوليد نبضة خرج مفردة كإستجابة لنبضة دخل مفردة،

ومن هنا جاءت تسميتها بدائرة الطلقة الواحدة One-shot، أو دائرة الطلقة المفردة Single-shot .

وقد تم تعديل المذبذب غير المستقر المبين فى شكل (7-13) ليعمل كمذبذب أحادى إستقرار بتوصيل دايود D_1 على التوازى مع المكثف C بحيث يُمسك جهد المكثف V_C عند الجهد V_D (جهد الإنحياز الأمامى للدايود ويساوى تقريباً: 0.7 V) خلال الرحلة الموجبة.

وتحت ظرف الحالة الثابتة ، تظل هذه الدائرة فى حالتها المستقرة بجهد الخرج v_o عند: V_o، ويُمسك جهد المكثف v_C عند الجهد V_D، وعند: $v_i < 0$ يجب ألا يقل الجهد V_D عن: βV_o، (ملحوظة: يمكن التأكد من أن هذه الدائرة – تحت ظرف الحالة الثابتة – لايمكن أن تكون فى حالة أخرى، كأن يكون جهد الخرج v_o عند: $-V_o$ مثلا)، ويمكن نقل حالة الدائرة إلى الحالة الأخرى، بتطبيق نبضة إشعال سالبة ذات سعة أكبر من: $(\beta V_o - V_D)$ عند المدخل غير-العكس ومن خلال دائرة مرشح تردد عالى High-pass RC (R_iC_i) ودايود D_2، وكما يتضح فى الدائرة الكاملة للمذبذب أحادى الإتجاه فى شكل (7-16).



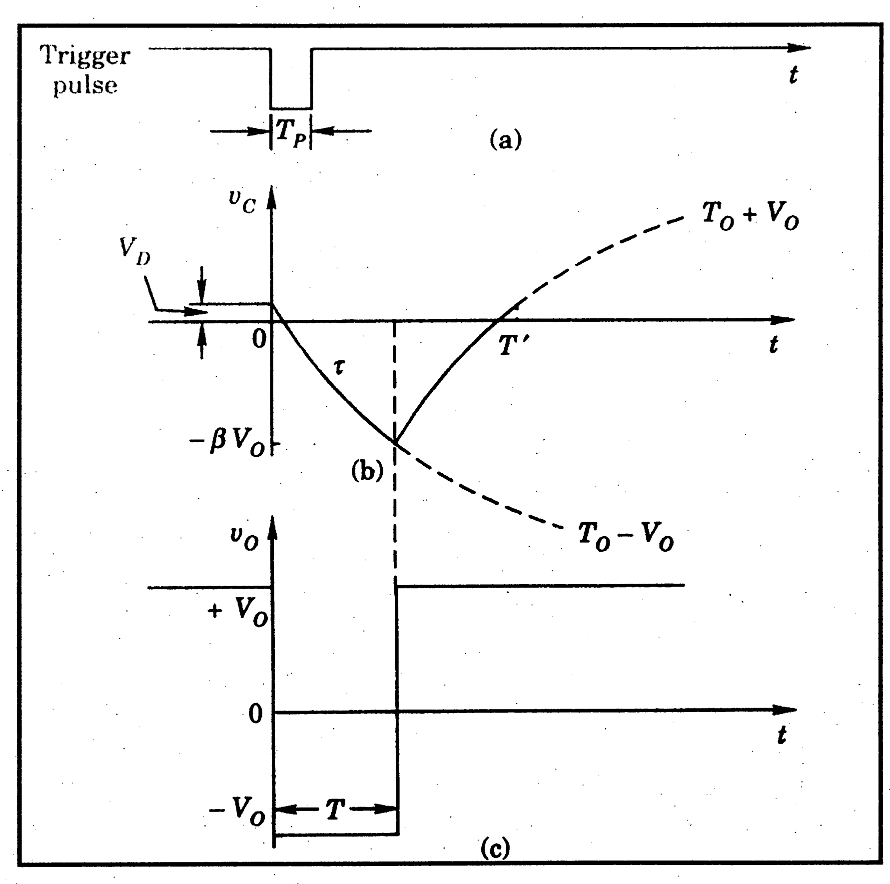
شكل (7-16) دائرة المذبذب أحادى الإتجاه

وعند تطبيق نبضة الإشعال يصبح جهد الدخل V_i موجباً مسبباً تغير حالة الدائرة $(V_o = -V_o)$ وهنا يُشحن المكثف C أسياً بثابت زمنى: $(\tau = R_f.C)$ فى إتجاه $(-V_D)$

والدايود D_1 فى إنحياز عكسى، وعندما يصبح الجهد v_C أكثر سالبية من: $-\beta V_o$، يصبح جهد الدخل v_i سالباً، وبالتالى يعود الخرج إلى الجهد $+V_o$.

ويتضح من التحليل السابق أن للدائرة حالة إستقرار واحدة ، وحالة واحدة شبه مستقرة، كما أن عرض نبضة الإشعال T_p يجب أن يكون أقل بكثير من زمن نبضة الخرج T، كما أن الدايود D_2 مستخدم لتفادى أى عطب Malfunction فى الدائرة يحدث بسبب أى سنون ضوضاء موجبة تتواجد فى خط الإشعال.

ويبين شكل (7-17) نبضة الإشعال، وأشكال الموجة للجهدين V_c، و V_o.



شكل(7-17) نبضة الإشعال ، وأشكال الموجة للجهدين V_c ، و V_o

وخلال حالة شبه الإستقرار، يحسب الجهد V_c من العلاقة:

$$V_C = -V_0 + (V_0 + V_D)\, e^{-t/\tau} \qquad (7\text{-}10)$$

وعند : $t = T$ ، يكون: $V_C = -\beta V_0$، وعلى هذا يكون:

$$T = \tau \ln \{(1+V_D/V_0)/(1-\beta)\} \qquad (7\text{-}11)$$

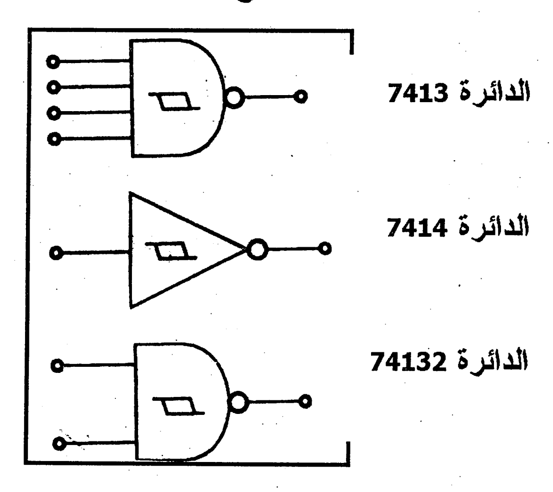
وعادة يكون: $V_D << V_0$، أى أن : $V_D/V_0 \approx 0$، ومنه:

$$T = \tau \ln (1-\beta)$$

وبفرض أن: $R_1 = R_2$، ومنه يكون: $\beta = 0.5$، عندئذ يصبح:

$$T = 0.69\, R_f . C \qquad (7\text{-}12)$$

وتصل الدائرة إلى ظرف الحالة الثابتة عند الزمن T'، وتُعرف الفترة الزمنية: $(T' - T)$ بزمن الافاقة Recovery time، كما يجب عدم إشعال الدائرة مرة ثانية قبل مرور زمن T' لضمان التشغيل الصحيح.



7-4 الدوائر التكاملية لإشعال شميت :

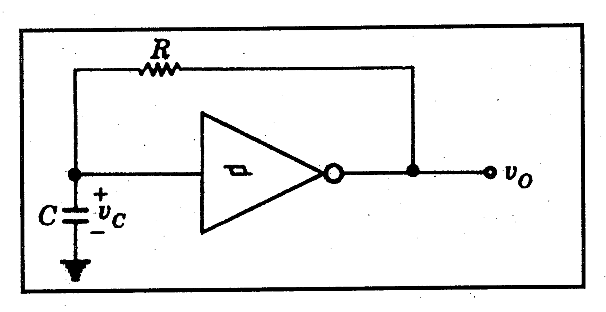
يبين جدول (7-1) بعض الدوائر التكاملية لإشعال شميت وللبوابات TTL، ونجد أن: $V_{UT} = 1.7$ V و $V_{LT} = 0.9$ V بينما فى بوابات CMOS نجدها 3.6V ، 1.2V على الترتيب عند عملها عند: $V_{CC} = 5$ V، ويتغير خرج هذه الدوائر سريعاً كباقى خروج دوائر TTL، إلا أنها يمكنها الإستجابة للدخول المتغيرة البطيئة .

جدول (7-1)

رقم الدائرة	الوصف
7413	مشعلات شميت : بوابة NAND بـــ 4-مدخل ، مزدوجة
7414	16 عاكسات مشعلات شميت
74132	مشعلات شميت : بوابة NAND بـــ 2-مدخل ، رباعية

وتُمثل رموز هذه الدوائر كالآتى :

7-4-1 مولد الموجة المربعة فى دوائر إشعال شميت :



شكل (7-18) مولد موجة مربعة فى دوائر إشعال شميت

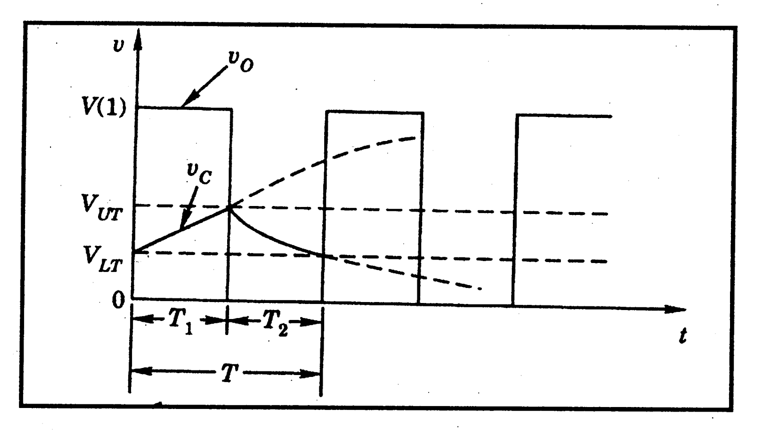
باستخدام عاكس إشعال شميت يمكن عمل مولد موجة مربعة بسيط جدا كما هو مبين فى شكل (7-18) فعندما يكون الخرج v_0 عالى HIGH، يُشحن المكثف C بثابت زمنى قدره: $\tau = RC$، وعند وصول جهد المكثف v_C إلى القيمة: V_{UT}، يتغير الخرج v_0 ليصبح منخفضاً LOW، عندئذ يُفرغ المكثف C فى ترانزيستور خرج البوابة والذى يكون فى التشبع، وعند وصول جهد المكثف V_C إلى القيمة: V_{LT}، يتغير الخرج V_0 ليصبح عالياً HIGH، وتستمر هذه العملية وتتولد نبضة مربعة عند الخرج V_0، وكما هو مبين فى شكل (7-19).

ويمكن حساب زمن دورة T الموجة المربعة كالآتى :

$$T = T_1 + T_2 = RC\left(\ln \frac{V(1) - V_{LT}}{V(1) - V_{UT}} + \ln \frac{V_{UT}}{V_{LT}}\right) \qquad (7\text{-}13)$$

حيث:

V(1): المنطق 1 لجهد الخرج .



شكل (7-19) أشكال الموجة لمولد نبضة مربعة

7-5 الدوائر التكاملية للمذبذبات أحادية الإستقرار :

تتوافر بعض المذبذبات أحادية الإستقرار المفيدة على شكل دوائر تكاملية، ومن هذه الأنواع ماهو موضح فى جدول (7-2).

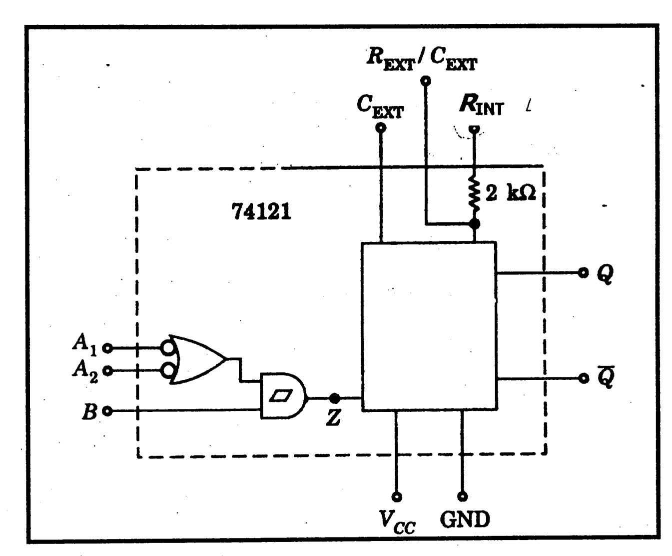
جدول (7-2)

رقم الدائرة	الوصف
74121	مذبذب أحادى إستقرار (طلقة واحدة)
74122	مذبذب أحادى إستقرار مجدد الإشعال Retriggerable بمسح
74123	مذبذب أحادى إستقرار مجدد الإشعال Retriggerable بمسح، مزدوج
74221	مذبذب أحادى إستقرار بمسح ، مزدوج

ويتم وصف بعض هذه الدوائر كالتالى.

7-5-1 مذبذب أحادى إستقرار 74121 :

يبين شكل (7-20) المخطط الوظيفى للدائرة التكاملية للمذبذب أحادى الإستقرار الطلقة الواحدة طراز TTL IC 74121 ، كما يبين شكل (7-21) الجدول الوظيفى له.



شكل (7-20) المخطط الوظيفى للدائرة التكاملية للمذبذب أحادى الإستقرار 74121

الدخول			الخروج	
A_1	A_2	B	Q	$\bar{Q}$
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1	↓	1	⊓	⊔
↓	1	1	⊓	⊔
↓	↓	1	⊓	⊔
0	X	↑	⊓	⊔
X	0	↑	⊓	⊔

شكل (7-21) الجدول الوظيفى للدائرة 74121

ولإشعال الدائرة، يلزم وجود حافة نبضة صاعدة Rising pulse edge عند النقطة Z فى الدائرة، وهذا يمكن تحقيقه بإحدى الطريقتين الآتيتين:

1- أن يكون أحد دخلى A أو كلاهما عند المنطق 0، بينما يتغير الدخل B من منطق 0 إلى منطق 1 (↑).

2- أن يكون الدخل B عند المنطق 1، بينما يتغير احد دخلى A من منطق 1 إلى منطق 0 (↓) ويظل الدخل الآخر عند المنطق 1، أو يتغير الدخلين A من منطق 1 إلى منطق 0 (↓) فى آن واحد.

ويعتمد زمن نبضة الخرج على قيم المقاومة R_{EXT} أو R_{INT} والمكثف C_{EXT} المستخدمة، كما يوصل مكثف توقيت Timing capacitor خارجيا بين الطرفين المُرَمزين R_{EXT}/C_{EXT} و C_{EXT} (عند إستخدام مكثف إليكتروليتى، توصل نهايته الموجبة بالطرف R_{EXT}/C_{EXT}، وتبلغ أقصى قيمة لهذا المكثف : 1,000 µF)، وإذا لم يستخدم هذا المكثف، فسوف تظهر سعة شاردة Stray capacitance بين مسامير توصيل الدائرة التكاملية منتجة خرج بعرض نبضة صغير.

ويوجد إختيارين لمقاومة التوقيت: إما توصيل نهاية الطرف R_{INT} بالنهاية V_{CC} للحصول على مقاومة توقيت داخلية فعالة R_{INT} بقيمة 2 KΩ، أو توصيل مقاومة توقيت خارجية R_{EXT} بين النهاية R_{EXT}/C_{EXT} والنهاية V_{CC} تصل قيمتها مابين 1.4 KΩ و 40 KΩ.

وفى أى حال لايجب إستخدام R_{EXT} و R_{INT} فى وقت واحد ، ويحسب زمن نبضة الخرج من العلاقة:

$$T_{ON} \approx 0.7\,RC \qquad (7\text{-}14)$$

حيث: R و C قيم مقاومة التوقيت ومكثف التوقيت على الترتيب.

وأقل عرض نبضة ممكن يكون فى الحدود من 30 ns إلى 35 ns (باستخدام المقاومة R_{INT} وبدون المكثف C_{EXT}) وأقصى عرض نبضة ممكن يكون فى الحدود 28 S (باستخدام: R_{EXT} = 40 KΩ، و C_{EXT} =1,000 µF).

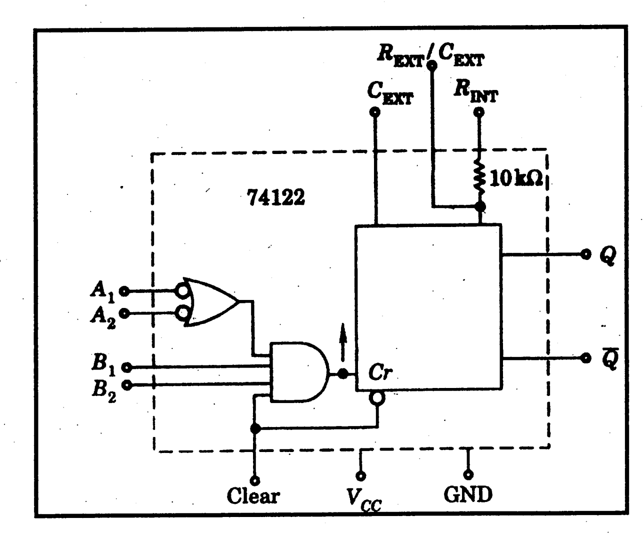
ويكون أقصى معامل دورة خدمة .D.C مسموح به حوالى 67% بالمقاومة R_{INT} ، ويصل إلى 90% بالمقاومة: R_{EXT} = 40 KΩ.

ويتم تطبيق الدخول A على بوابة TTL عادية ولهذا يجب أن تعمل هذه الدخول إنتقالات سريعة، أما الدخل B فيطبق على دخل إشعال شميت والذى يستجيب للدخول البطيئة التغيير، ولهذا إذا كان المطلوب شكل موجة بطيئة لإشعال المذبذب فتطبق عند المدخل B.

7-5-2 مذبذب أحادى إستقرار مجدد الإشعال 74122 ، و 74123 :

تمثل الدائرة 74121 التى تمت مناقشتها مسبقاً، دائرة مذبذب غير مجدد الإشعال Non-retriggerable، بمعنى أن المذبذب يستجيب لنبضة الإشعال فقط عندما يكون فى حالة السكون، أما المذبذب الأحادى الإستقرار مجدد الإشعال Retriggerable فإنه يستجيب لنبضة الإشعال حتى ولو كان فى الحالة شبه المستقرة (حالة القفل ON)، حيث يقوم المذبذب بتحرير التوقيت Reset the timing ولايصل إلى الحالة الثابتة حالة الفتح OFF) إلا بعد مرور فترة زمنية تكفى لنبضة واحدة بعد تطبيق آخر نبضة إشعال ، ومن هنا يصبح معامل دورة العمل .D.C غير محدد.

ويبين شكل (7-22) المخطط الوظيفى للدائرة التكاملية للمذبذب 74122، كما يبين شكل (7-23) الجدول الوظيفى له.



شكل (7-22) المخطط الوظيفى للدائرة التكاملية للمذبذب 7412

الدخول					الخروج	
C_r	A_1	A_2	B_1	B_2	Q	$\overline{Q}$
0	x	x	X	X	0	1
X	1	1	X	X	0	1
X	X	X	0	X	0	1
X	X	X	X	0	0	1
X	0	X	1	1	0	1
1	0	X	↑	1	⊓	⊔
1	0	X	1	↑	⊓	⊔
1	X	0	1	1	⊓	⊔
1	X	0	↑	1	0	1
1	X	0	1	↑	⊓	⊔
1	1	↓	1	1	⊓	⊔
1	↓	↓	1	1	⊓	⊔
1	↓	1	1	1	⊓	⊔
↑	0	X	1	1	⊓	⊔
↑	X	0	1	1	⊓	⊔

شكل (7-23) الجدول الوظيفى للدائرة 74122

وللدائرة مقاومة توقيت داخلية R_{INT} بقيمة 10KΩ، ويتم استخدامها بالطريقة كما تم استخدامها فى الدائرة 74121، كما تتراوح حدود قيم المقاومة R_{EXT} من 5KΩ إلى 50KΩ ، ويتم حساب عرض النبضة بالطريقة التالية:

1- إذا كان مكثف التوقيت ($C_{EXT} < 10pF$)، فيتم حساب عرض النبضة من المنحنيات التالية.

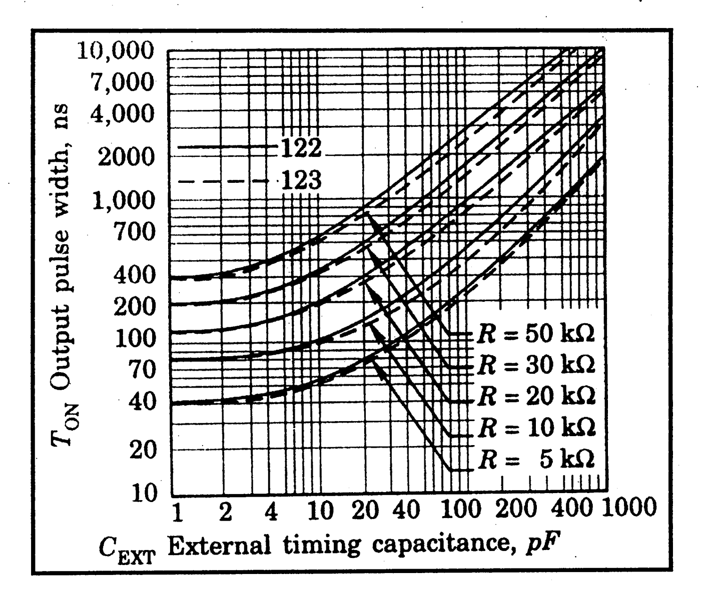
2- إذا كان مكثف التوقيت ($C_{EXT} > 10pF$) ، فعندئذ يكون :

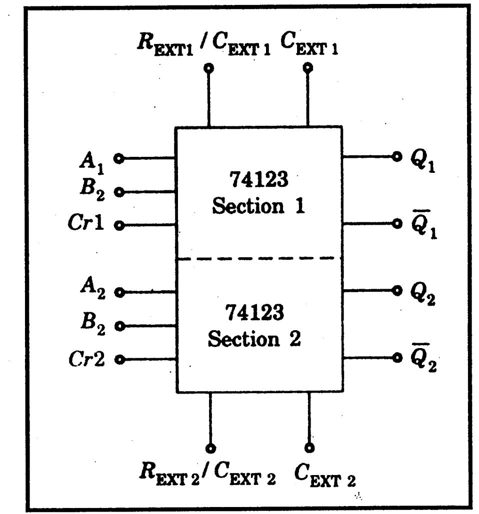
$$T_{ON} \approx 0.3\,R \,.\, C_{EXT}\,(1 + 0.7/R) \qquad (7\text{-}15)$$

حيث :

T_{ON} بوحدات ns ، R بوحدات KΩ ، C_{EXT} بوحدات pF .

أما الدائرة 74123 مذبذب أحادى إستقرار مجدد الإشعال Retriggerable مزدوج، ويتشابه عملها كعمل الدائرة 74122 فيما عدا أن مقاومة التوقيت الداخلية غير موجود، ويبين شكل (7-24) المخطط الوظيفى للدائرة التكاملية للمذبذب 74123، كما يبين شكل (7-25) الجدول الوظيفى له.





شكل (7-24) المخطط الوظيفى للدائرة التكاملية للمذبذب 74123

الدخول			الخروج	
C_r	A	B	Q	$\bar{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⊓	⊔
1	↓	1	⊓	⊔
↑	0	1	⊓	⊔

شكل (7-25) الجدول الوظيفى للدائرة 74123

ملحوظة: هذه الدوائر التكاملية لها دخول مسح غير متزامنة بجهد فعال-منخفض، تستخدم لمسح (Q = 0) الطلقة الواحدة.

7-5-3 متذبذب أحادى إستقرار مجدد الإشعال 74221 بخاصية مسح :

هذه الدائرة مزدوجة لها خواص أداء تطابق خواص أداء الدائرة 74121، والمخطط الوظيفى مثل المخطط الوظيفى للدائرة 74123 المبينة فى شكل (7-24)، أما الجدول الوظيفى فمبين فى شكل (7-26) ولهذه الدائرة دخل مسح غير متزامن بجهد فعال-منخفض، تستخدم لتحرير الدائرة.

الدخول			الخروج	
C_r	A	B	Q	$\bar{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⊓	⊔
1	↓	1	⊓	⊔

شكل (7-26) الجدول الوظيفى للدائرة 74221

مثال (7-4) :

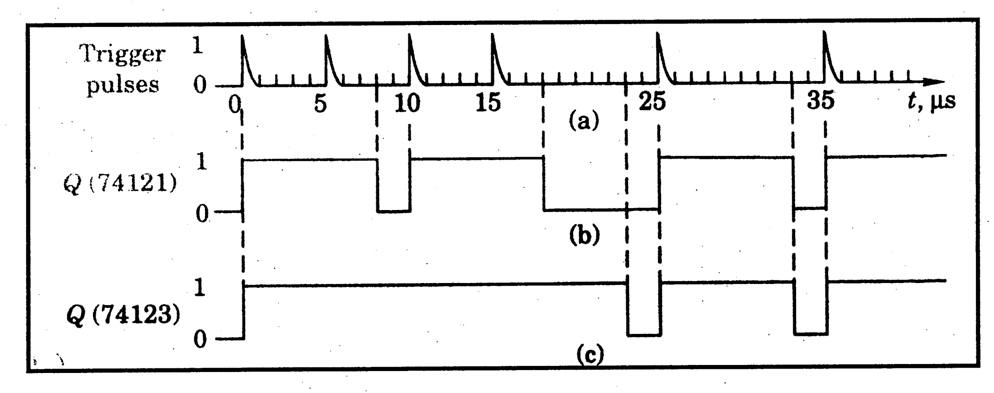
أ- تستخدم دائرة 74121 لتوليد نبضة سعتها 8 µs بمعامل دورة عمل 80%، ويتم تطبيق نبضات الإشعال المبينة فى شكل (7-27) عند المدخل B، بينما الدخول: $A_1 = A_2 = 0$، مطلوب رسم أشكال الموجة للخرج Q.

ب- إذا تم تطبيق نفس نبضات الإشعال عند المدخل B لأحد مقطعى للدائرة 74123 والمستخدمة فى توليد نبضة سعتها 8 µs أيضاً، ومع : A = 0، و $C_r = 1$، فماذا تكون أشكال الموجة للخرج Q.

الحل :

أ- يبين شكل (7-27-a) أشكال الموجة للدائرة 74121.

ب- يبين شكل (7-27-b) أشكال الموجة لأحد مقطعى الدائرة 74123.



شكل (7-27) a- نبضات الإشعال

b-أشكال الموجة للدائرة 74121 . c- أشكال الموجة لأحد مقطعى الدائرة 74123

مثال (7-5) :

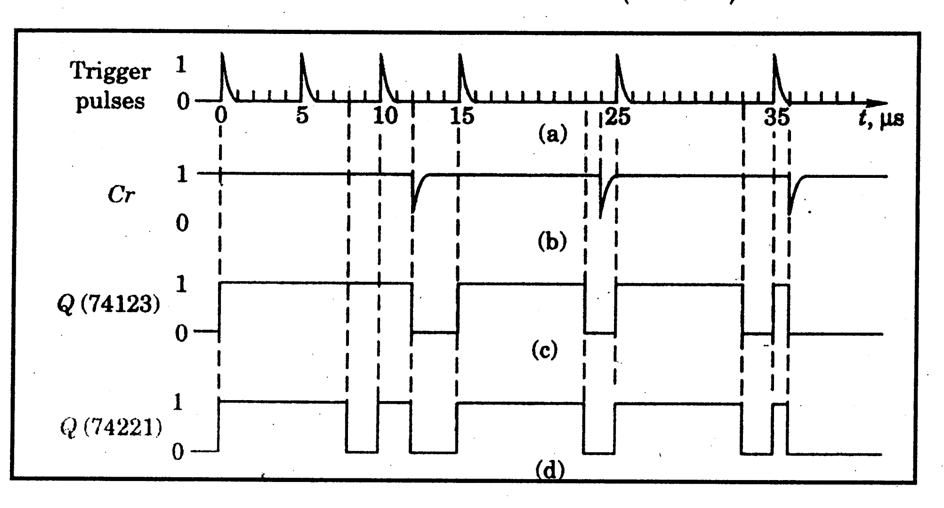
أ- فى دائرة المثال (7-4-ب)، إذا تغير دخل المسح إلى الوضع LOW كل 12 µs كما هو موضح فى الشكلين (9-28-a,b)، فماذا تكون أشكال الموجة للخرج Q.

ب- وإذا تم استبدال الدائرة السابقة 74123 بالدائرة 74221، فمطلوب رسم أشكال الموجة للخرج.

الحل :

أ- يبين شكل (7-28-c) أشكال الموجة للدائرة 74123.

ب- يبين شكل (7-28-d) أشكال الموجة لأحد مقطعى الدائرة 74221.



شكل (7-28) أشكال الموجة للمثال (7-5)

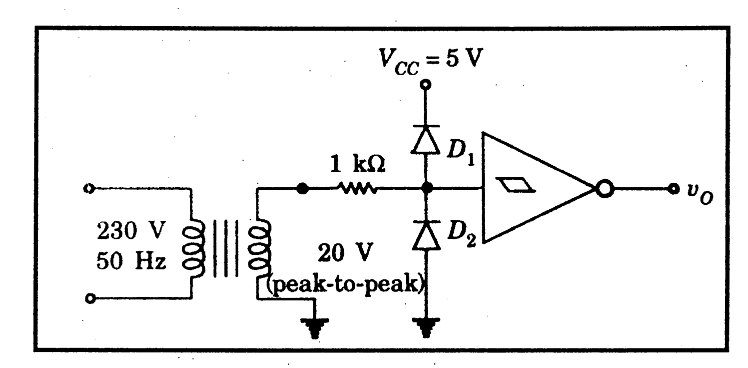
مثال (7-6) :

مطلوب تصميم دائرة لمراقبة منبع جهد تغذية متردد A.C. mains voltage، وفيها عند فقد أحد الذبذبات، يتم سماع صوت جرس إنذار ويستمر حتى يتم إيقافه بالضغط على مفتاح ضاغط.

الحل :

أولا يتم تحويل الجهد الجيبى إلى موجة مربعة Square wave لتكون مناسبة كدخل للدوائر الرقمية، حيث تستخدم لهذا دائرة كالمبينة فى شكل (7-29)، فباستخدام محول خفض يُحول الجهد المتردد من: 230 V , 50 Hz إلى جهد 20 V قمة لقمة Peak-to-peak، ويتم إمساك دخل البوابة على الجهد V_{CC} خلال الدورة الموجبة

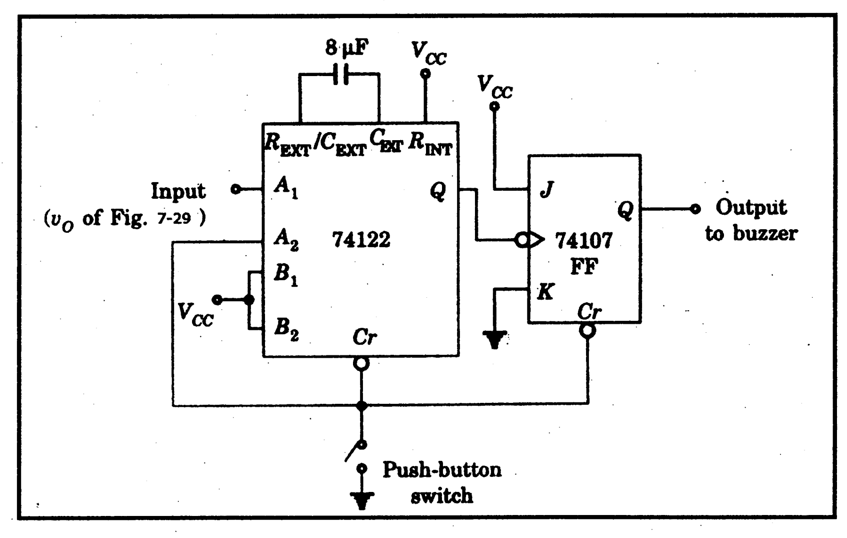
من شكل الموجة الجيبية بمساعدة الدايود D_1، وعلى 0V خلال الدورة السالبة بمساعدة الدايود D_2.



شكل (7-29) دائرة تحويل منبع جهد تغذية متردد إلى موجة مربعة

وحيث أن خرج المحول هو جهد تغير بطئ، فتستخدم دائرة إشعال شميت يكون خرجها موجة مربعة ترددها 50 Hz.

والآن يستخدم مذبذب أحادى إستقرار مجدد الإشعال ينتج خرج بمعامل دورة خدمة قيمتها 100% طالما أن الجهد المتردد موجود، ولهذا تستخدم الدائرة المبينة فى شكل (7-30)، كما سيتم شرح طريقة عملها كما يلى:



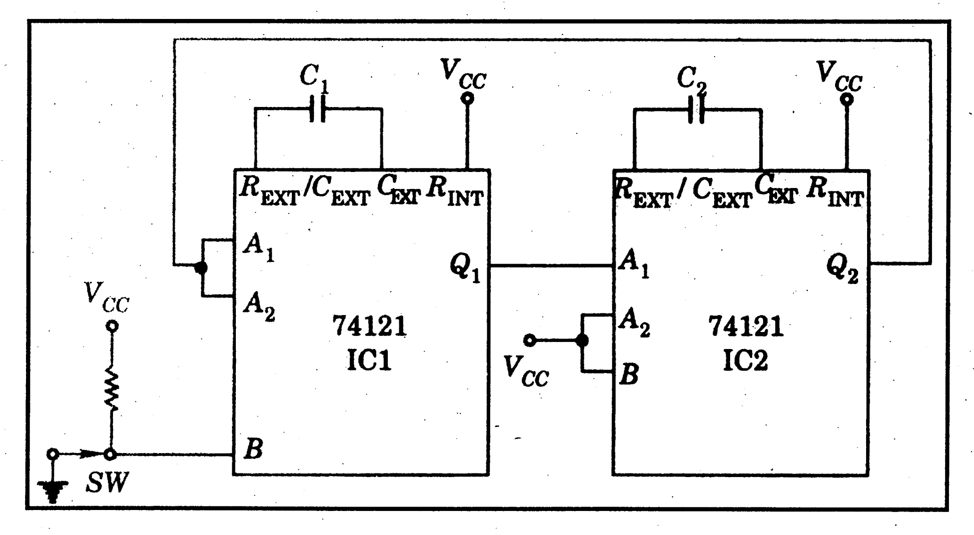
شكل (7-30) دائرة كشف نبضة مفقودة

من الدائرة (7-29) نجد أن خرجها هو نبضة مربعة ترددها 50 Hz، أى أنها تنتج حواف نبضية Pulse edges كل 20 ms، ويتم إدخال هذه النبضات عند المدخل A_1 من دائرة 74122 مُهيأة لنبضات عرضها أكبر من 20 ms بقليل (فرضاً 25 ms)، وعلى هذا فلايمكن للمذبذب أن يعاد تهيأته Reset مادام الجهد المتردد موجوداً .

وبفرض مقاومة توقيت داخلية قيمتها 10 KΩ ، يصبح مكثف التوقيت المطلوب حوالى: 8 µF (من المعادلة 7-15). وعند إنقطاع التيار يصبح الخرج Q للدائرة 74122 منخفضاً LOW، والذى يُهيأ القلاب 74107 مسبباً تشغيل الجرس، ويتسبب الضغط على المفتاح الضاغط فى مسح كل من القلاب والمذبذب، وعند إطلاق المفتاح (وفى حالة عودة التيار) سيتم إشعال الدائرة 74122 وتعود الدائرة للتشغيل الطبيعى، أما عند إطلاق المفتاح (وفى حالة إستمرار إنقطاع التيار) فسيُسمع صوت الإنذار مرة ثانية بعد 25 ms.

7-5-4 دائرة مذبذب غير مستقر باستخدام مذبذبين أحادى إستقرار :

يمكن عمل إزدواج لمذبذبين أحادى إستقرار كما هو مبين فى شكل (7-31) للحصول على مذبذب غير مستقر.

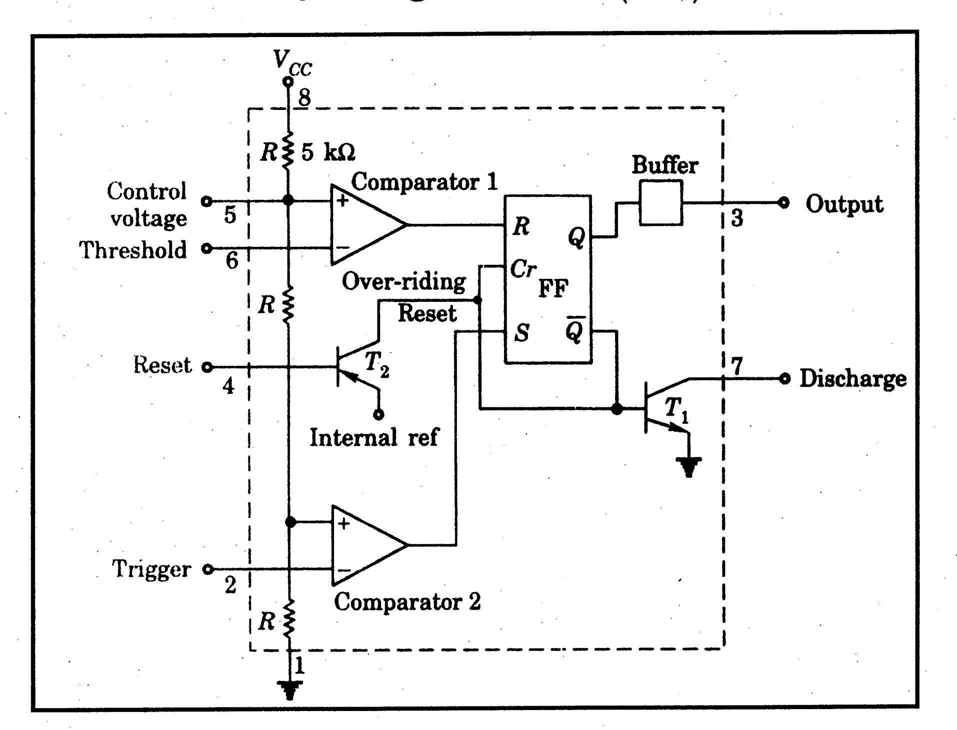


شكل (7-31) مذبذب غير مستقر باستخدام دائرتين 74121

ففى الحالة الإبتدائية يكون الخرج Q_2 منخفضاً، وعند فتح المفتاح SW تصل الدائرة الأولى1C1 إلى الحالة شبه المستقرة، وعند وصول الخرج Q_1 للحالة المنخفضة LOW (↓) فى زمن T_1 (عرض النبضة للدائرة 1C1)، يتم إشعال الدائرة 1C2 ويتحول خرجها Q_2 ليكون عالياً HIGH ، ويظل هكذا لزمن T_2 (عرض النبضة للدائرة 1C2) بعدها ينزل للحالة المنخفضة LOW (↓)، مما يتسبب فى إشعال الدائرة 1C1، وتستمر هذه العملية وينتج موجة مربعة عند Q_1، وQ_2، كما يمكن التحكم فى تردد الموجة المربعة بواسطة عناصر التوقيت (المقاومات، والمكثفات).

7-6 المؤقِت 555 :

الدائرة التكاملية للمؤقِت 555 هى واحدة من أبسط الدوائر والمتعددة الإستخدام فى الأجهزة المنطقية التتابعية والتى يمكن استخدامها كمذبذبات غير مستقرة وكمذبذبات أحادية إستقرار، كما أن المداخل والمخارج تلائم الدوائر المنطقية TTL و COMS، ويبين شكل (7-32) المخطط الوظيفى لهذا المؤقِت.



شكل (7-32) المخطط الوظيفى للمؤقِت 555

وهذه الدائرة تتكون من عناصر رقمية (مكبرى عمليات يستخدمان كمقارنات ، وقلاب R-S) وعناصر تناظرية (العازل والترانزيستورات)، وللمؤقِت 8 أطراف يتم التعرف عليها كالتالى:

1- الطرف 1: الأرضى.

2- الطرف 2: مدخل الإشعال ويطبق على المقارن السفلى، وإذا كان جهد الإشعال أقل من $V_{CC}/3$ +، يصبح خرج المقارن عاليا HIGH ويحدث إمساك للقلاب، وتصبح حالة مخرجه Q عالية HIGH.

3- الطرف 3: مخرج المؤقِت وله حالتان: الحالة المنخفضة LOW وتساوى 0V، والحالة العالية HIGH وتساوى $+V_{CC}$.

4- الطرف 4: مدخل التحرير، وعادة يوصل مع الجهد الموجب للمنبع VCC فى حالة عدم الحاجة لتحرير خارجي.

5- الطرف 5: مدخل جهد التحكم، ويستخدم فى التضمين Modulation .

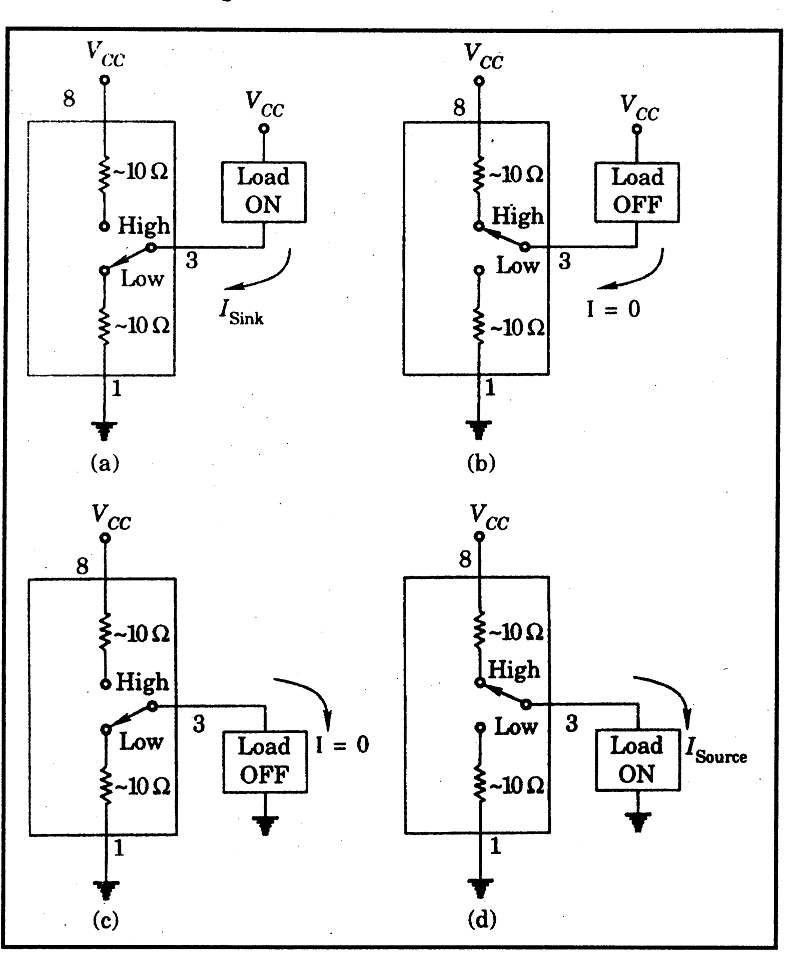
6- الطرف 6: مدخل الجهد الحدى والذى إذا زاد عن جهد التحكم يؤدى إلى خرج عالى HIGH للمقارن العلوى، وبالتالى يتحرر القلاب وتصبح حالة مخرجه Q منخفضة LOW.

7- الطرف 7: تفريغ المكثف الذى يوصل بالرجل 6 والمستخدم لتحديد زمن الذبذبات ، فإذا كان الخرج $\bar{Q}$ عالياً HIGH فسيتشبع الترانزيستور T_1، مما يجعل المكثف يقوم بتفريغ شحنته خلال مقاومة الترانزيستور والتى تكون صغيرة جداً.

8- الطرف 8: الجهد الموجب V_{CC} +، وهو يتراوح بين 5V+، و 15V+، ويجب ألا يزيد عن 18 V+.

* ويتلقى المقارنان الجهد المرجعى Reference voltage لهما عن طريق مجموعة من 3 مقاومات موصلة بين المنبع والأرضى، حيث تبلغ قيمة هذا الجهد: $2V_{CC}/3$ للمقارن 1، بينما تبلغ قيمته : $V_{CC}/3$ للمقارن 2، ويمكن لهذه الجهود أن تتحكم فى التوقيت- والذى يمكن تغييره إليكترونيا إذا كان هذا مطلوباً - وذلك بإدخال جهد تحكم على الطرف 5، أما إذا كان هذا غير مطلوب فيلزم توصيل مكثف إمرار

Bypass capacitor قيمته فى حدود 0.01 µF بين هذا الطرف والأرضى وذلك لإمرار الضوضاء أو الجهود المتموجة أو كلاهما المتسببة من منبع التغذية.



شكل (7-33) توصيلات الخرج للمؤقِت 555

وفى رحلة الإنخفاض السالبة لدخل الإشعال على المقارن 2 وأثناء إجتيازه للجهد المرجعى $V_{CC}/3$ يصبح خرجه عاليا HIGH ويحدث إمساك للقلاب، وتصبح حالة مخرجه Q عالية HIGH، وفى رحلة الإرتفاع الموجبة لجهد العتبة والذى إذا زاد عن الجهد المرجعى عن $2V_{CC}/3$ يؤدى ذلك إلى خرج عالى HIGH للمقارن 1، وبالتالى يتحرر القلاب وتصبح حالة مخرجه Q منخفضة LOW ($\bar{Q}=1$).

ويتم توصيل مكثف توقيت خارجى بين طرف التفريغ والأرضى، وعندما يكون القلاب فى حالة التحرير ($\bar{Q}=1$) فإنه يقود الترانزيستور T_1 إلى التشبع وبذلك يُفرغ مكثف التوقيت، وتبدأ دورة التوقيت عند وصول القلاب لحالة الإمساك ولهذا يكون T_1 مفتوحاً OFF، ويُشحن مكثف التوقيت بثابت زمنى:

$$\tau = R_A \cdot C$$

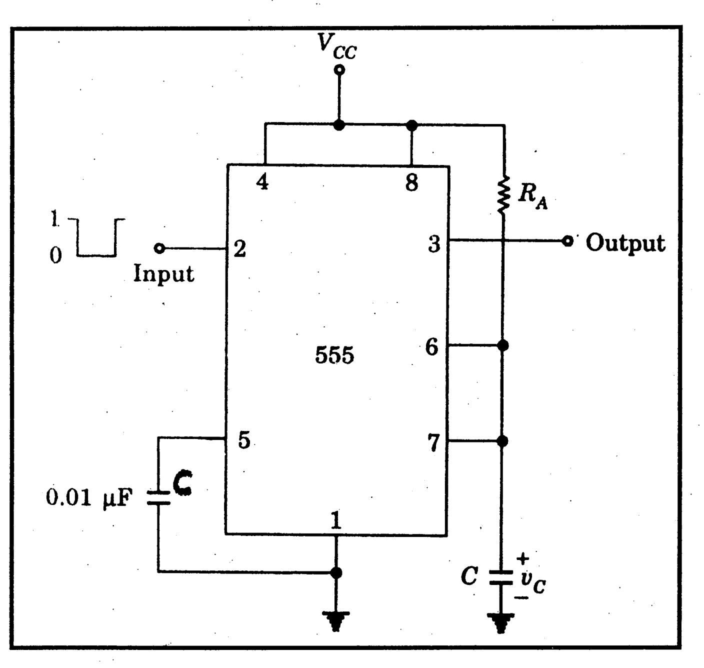
حيث: C ...مكثف التوقيت.

R_A ...مقاومة خارجية موصلة بين طرف التفريغ وجهد المنبع V_{CC}.

ويكون الخرج عند المنطق 1 متى كان T_1 مفتوحاً OFF، ويكون عند المنطق 0 متى كان T_1 مغلقاً ON. ويمكن توصيل الحمل إما بين طرف الخرج والجهد V_{CC}، أو بين طرفى الخرج والأرضى، ويبين شكل (7-33) أربع توصيلات ممكنة للخرج .

7-6-1 مذبذب أحادى إستقرار باستخدام المؤقِت 555:

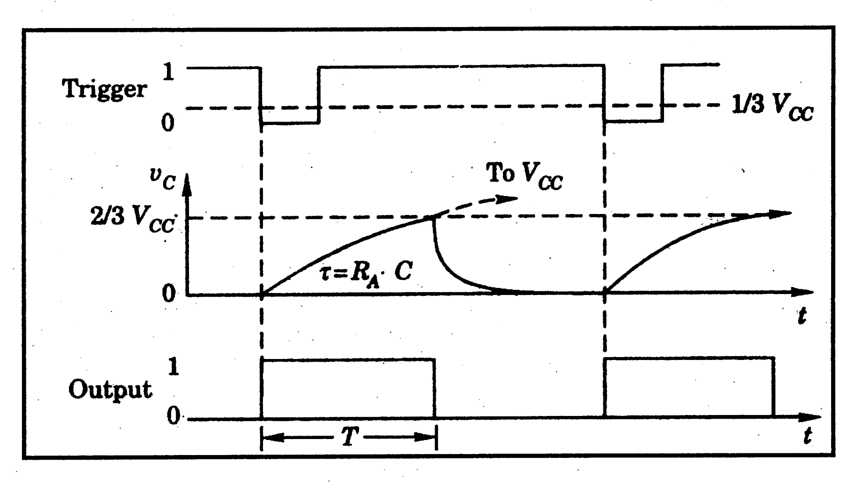
يبين شكل (7-34) مذبذب أحادى إستقرار باستخدام المؤقِت 555 .



شكل (7-34) مذبذب أحادى إستقرار باستخدام المؤقِت 555

وعند وجود نبضة الإشعال فى الحالة العالية HIGH وتحت ظرف الحالة الثابتة، ويصبح T_1 مغلقاً ON كما يصبح طرفى التفريغ والخرج (الطرفين 7، و 3) عند المستوى المنخفض LOW، وعند تجاوز نبضة الإشعال السالبة للجهد $V_{CC}/3$ يصبح خرج المقارن 2 عالياً HIGH فيتهيأ القلاب، وبالتالى يفتح الترانزيستور T_1 ويصبح الخرج عالياً HIGH، ويبدأ المكثف C فى الشحن إلى الجهد V_{CC} بثابت زمنى: ($\tau = R_A \cdot C$)، وتظل الدائرة فى هذه الحالة حتى بعد تغير نبضة الإشعال للمنطق 1، وعندما يصل جهد المكثف المتصاعد إلى القيمة: $2V_{CC}/3$، يصبح خرج المقارن 1 عاليا HIGH فيسبب ذلك فى تحرر القلاب، ويصل T_1 للتشبع وبذلك يتفرغ المكثف ويتغير الخرج ويصبح منخفضاً LOW.

ويبين شكل (7-35) أشكال الموجة المختلفة لهذا المذبذب.

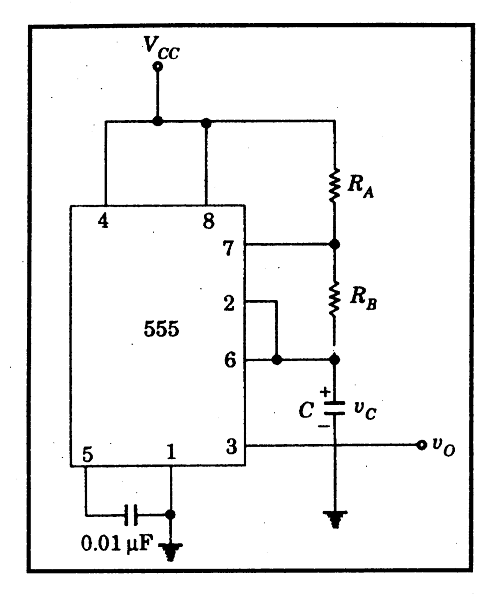


شكل (7-35) أشكال الموجة المختلفة لمذبذب أحادى إستقرار يستخدم مؤقِت 555

وهذا المذبذب من النوع غير متجدد الإشعال، ويمكن تحويله إلى نوع متجدد الإشعال إذا تم توصيل طرف التحرير (الطرف 4) بمدخل الإشعال (الطرف 2) بدلا من من طرف المنبع V_{CC}، ويتم إشعاله عند الحافة الموجبة لنبضة الإشعال.

7-6-2 مذبذب غير مستقر باستخدام المؤقِت 555:

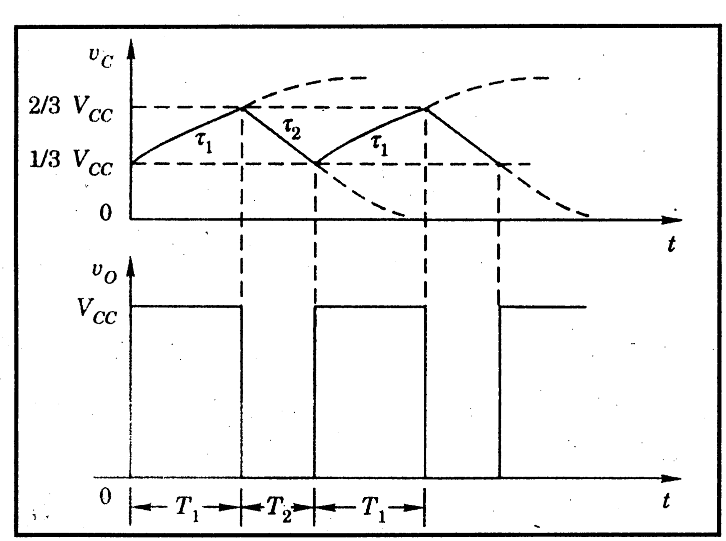
يبين شكل (7-36) مذبذب غير مستقر باستخدام المؤقِت 555.



شكل (7-36) مذبذب غير مستقر باستخدام المؤقِت 555

فدعنا نفرض أن الخرج فى الحالة العالية HIGH والمكثف C يُشحن من خلال المقاومتين R_A، و R_B، ويكون الثابت الزمنى:

$$\tau_1 = (R_A + R_B) . C$$



شكل (7-37) أشكال الموجة المختلفة لمذبذب غير مستقر يستخدم مؤقِت 555

وعند وصول جهد المكثف v_C إلى القيمة $2V_{CC}/3$، يتحول الخرج إلى الحالة المنخفضة LOW ويبدأ المكثف C فى التفريغ خلال المقاومة R_B بثابت زمنى:

$$\tau_2 \approx R_B . C$$

وعندما يصل الجهد v_C إلى $V_{CC}/3$ يتم إشعال المؤقِت ويعود الخرج مرة ثانية للحالة العالية HIGH، كما يعود المكثف ثانية للشحن تجاه الجهد V_{CC} بالثابت الزمنى τ_1، ويبين شكل (7-37) أشكال الموجة المختلفة.

ويمكن حساب الفترات الزمنية للشحن والتفريغ كالآتى :

$$T_1 \approx 0.7 C (R_A + R_B) \quad (7\text{-}16)$$

وأيضاً :

$$T_2 \approx 0.7 C R_B \quad (7\text{-}17)$$

وعلى هذا يكون :

$$f = 1/T = 1/(T_1 + T_2) = 1.4/C(R_A + 2R_B) \quad (7\text{-}18)$$

ويكون معامل دورة الخدمة :

$$D.C. = \{(R_A + R_B)/(R_A + 2R_B)\} \times 100 \quad (7\text{-}19)$$

ومن المعادلة (7-19) نلاحظ أن معامل دورة الخدمة يكون دائماً مختلفاً عن قيمة50%، ويمكن جعله 50% (أى الحصول على موجة مربعة متماثلة Symmetrical) بتوصيل دايود على التوازى مع المقاومة R_B والتى تمسك جهد المقاومة R_B اثناء شحن المكثف، وعلى هذا إذا تساوت المقاومتان R_A، R_B فستكون τ_1، وτ_2 متساويتين.

كما أنه من الممكن توليد موجة مربعة متماثلة باستخدام خرج المؤقِت 555 كدخل ساعة لقلاب نوع-T مع: (T = 1)، ويكون خرج القلاب موجة مربعة متماثلة.

7-7 المحولات :

فى الفصل الأول تمت مناقشة مزايا معالجة الإشارات باستخدام الأنظمة الرقمية، وبسبب هذه المزايا تستخدم هذه الأنظمة الرقمية بتوسع فى العديد من التطبيقات: فى أجهزة التحكم وأجهزة الإتصالات والحاسبات وغيرها من الأنظمة

المتقدمة، وفى الكثير من تطبيقات الأنظمة الرقمية لاتتاح بعض الإشارات المستخدمة على الشكل الرقمى، بل تكون متاحة على الشكل التناظرى والتى لايصلح معالجتها مباشرة فى المكونات المادية الرقمية ، بل يلزم تحويلها أولا لتكون على الشكل الرقمى، ويشار لعملية تحويل إشارة تناظرية إلى إشارة رقمية بـــ "محول من تناظرى إلى رقمى" Analog-to-digital converter، كما تُعرف بـــ: A/D converter، وأيضاً ADC.

ويتطلب فى كثير من التطبيقات تمثيل الخرج على الشكل التناظرى، فيلزم لذلك تحويل الخرج الموجود على الشكل الرقمى إلى الشكل التناظرى، ويشار لعملية تحويل إشارة رقمية إلى إشارة تناظرية بـــ "محول من رقمى إلى تناظرى" Digital-to-analog converter ، كما تُعرف بـــ: D/A converter، وأيضاً DAC.

والآتى بعض من الأمثلة المستخدم فيها المحولات A/D، وD/A:

1- يستخدم نظام رقمى فى مراقبة درجة حرارة الوسط المحيط بفرن والتى إذا زادت لحد معين، يلزم تقليل التزود بالوقود، وهنا يتطلب إستخدام محول A/D لتحويل خرج المحس (والذى يحول درجة الحرارة إلى إشارة كهربائية تناظرية) إلى الشكل الرقمى، فإذا زادت درجة الحرارة عند الحد المعين ينتج خرج رقمى يتحول إلى شكل تناظرى عن طريق محول D/A يتحكم فى الجهاز مقللا من التزود بالوقود.

2- يستخدم الفولتاميتر الرقمى فى قياس جهد تناظرى، وعرض القيمة على شكل أرقام، وفى هذا يستخدم محول A/D لتحويل الجهد التناظرى إلى إشارة رقمية، وهنا لسنا فى حاجة إلى التحويل مرة أخرى للشكل التناظرى، وبالتالى لسنا فى حاجة إلى محول D/A.

7-7-1 المحولات من رقمى إلى تناظرى D/A :

يكون دخل المحول من رقمى إلى تناظرى عبارة عن إشارة ثنائية مكونة مع N-بت على الشكل التوازى، وهذه الإشارات تكون عادة من خرج ماسكات Latches أو مسجلات، وعامة لاتكون الجهود المقابلة لمستويات المنطق 0 أو 1 والتى تقود

المحول عند قيمة ثابتة بدقة، وعلى هذا لاتطبق هذه الجهود مباشرة على المحول، بل تستخدم لتشغيل مفاتيح تحكم رقمية Digitally controlled switches ، حيث يتحرك لسان المفتاح فى أحد إتجاهين معتمداً على الإشارة الرقمية (1، أو 0) وموصلة جهود ثابتة دقيقة وهى الجهود المقابلة للمستوى 1، والجهود المقابلة للمستوى 0 إلى دخل المحول.

والعلاقة التالية تحدد جهد خرج المحول V_0 بدلالة دخل الإشارة الثنائية المكونة من N-بت كالتالى:

$$V_0 = K\,(2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^2b_2 + 2b_1 + b_0) \qquad (7\text{-}20)$$

حيث: K ...معامل تناسب.

و $b_n = 1$، إذا كان البت رقم n مساويا: 1.

و $b_n = 0$، إذا كان البت رقم n مساويا: 0.

مثال (7-7) :

إوجد جهد التناظرى لخرج لمحولD/A 4-بت لجميع إحتمالات الدخول الممكنة، وبفرض أن: $K = 1$.

الحل :

من المعادلة (7-20) يمكن الحصول على جهد الخرج لكل دخل، فمثلا إذا كان الدخل : 1001 وبتطبيق المعادلة يكون:

$$\begin{aligned}
V_0 &= K\,(2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^2b_2 + 2b_1 + b_0)\\
&= 1\,(2^{4-1}b_{4-1} + 2^{4-2}b_{4-2} + 2^{4-3}b_{4-3} + 2^{4-4}b_{4-4})\\
&= 1\,(2^3b_3 + 2^2b_2 + 2^1b_1 + 2^0b_0)\\
&= 1\,(8\times1 + 4\times0 + 2\times0 + 1\times1)\\
&= 9
\end{aligned}$$

وكما هو مبين فى جدول (7-3).

جدول (7-3)

الخرج التناظرى	الدخول الرقمية			
V_0	b_0	b_1	b_2	b_3
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

* ويوجد نوعان شائعا الإستخدام كمحولات D/A هما :

1- محول D/A المقاومة الوزنية Weighted-resistor.

2- محول R-2R D/A السلمى R-2R ladder.

محول D/A المقاومة الوزنية Weighted-resistor :

نفرض دخل ثنائى مباشر مكون من N-بت يدخل على شبكة مقاومة (من خلال مفتاح تحكم رقمي) منتجا تياراً I يناظر للمنطق 1 لبت التأثير الأعلى، وتياراً I/2 يناظر للمنطق 1 للبت الأقل، وتياراً $(1/2)^2$ يناظر للمنطق 1 للبت الأقل، ..وهكذا

حتى ينتج تيار $(1/2)^{N-1}$ يناظر موضع بت التأثير الأدنى، وعلى هذا فإن قيمة التيار الناتج الكلى يكون متناسباً مع الدخل الرقمى، ويمكن تحويل هذا التيار إلى جهد باستخدام مكبر عمليات OP AMP والذى يكون متناسباً مع الدخل الرقمى.

والدائرة المبينة فى شكل (7-38) يمكن إستخدامها لتحويل الدخل الرقمى إلى خرج تناظرى حيث تعمل طبقاً للقاعدة السابقة والتى يشار إليها بـــ "محول D/A المقاومة الوزنية"Weighted-resistor، حيث توزن قيم المقاومات طبقاً لأوزان الأعداد الثنائية.

ففى الدائرة تعمل الدخول الرقمية (1 و 0) على تشغيل المفاتيح، حيث يتحرك موصل المفتاح فى أحد إتجاهين (1 أو 0) معتمداً على الدخل الرقمى المناظر للبت (1 أو 0) على الترتيب، فيكون V(1) هو الجهد المطبق على المقاومة إذا كانت ريشة المفتاح موصلة بالموضع 1، بينما يكون V(0) هو الجهد المطبق على المقاومة إذا كانت ريشة المفتاح موصلة بالموضع 0 ، ويكون التيار الكلى I_i:

$$I_i = I_{N-1} + I_{N-2} + I_{N-3} + \ldots + I_2 + I_1 + I_0 \qquad (7\text{-}21)$$

حيث :

$$I_{N-1} = V_{N-1} / R$$

$$I_{N-2} = V_{N-2} / 2R$$

$$I_{N-3} = V_{N-3} / 2^2 R$$

$$I_0 = V_0 / 2^{N-1} R$$

حيث :

V_{N-1} ، و V_{N-2}، و... V_0 تكون مساوية V(1) إذا كان: $b_n = 1$

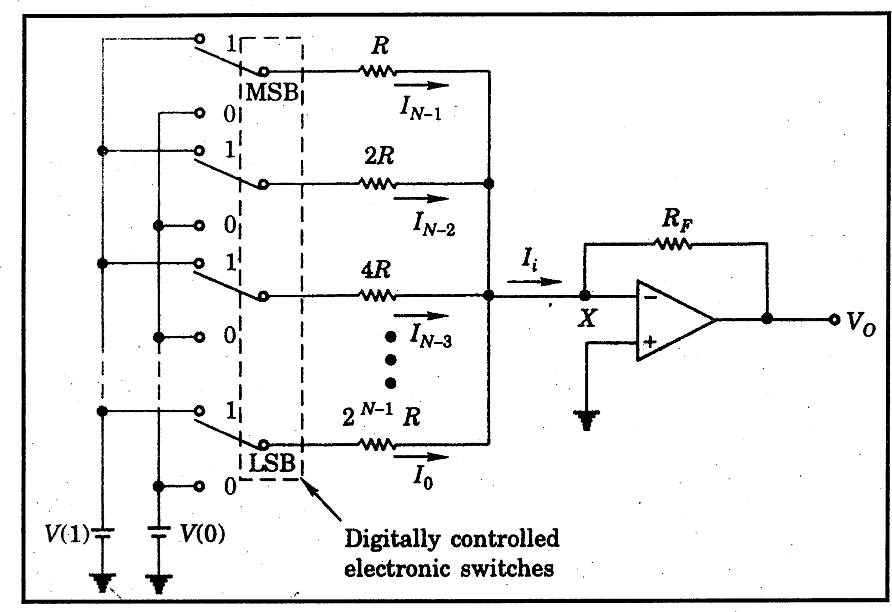
وتكون مساوية V(0) إذا كان: $b_n = 0$

ولدخل ثنائى مباشر، و V(0) = 0 و $V(1) = -V_R$، يمكن حساب جهد الخرج V_0 كالتالى :

$$V_0 = -(-V_R)\{(R_F/R)\, b_{N-1} + (R_F/2R)\, b_{N-2} + (R_F/2^2R)\, b_{N-3} + \ldots + (R_F/2^{N-1}R)\, b_0\} \qquad (7\text{-}22)$$

وهذه المعادلة تطابق المعادلة (7-20) ، باعتبار أن :

$$K = (R_F/ 2^{N-1}R) . V_R \qquad (7-23)$$



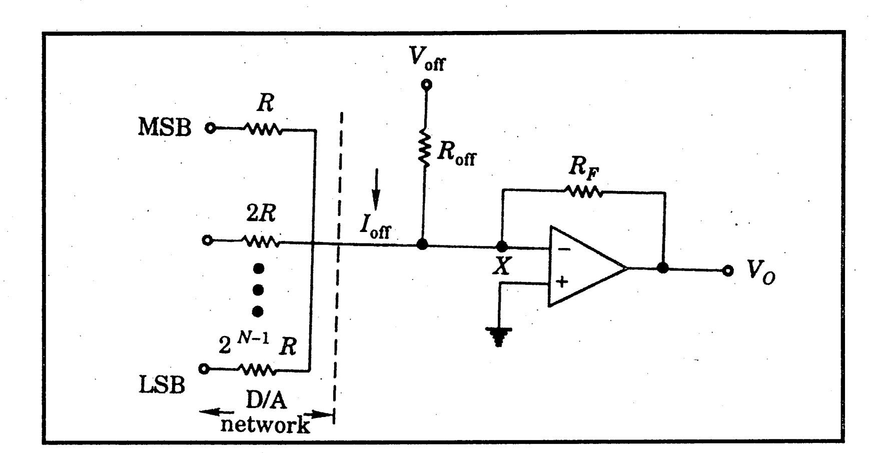
شكل (7-38) محول D/A المقاومة الموزونة

ويدار الخرج فى إتجاه واحد فقط Unipolar، أما إذا أريد تحويل البيانات للتشكيل الثنائى الإتجاه (مكمل الواحد، أو مكمل الإثنين مثلا) ففى هذه الحالة: $V(0) \neq 0$، حيث يستخدم V(0) لتحقيق تجاوز Offset إتجاه الخرج.

ومع: V(1)، و V(0) التى تمثل الجهود المطبقة على المقاومات عند توصيل ريشة المفتاح بالوضعين 1 و0 على الترتيب يمكن حساب جهد الخرج V_0 فى دائرة شكل (7-38) كالتالى:

$$V_0 = (R_F/2^{N-1}R)\{ 2^{N-1} V_{N-1} + 2^{N-2} V_{N-2} + ...+ 2^1 V_1 + 2^0 V_0\} \qquad (7-24)$$

ويمكن أيضا الحصول على تجاوز فى جهد الخرج V_0، باستخدام الدائرة المبينة فى شكل (7-39) ومنها يكون جهد التجاوز مساوياً: $- (R_F/R_{off}) . V_{off}$



شكل (7-39) دائرة تستخدم لتحقيق توازن جهد الخرج

مثال (7-8) :

أ- لمحول D/A 4-بت آحادى إتجاه فيه: V(1) = -1V و V(0) = 0V و $R_f = 8R$، مطلوب تعيين خرج الجهد التناظرى المناظر لكل الدخول الرقمية من 0000 إلى 1111.

ب- باستخدام دائرة شكل (7-39) مطلوب ضبط جهد التجاوز بحيث يكون: $V_0 = 0V$ للدخل الرقمى 1000، ومن هذا التجاوز مطلوب تعيين خرج الجهد التناظرى المناظر لكل الدخول الرقمية.

ج- أيضا من هذا التجاوز مطلوب تعيين خرج الجهد التناظرى المناظر لكل الدخول الرقمية، إذا حدث تكامل Complemented لبت التأثير الأعلى للدخول الرقمية قبل تطبيقها على المحول.

الحل :

أ- باستخدام المعادلة (7-24)، نحصل على جهود الخرج التناظرية كالآتى:

$$V_0 = (R_F/2^{N-1}R)\{ 2^{N-1} V_{N-1} + 2^{N-2} V_{N-2} + ...+ 2^1 V_1 + 2^0 V_0\}$$

$$= (8R/2^{4-1}R)\{ 2^{4-1} V_{4-1} + 2^{4-2} V_{4-2} + 2^{4-3} V_{4-3} + 2^{4-4} V_{4-4}\}$$

$$= (8R/8R)\{ 8 V_3 + 4 V_2 + 2 V_1 + V_0\}$$

$= 8V_3 + 4V_2 + 2V_1 + V_0$

وبالتعويض عن كل دخل رقمى نحصل على نفس الجدول (7-3).

ب- ومن جدول (7-3) نجد ان خرج الجهد التناظرى V_0 والمناظر للدخل الرقمى 1000 وبدون تحقيق توازن يكون مساويا: 8 V، وحيث أن المطلوب وبتحقيق التجاوز أن يكون خرج الجهد التناظرى V_0 والمناظر للدخل الرقمى 1000 مساويا: 0 V، فيجب أن ينتج التجاوز جهد: 8 V - عند الخرج، أى أن:

$$-(R_F/R_{off}) \cdot V_{off} = -8$$

وهذا يتحقق بضبط: $R_{off} = R$، و $V_{off} = 1$.

ويبين جدول (7-4) الجهود التناظرية .

جدول (7-4)

الدخول الرقمية				الخرج التناظرى
b_3	**b_2**	**b_1**	**b_0**	**V**
0	0	0	0	-8
0	0	0	1	-7
0	0	1	0	-6
0	0	1	1	-5
0	1	0	0	-4
0	1	0	1	-3
0	1	1	0	-2
0	1	1	1	-1
1	0	0	0	0
1	0	0	1	+1
1	0	1	0	+2
1	0	1	1	+3
1	1	0	0	+4
1	1	0	1	+5
1	1	1	0	+6
1	1	1	1	+7

ج- إذا تغير الدخل الرقمى للمحول ليصبح $\bar{b}_3 b_2 b_1 b_0$ ، فيمكن الحصول على جهود الخرج التناظرية من جدول (7-4) ونحصل عليها فى النهاية فى الجدول (7-5).

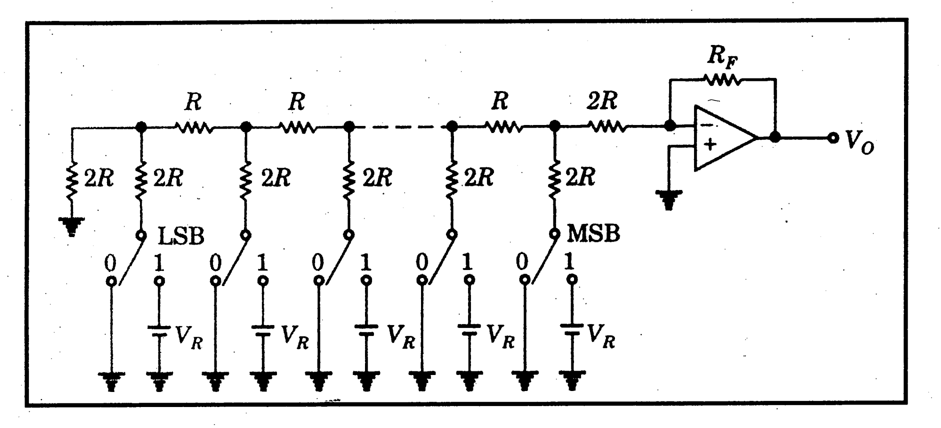
جدول (7-5)

الدخول الرقمية				الخرج التناظرى
b_3	b_2	b_1	b	V
1	0	0	0	-8
1	0	0	1	-7
1	0	1	0	-6
1	0	1	1	-5
1	1	0	0	-4
1	1	0	1	-3
1	1	1	0	-2
1	1	1	1	-1
0	0	0	0	0
0	0	0	1	+1
0	0	1	0	+2
0	0	1	1	+3
0	1	0	0	+4
0	1	0	1	+5
0	1	1	0	+6
0	1	1	1	+7

من الجدول السابق، نلاحظ أن هذا محول D/A يقوم بتحويل تشكيل تكامل الإثنين إلى إشارة تناظرية.

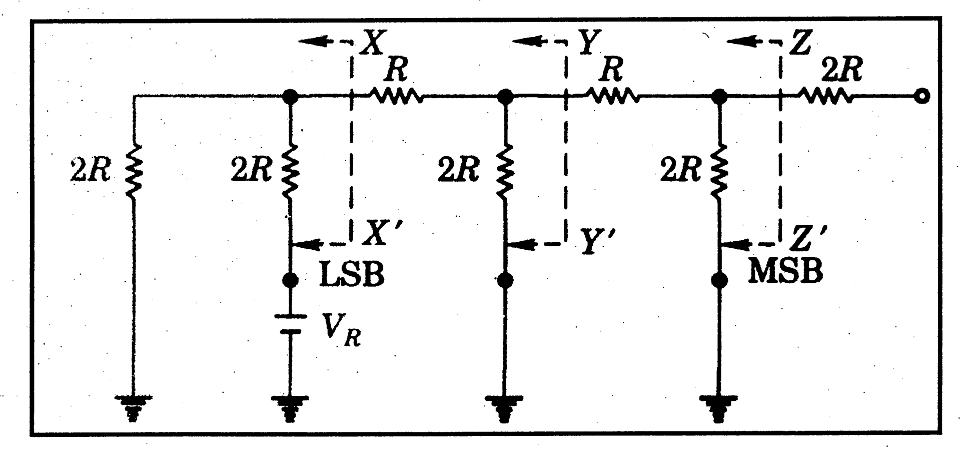
محول R-2R D/A السلمى R-2R ladder :

يبين شكل (7-40) محول R-2R D/A السلمى.



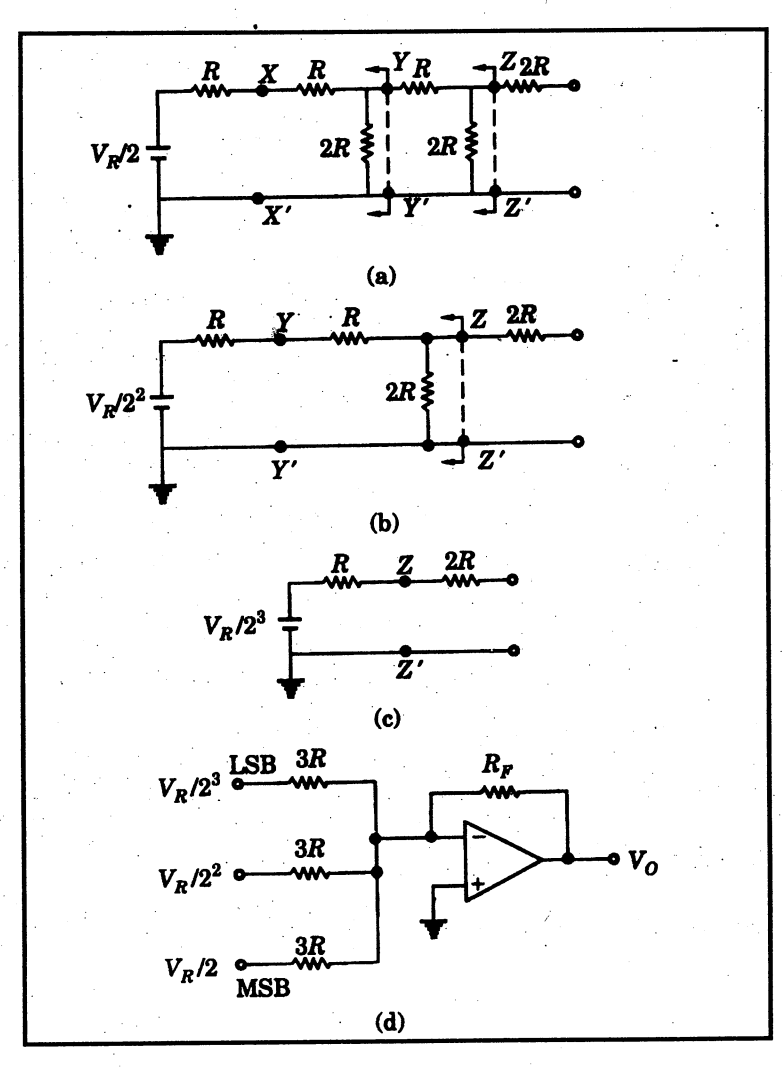
شكل (7-40) محول D/A سلم R-2R

وهنا تستخدم مقاومات بقيمتين فقط هما: R و 2R ، وتطبق الدخول على شبكة المقاومات من خلال مفاتيح تحكم رقمية، وتتحرك ريشة المفتاح فى أحد إتجاهين (1 أو 0) معتمداً على الدخل الرقمى المناظر للبت (1 أو 0) على الترتيب، ولتحليل هذه الدائرة وللتبسيط، نفرض شبكة محول D/A سلم R-2R تعمل بـ 3-بت كالمبينة فى شكل (7-41)، وحيث فرضنا أن: 100 هو الدخل الرقمى.



شكل (7-41) شبكة محول D/A سلم R-2R تعمل بـ 3-بت

ويمكن تبسيط الدائرة باستخدام نظرية ثفينن Thevenin's theorem، وبتطبيق النظرية عند XX َ نحصل على الدائرة المبينة فى شكل (a-42-7)، وبالمثل عند تطبيق النظرية عند كل من YY َ، و ZZ َ نحصل على الدائرتين المبينتين فى شكلى (b-42-10) و (c-42-10) على الترتيب، وقد فرضنا مسبقاً أن بت التأثير الأدنى يكون: 1 ويكون جهده المكافئ الذى تم الحصول عليه هو: $V_R/2^3$. بالمثل، إذا كان الدخل الرقمى: 010، و 100، فيكون الجهدان المكافئان هما: $V_R/2^2$، و$V_R/2^1$ على الترتيب.



شكل (7-42) تبسيط دائرة الشكل (7-42)

ونلاحظ أنه فى كل الأحوال كانت المقاومة المكافئة مساوية 3R، لذا نحصل على الدائرة فى الشكل (7-42-d)، وهى الدائرة المكافئة لدائرة الشكل (7-41). ومن دائرة الشكل (7-42-d) يعين جهد الخرج التناظرى V_0 كالآتى:

$$V_0=-\{ (R_F/3R).(V_R/2^3)b_0+(R_F/3R).(V_R/2^2)b_1+(R_F/3R).(V_R/2^1)b_2\}$$

$$= - (R_F/3R).(V_R/2^3) [4b_2 + 2b_1 + 1b_0] \qquad (7\text{-}25)$$

وتبين المعادلة (7-25) إن جهد الخرج التناظرى يتناسب مع الدخل الرقمى وعامة ولمحول N بت من رقمى لتناظرى يمكن إستنتاج جهد الخرج التناظرى والحصول عليه بالمثل كالتالى:

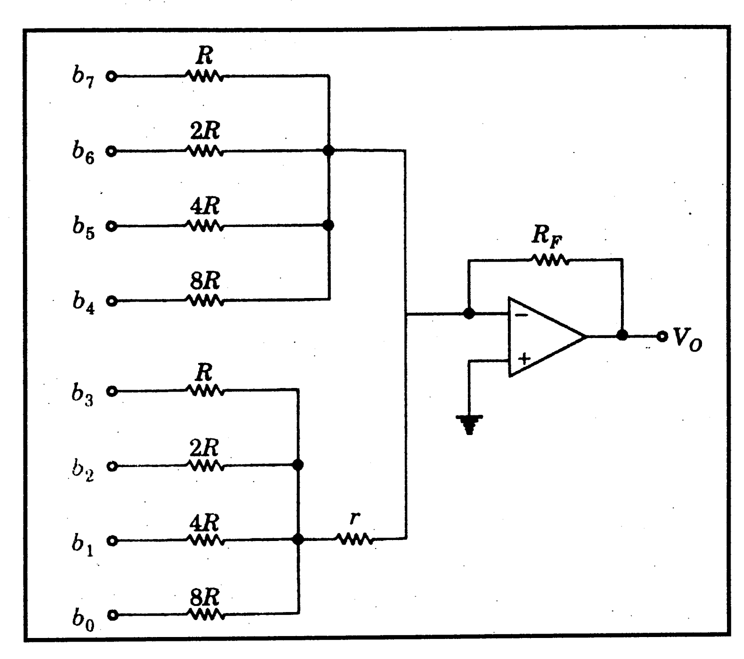
$$V_0 = (2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + ...+ 2^2b_2 + 2^1b_1 + 2^0b_0) \qquad (7\text{-}26)$$

وهنا فرضنا أن :

$R_F = 3R$ و ، $V_R = - 2^N V$.

ونلاحظ من النوعين السابقين من المحولات أن عدد المقاومات المطلوبة لمحول نوع المقاومة الوزنية لعدد N-بت تساوى N، بينما عددها يساوى 2N لمحول نوع السلمى R-2R، إلا أن قيم المقاومات تتصاعد فى الحالة الأولى من R إلى 2R إلى NR.... مما يجعل المحول نوع المقاومة الوزنية غير مناسب، إلا أنه يمكن تعديل دائرة الشكل (7-39) لتلائم عدد كبير من البتات بدون التعرض إلى الزيادات التصاعدية فى قيمها، وأحد هذه الدوائر، الدائرة المبينة فى شكل (7-43)، حيث تطبق الأربعة بتات التأثير الأعلى بنفس الطريقة المستخدمة فى محول المقاومة الوزنية أما الأربعة بتات التأثير الأدنى فتطبق من خلال مقاومة r بالإضافة إلى المقاومات الوزنية، مما يؤدى إلى إنتاج تيارات لدخل مكبر العمليات بسبب مجموعة بتات التأثير الأدنى، ومجموعة بتات التأثير الأعلى بالتناسب: 1/16

$$(b_3/b_7 = b_2/b_6 = b_1/b_5 = b_0/b_4 = 1/16).$$



شكل (7-43) محول D/A نوع مقاومة موزونة مُعدَل

ويتم تعيين المقاومة r بالطريقة التالية :

بفرض أن البت: $b_3 = 1$، وأن: $b_2 = b_1 = b_0 = 0$، ويبين شكل (7-44-a) الدائرة المناظرة لهذا الجزء، كما يبين شكل (7-44-b) تبسيطاً لهذه الدائرة، ومنه يكون الدخل I_{in} لمكبر العمليات كالآتى:

$$I_{in} = \frac{V_R}{R + \dfrac{r(8/7R)}{(r+8/7R)}} \times \frac{(\frac{8}{7}R)}{(r+\frac{8}{7}R)} \qquad (7\text{-}27)$$

ويجب أن يكون التيار مساوياً 1/16 من التيار المتسبب من الدخل b_7 (وهو: V_R/R)، وعلى هذا يكون:

$$\frac{V_R(\frac{8}{7}R)}{R(r+\frac{8}{7}R)+r(\frac{8}{7}R)} = \frac{V_R}{16R}$$

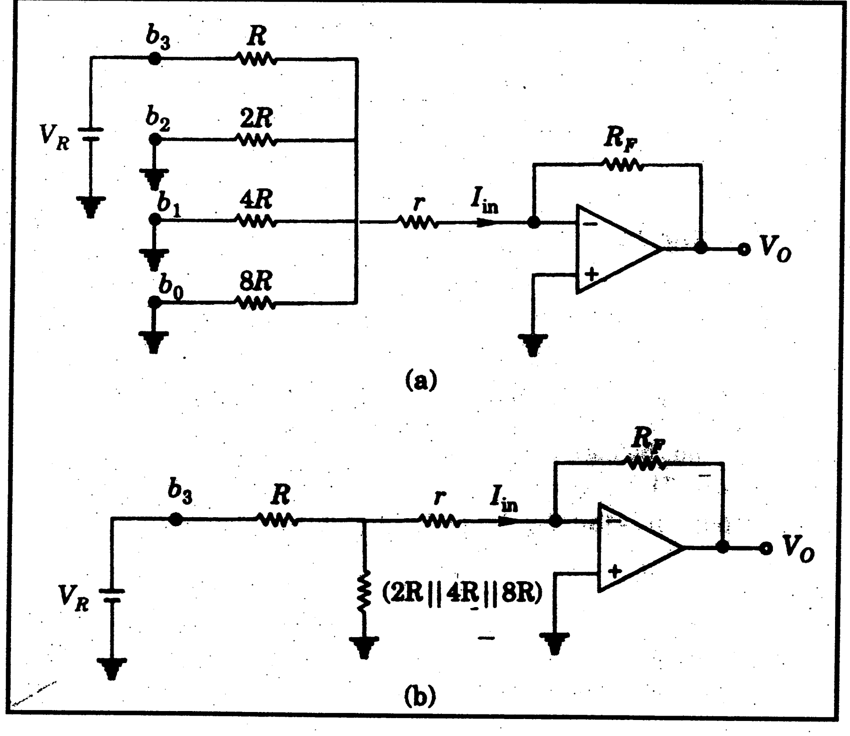
أو :

$$r = 8\,R \qquad (7\text{-}28)$$

ومع هذه القيمة من المقاومة r ، يمكن التحقق من أن التيارات المتسببة من الدخول: b_2، و b_1 ، و b_0 تكون مساوية 1/16 من التيارات المتسببة من الدخول: b_6، b_5 و b_4 على الترتيب، ويتم حساب جهد الخرج التناظرى V_0 للدائرة المعدلة الموجودة فى شكل (7-43)، وبإعتبار أن: $r = 8R$، بالعلاقة التالية:

$$V_0 = -\left(\frac{V_R}{R}R_F b_7 + \frac{V_R}{2R}R_F b_6 + \frac{V_R}{4R}R_F b_5 + \frac{V_R}{8R}R_F b_4 + \frac{V_R}{16R}R_F b_3 + \frac{V_R}{32R}R_F b_2 + \frac{V_R}{64R}R_F b_1 + \frac{V_R}{128R}R_F b_0\right)$$

$$= -\left(\frac{V_R}{2^7}\cdot\frac{R_F}{R}\right).(2^7 b_7 + 2^6 b_6 + \ldots\ldots + 2^2 b_2 + 2^1 b_1 + b_0) \qquad (7\text{-}29)$$



شكل (7-44) جزء من المحول D/A نوع مقاومة وزنية المُعدَل

ونلاحظ من المعادلة (7-29) أن جهد الخرج التناظرى يتناسب مع الدخل الرقمى، وأن عدد المقاومات فى هذه الدائرة أقل، كما أنه تم التقليل من التصاعد فى قيم المقاومات، والتشكيل المستخدم يمكن استخدامه لأى عدد من البتات.

خصائص المحولات D/A :

الخصائص الرئيسية التى تحدد المحولات D/A كالآتى :

1- الخواص الخطية Linearity .

2- الدقة Accuracy .

3- زمن الإستقرار Setteling time .

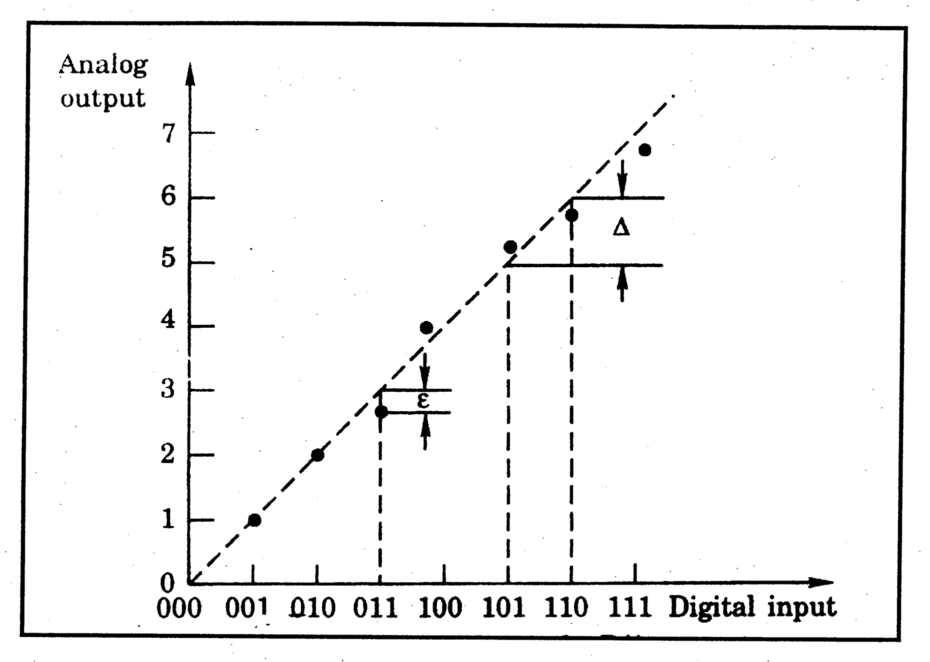
4- الحساسية لدرجة الحرارة Temperature sensitivity .

1- الخواص الخطية Linearity :

فى المحول D/A يجب أن تقابل الزيادات المتساوية فى الدخول الرقمية زيادات متساوية فى جهود الخرج التناظرى، وبالتالى نحصل على علاقة خطية بين الدخل والخرج، ولكننا نجد أن الواقع غير ذلك حيث نجد أن العلاقة بين الدخل والخرج تكون غير خطية، ويرجع السبب فى ذلك إلى الخطأ فى قيم المقاومات المستخدمة والجهود الواقعة على المفاتيح، والخواص الخطية تكون مقياس الدقة الذى يحدد العلاقة بين الدخل والخرج.

ويبين شكل (7-45) علاقة الدخل – الخرج لمحول إتجاه احادى 3-بت، حيث يمثل المحور الأفقى تكوينات الدخول الرقمية مع أخذ فترات فواصل متساوية بين كل دخل والذى يليه، كما يمثل المحور الرأسى جهد الخرج التناظرى، ويتم تمثيل الجهد الخارجى المقابل لكل دخل بنقطة، فإذا كان المحول نموذجى فستقع جميع النقط على خط واحد (والذى يسمى بخط العلاقة المتوقع) كما هو مبين فى الشكل، ويكون خطأ الخواص الخطية ε لأى دخل رقمى هو الفرق بين جهد الخرج المقابل للنقطة وجهد الخرج النموذج (الواقع على خط العلاقة المتوقع)، ويكون Δ هو التغير فى جهد الخرج التناظرى المناظر لتغير دخل رقمى مكافئ لبت التأثير الأدنى.

ومن ذلك تحدد الخواص الخطية للمحول بمقارنة القيمة ε، بالقيمة Δ، فمثلا: الخواص الخطية لمحول تجارى تحدد كأقل من: ± بت التأثير الأدنى، ومعناه: $\Delta \frac{1}{2} < |\varepsilon|$.



شكل (7-45) الخرج مقابل الدخل لمحول D/A

2- الدقة Accuracy :

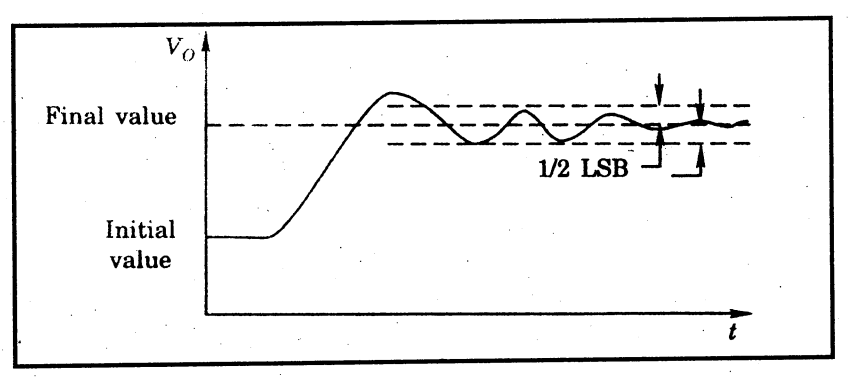
تقاس دقة المحول بالفرق بين جهد الخرج الحقيقى وجهد الخرج المتوقع، وتحدد بالنسبة المئوية بالنسبة للمقياس الكلى أو أقصى جهد خرج، فمثلا إذا كان المقياس الكلى أو أقصى جهد خرج لمحول هو 10 V وكانت دقته 0.2% ±، فيصبح أقصى خطأ لأى جهد خرج هو:

0.002 x 10 = 20 mV

3- زمن الإستقرار Setteling time :

عند تغير الدخل الرقمى لمحول D/A فلا يتغير الخرج المناظر فجائيا، وبسبب وجود المفاتيح والأجهزة الفعالة والمكثفات الشاردة وملفات الحث المرتبطة

بالمكونات الغير فعالة للدائرة، تظهر العابرات Transients فى جهد الخرج، كما يمكن أن تحدث التذبذبات، ويبين شكل (7-46) رسم نموذجى للتغير الممكن حدوثه فى جهد الخرج، ويحدد المصممون الزمن المطلوب كى يستقر جهد الخرج عند قيمة تعادل (½ ± بت التأثير الأدنى) من القيمة النهائية بمجرد إدخال الدخل الرقمى، ويشار هذا الزمن بزمن الإستقرار، وهذا يفرض حدود للتردد التى يمكن عندها أن يتغير الدخل الرقمى، فعند العمل عند ترددات عالية جدا ، فمن الممكن عدم توافر الوقت الكافى للإستقرار عند قيمة الجهد الصحيحة قبل وصول الدخل الرقمى التالى.



شكل (7-46) زمن الإستقرار لمحول D/A

4- الحساسية لدرجة الحرارة Temperature sensitivity :

يتغير جهد الخرج التناظرى لأى دخل رقمى ثابت، وذلك راجع للحساسية للحرارة لمنبع الجهد وللمقاومات ومكبرات العمليات.. إلخ وتحدد بـــ : ppm/°C.

7-7-2 المحولات من تناظرى إلى رقمى A/D :

فى المحولات من رقمى إلى تناظرى D/A، يكون عدد الدخول الرقمية ثابتا، ففى المحول D/A 3-بت على سبيل المثال يكون عدد الدخول الممكنة 8، أما فى المحولات من تناظرى إلى رقمى فيمكن أن يأخذ الدخل التناظرى أى قيمة فى مدى معين، بينما يمكن أن يتخذ الخرج الرقمى قيم محددة عددها مثلا 2^N لمحول A/D 3- بت.

ولهذا فيكون المطلوب هو تمثيل المدى الكلى لجهد الخرج بطريقة مناسبة على فترات عددها 2^N، حيث تناظر كل فترة خرج تناظرى ما.

فلنعتبر جهداً تناظرياً يأخذ مدى من 0 إلى V، وجهد خرج 3-بت لأى جهد على المدى، ونقسم المدى الكلى لهذا الجهد إلى 8 فترات (خرج 3-بت)، يبلغ طول كل فترة V/8، وتنسب كل فترة إلى قيمة رقمية وحيدة، ويشار لهذه العملية بالتحويل الكمى Quantization، ويبين شكل (7-48) فترات الجهد التناظرى والقيم الرقمية المناظرة، ومنه نلاحظ أن المدى الممثل بفترة معينة يمكن تمثيله بقيمة رقمية واحدة، فالقيمة الرقمية التى تمثل 5/8 من المدى هى 101، ولهذا نجد أن هناك خطأ يعزى إلى التحويل الكمى يبلغ أقصى قيمة له V/8، ويمكن تقليل الخطأ بإختيار الستة فترات الداخلية وجعل كل فترة مساوية V/7 بينما نجعل كل من الفترة العليا والسفلى مساوية V/14.

القيمة الرقمية المكافئة	الجهد التناظرى
	V
111	7/8 V
110	6/8 V
101	5/8 V
100	4/8 V
011	3/8 V
010	2/8 V
001	1/8 V
000	0

شكل (7-47) عملية التقدير

ويبين شكل (7-48) هذه الفترات وقيمها الرقمية المنسوبة لها وجهود الخرج التناظرية، عند تطبيق هذه الإشارات الرقمية على محول D/A.

جهد الخرج التناظرى المكافئ	القيمة الرقمية	الجهد التناظرى
V	111	V
6/7 V	110	V_{R7}=13/14V
5/7 V	101	V_{R6}=11/14V
4/7 V	100	V_{R5}=9/14V
3/7 V	011	V_{R4}=7/14V
2/7 V	010	V_{R3}=5/14V
1/7 V	001	V_{R2}=3/14V
0 V	000	V_{R1}=1/14V
		0

S/2 S S/2

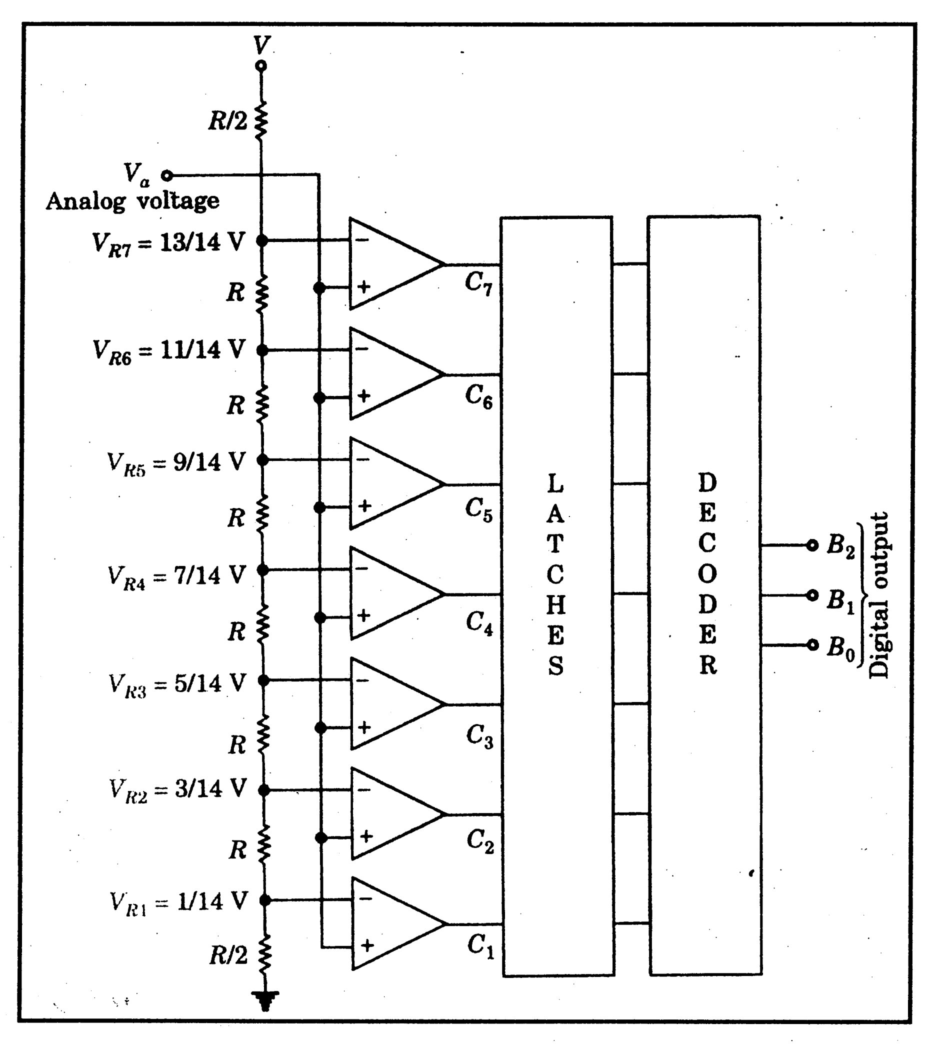
شكل (7-48) التحويل الكمى مع أقصى خطأ V/14

ومن الشكل يتبين أن أقصى خطأ كَمى سيكون: S/2= V/14 لأى دخل جهد تناظرى V_a فى المدى من 0 إلى V، كما يمكن أن يحدد الخطأ الكمى بدلالة بت التأثير الأدنى LSB فمثلا بالنسبة لحالتنا التى نحن بصددها، يكون أقصى خطأ كمى هو ± ½ LSB.

7-7-3 المحول A/D بالمقارنات المتوازية :

يبين شكل (7-49) محول A/D 3-بت بمقارنات متوازية Parallel Comparison، ومطلوب تحويل الجهد التناظرى V_a إلى الشكل الرقمى، ويتم توليد الجهود المرجعية المناظرة للمقياس الكلى V (أى: V_{R1} وV_{R2} ، و...) باستخدام شبكة مقاومات (عد إلى شكل 10-48) ويتم مقارنة الجهد V_a فى الحال بالجهود المرجعية باستخدام مقارنات، ونحصل منها على خرج 7-بت والتى تخزن فى الماسكات، ثم باستخدام

دائرة كشف تتحول هذه الإشارة الرقمية 7-بت إلى خرج رقمى 3-بت، ويبين جدول (7-10) خروج المقارنات والخرج الرقمى بـ 3-بت لكل فترة جهد تناظرى، وقاعدة التحويل باستخدام المقارنات المتوازية هى الأبسط والأسرع إلا أن عيبها الرئيسى هى كثرة عدد المقارنات كلما كثرت عدد البتات، حيث يحدد عددها من العلاقة (2^N-1).



شكل (7-49) محول 3-بت بمقارن توازى

جدول (7-6)

الدخل التناظرى	خروج المقارن							الخرج الرقمى		
V_a	C_7	C_6	C_5	C_4	C_3	C_2	C_1	B_2	B_1	B_0
$0 \le V_a < V_{R1}$	0	0	0	0	0	0	0	0	0	0
$V_{R1} < V_a < V_{R2}$	0	0	0	0	0	0	1	0	0	1
$V_{R2} < V_a < V_{R3}$	0	0	0	0	0	1	1	0	1	0
$V_{R3} < V_a < V_{R4}$	0	0	0	0	1	1	1	0	1	1
$V_{R4} < V_a < V_{R5}$	0	0	0	1	1	1	1	1	0	0
$V_{R5} < V_a < V_{R6}$	0	0	1	1	1	1	1	1	0	1
$V_{R6} < V_a < V_{R7}$	0	1	1	1	1	1	1	1	1	0
$V_{R7} < V_a \le V$	1	1	1	1	1	1	1	1	1	1

7-7-4 محول A/D المتعاقب التقريبى :

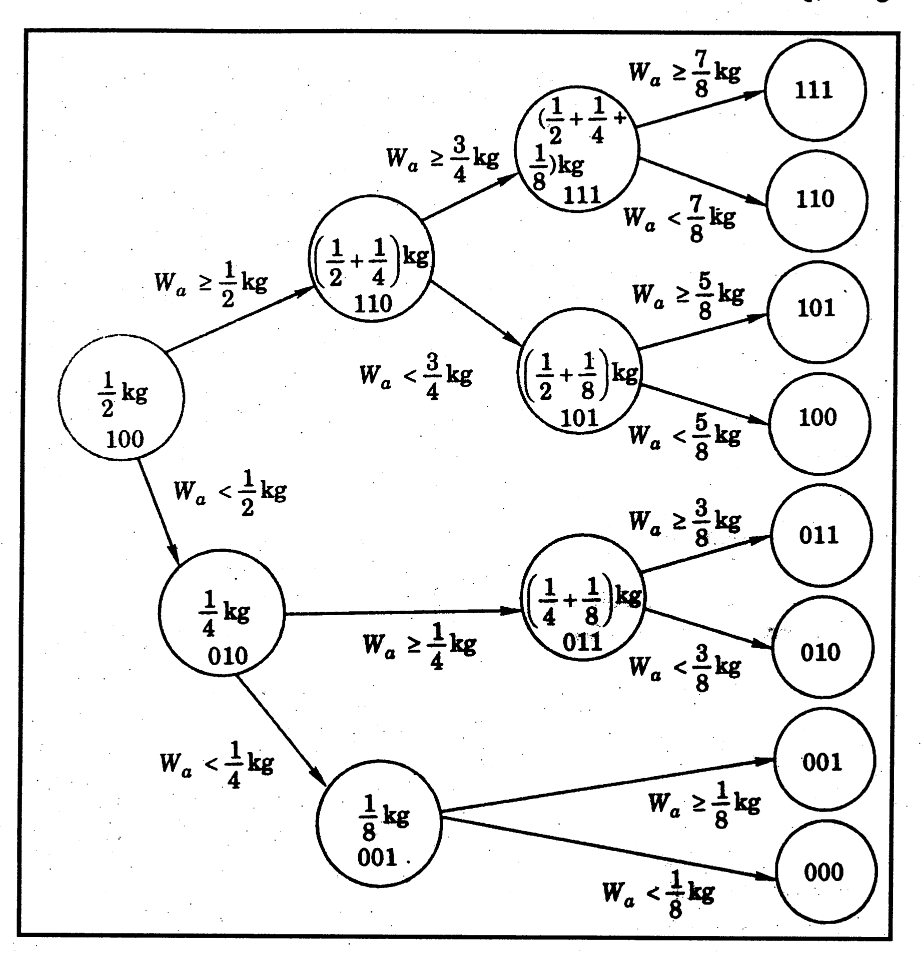
يمكن تمثيل محول A/D المتعاقب التقريبى Successive-approximation كالآتى:
بفرض جسم مجهول الوزن يتراوح وزنه بين 0، و 1 كجم ، فنفرض وجود ميزان وأثقال 1/2 ، و1/4 ، 1/8 كجم حيث تستخدم هذه الأثقال فى محاولات متتابعة لتحديد وزن الجسم.

تبدأ العملية بوضع الجسم مجهول الوزن W_a فى أحد كفتى الميزان، ووضع الثقل 1/2 كجم فى الكفة الأخرى، فإذا كان:

1- $W_a \ge 1/2$، يتم الإحتفاظ بالثقل 1/2 كجم، وإضافة الثقل 1/4 كجم إليه، وكتابة 1 كـ: بت تأثير أعلى .

2- $W_a < 1/2$، يتم إزالة الثقل 1/2 كجم، ووضع الثقل 1/4 كجم بدلا منه، مع كتابة 0 كـ: بت تأثير أعلى.

ونستمر فى المحاولات مع أوزان تنازلية مقسومة على 2، وفى كل مرة يكتب بت 1 عند الإحتفاظ بالثقل، بينما يكتب بت 0 فى حالة إزالته، ويبين شكل (7-50) العملية كاملة .



شكل (7-50) عملية تعاقب تقريبى لمحول A/D

ويكون الوزن 1/2 تمثيلا لـــ بت التلأثير الأعلى، يليه الوزن ¼ ممثلا للـــ بت التالى الأقل، و....وهكذا، فمثلا يكون الوزن الذى يمثل الرقم الثنائى 101 محسوباً كالتالى:

$$(1 \times 1/2) + (0 \times 1/4) + (1 \times 1/8) = 5 / 8 \text{ kg.}$$

فبفرض وجود جسم مجهول الوزن ووزنه أقل من 1/2 كجم بقليل، فبالتالى ومن ومن طريقة التعاقب التقريبى نجد ان الوزن الرقمى المكافئ هو: 011، والذى يمثل وزن قيمته 3/8 كجم، وهذا يبين خطا كمى قيمته 1/8 كجم، ولتقليل هذا الخطأ يكون من الضرورى عمل تعويض للمقياس أى جعله يميل فى إتجاه الوزن المجهول،

ويكون هذا التعويض مساويا نصف أقل ثقل أى: 1/16 كجم، ويبين شكل (7-51) الفترات المناظرة لكل خرج ثنائى نتيجة لهذا التعويض.

الوزن المجهول Kg	القيمة الرقمية المكافئة
15/16	
	111
13/16	
	110
11/16	
	101
9/16	
	100
7/16	
	011
5/16	
	010
3/16	
	001
1/16	
	000
0	

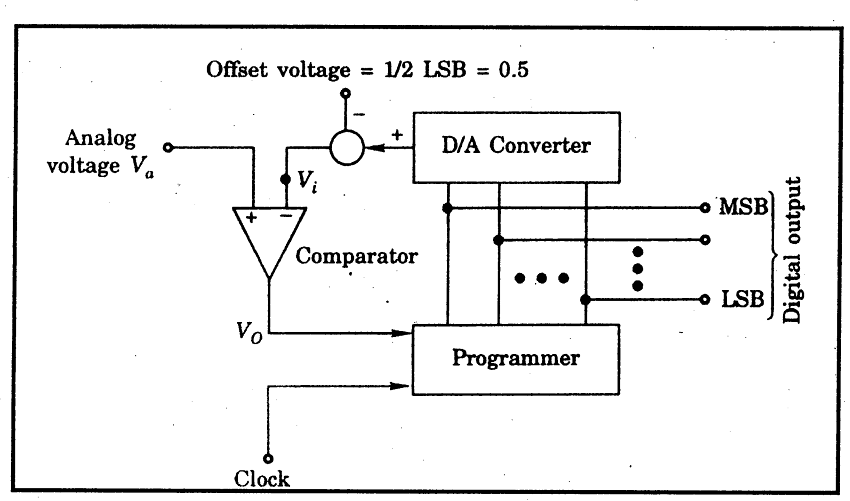
شكل (7-51) تأثير تعويض المقياس فى الأوزان التقريبية التعاقبية

وباستخدام القاعدة التى نوقشت مسبقا ، يمكن تحقيق محول A/D كما هومبين فى شكل (7-52)، وهنا يؤدى المقارن دور المقياس حيث يستخدم خرجه لتهيئة وإعادة تهيئة البتات فى خرج المبرمج programmer ويتحول هذا الخرج إلى جهد تناظرى مكافئ (بواسطة محول D/A) ومنه يُطرح جهد التجاوز، ثم تطبيقه على نهاية دخل العكس للمقارن، ويجب ملاحظة ان جهد التجاوز Offsct Voltage قد تم إضافته إلى جانب الوزن المجهول، ولهذا فهو يطرح من جانب الوزن المعلوم للحصول على التأثير المكافئ، وستتغير مخارج المبرمج فقط فى وجود نبضة الساعة.

ولبدئ التحويل، يُهيأ المبرمج بحيث يكون بت التأثير الأعلى عند 1 بينما تكون الـــ بتات الأخرى عند 0,s، حيث يتحول هذا إلى إشارة تناظرية (بواسطة محول

D/A) وحيث يقوم المقارن بمقارنة هذه الإشارة مع دخل الجهد التناظرى V_a، فإذا كان $V_a \geq V_i$ يصبح خرج المقارن V_0 عالياً HIGH ويُهيئ البت التالى، وعلى الجانب الآخر، إذا كان $V_a < V_i$ يصبح خرج المقارن V_0 منخفضاً LOW فيعيد تهيئة بت التأثير الأعلى ويُهيئ البت التالى، وهكذا يتم المحاولة بـــ 1 فى كل بت للمحول D/A لحين الحصول على المكافئ الثنائى لدخل الجهد التناظرى.

ونجد أن هذا النوع من المحول N–بت يتطلب نبضات ساعة عددها N، مما يجعلنا نقول أن هذا النوع أبطأ من المحول بمقارن توازى.



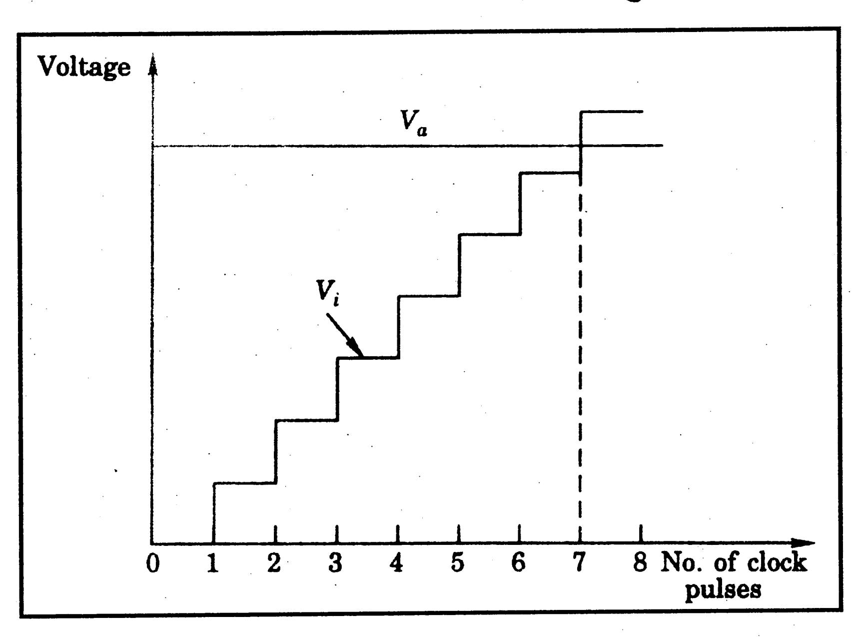
شكل (7–52) محول A/D متعاقب تقريبى

7-7-5 محول A/D العداد :

يمكن تحويل المحول المتعاقب التقريبى المبين فى شكل (7–52) إلى محول A/D العداد Counting A/D converter، إذا تم استبدال المبرمج بعداد تصاعدى بدخل مسح، والذى يتم توقيته Clocked فقط طالما أن $V_0 = 1$، ولبدء التحويل، يُعاد تهيئة العداد عند صفر باستخدام نبضة مسح، ويؤخذ خرج العداد كدخل للمحول D/A وحيث يُقارن خرجه (مع جهد تعويض) بدخل الجهد التناظرى V_a، فإذا كان:

$V_a > V_i$ يصبح خرج المقارن V_0 مساوياً: 1، والذى يعتبر دخل من أحد دخلى بوابة AND بينما نبضات الساعة هى الدخل الآخر. ويكون خرج البوابة هو نبضة

الساعة الداخلة للعداد، أى أنه فى حالة مايكون الخرج: $V_0 = 1$، تكون نبضات الساعة المطبقة على طرف دخل الساعة للعداد ويتواصل العد ، ومع إزدياد عدد النبضات خطيا مع الزمن يزيد الجهد V_i، كما هو مبين فى شكل (7–53)، وطالما ان جهد الدخل V_a اكبر من الجهد V_i يكون خرج المقارن عالياً وتنتقل نبضات الساعة إلى العداد، وعندما يزيد جهد الدخل V_i عن الجهد V_a، يتغير خرج المقارن V_0 إلى القيمة المنخفضة LOW تتوقف Disabled البوابة AND، كما يتوقف عد العداد، ويمكن قراءة خرج العداد ككلمة رقمية تمثل جهد الدخل التناظرى، ويكون 2^N هو أقصى عدد من نبضات الساعة المطلوبة لعمل التحويل فى المحول A/D N–بت، ومما يجعلنا نقول أن هذا النوع أبطأ من النوعين السابقين.



شكل (7–53) شكل الموجة لمحول A/D العداد

7-7-6 محول A/D الميل المزدوج :

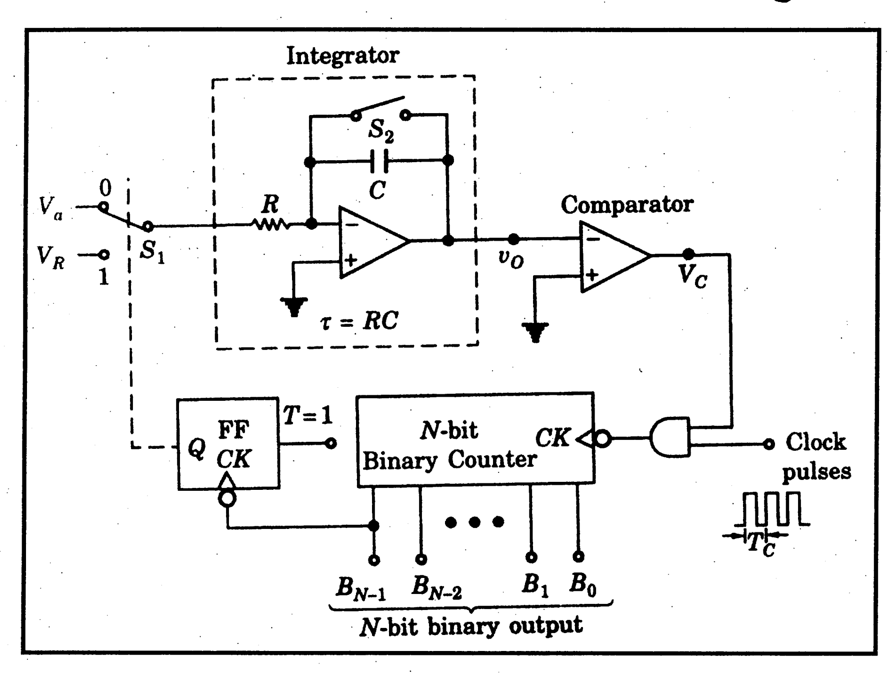
يبين شكل (7–54) المخطط الوظيفى للمحول A/D الميل المزدوج Dual-slop والذى يتكون من 4 اقسام رئيسية:

1– دائرة مكامل integrator.

2- مقارن.

3- عداد ثنائى.

4- مفتاح قائد Switch driver.



شكل (7-54) محول A/D مزدوج الميل

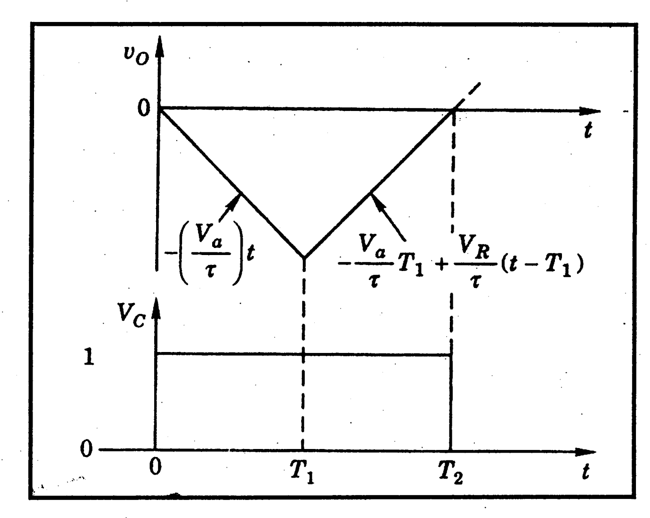
وتبدأ عملية التحويل عند الزمن: $t = 0$، حيث يكون المفتاح S_1 عند الوضع 0، فيصل الجهد التناظرى V_a إلى دخل دائرة المكامل والتى يكون خرجها v_0 كالتالى:

$$V_0 = \left(-\frac{1}{\tau}\right)\int_0^t V_a dt = -(V_a / \tau)t.$$

وهذا الخرج v_0 يجعل خرج المقارن V_C عالياً بما يُمكن البوابة AND، وبالتالى تسمح البوابة لنبضات الساعة بالوصول إلى طرف دخل الساعة CK للعداد والذى كان ممسوحاً فى الحالة الإبتدائية، ويعد العداد من 00....00 إلى 11...11 عند تطبيق نبضات ساعة عددها $(2^N - 1)$ وعند نبضة الساعة التالية 2^N، يُمسح العداد ويصبح خرج القلاب Q مساويا: 1، وهذا الخرج يتحكم فى المفتاح S_1 والذى يتحرك للوضع

1 عند الزمن T_1 وموصلاً الجهد V_R - لدخل دائرة المكامل فيبدأ خرجها v_0 فى التحرك فى الإتجاه الموجب ، ويستمر العداد فى العد طالما أن $v_0 < 0$، وبمجرد وصول v_0 عند القيمة الموجبة عند الزمن T_2، يصبح V_C منخفضاً، مسببا عدم التمكين للبوابة AND، ومما يجعل العداد يتوقف عن العد فى غياب نبضات الساعة.

ويبين شكل (7-55) أشكال الموجة للجهود V_0، و V_C.



شكل (7-55) أشكال الموجة للجهود V_0 و V_C

ويحسب الزمن T_1 من العلاقة :

$$T_1 = 2^N T_C \qquad (7\text{-}30)$$

حيث: T_C هى الفترة الزمنية لنبضة الساعة.

وعندما يكون المفتاح S_1 عند الوضع 1، يصبح جهد الخرج لدائرة التكامل V_o كالتالى:

$$V_0 = \frac{-V_a}{\tau}T_1 + \frac{V_R}{\tau}(t - T_2) \qquad (7\text{-}31)$$

وعند: $t = T_2$، يكون: $v_0 = 0$، وعلى هذا يكون:

$$T_2 - T_1 = \frac{V_a}{V_R}T_1 = \frac{V_a}{V_R}2^N T_C \qquad (7\text{-}32)$$

وإذا كان n هو العد عند الزمن T_2، فيكون:

$$T_2 - T_1 = n.T_c = \frac{V_a}{V_R} 2^N T_c \qquad (7\text{-}33)$$

ومنه يكون:

$$n = (V_a/V_R).2^N \qquad (7\text{-}34)$$

وهذا يُظهر أن خرج العداد يتناسب مع الجهد التناظرى V_a، وإذا كان: $V_R = 2^N$، فمن ذلك يكون:

$$n = V_a$$

أى أن العد المسجل فى العداد يكون عددياً مساوياً للجهد التناظرى V_a.

وهذا النوع من المحولات يستخدم غالباً فى الفولتاميترات الرقمية للدقة الجيدة فى التحويل وأيضاً بسبب التكلفة المنخفضة، أما أهم عيوب وهذا النوع من المحولات فهى السرعة البطيئة.

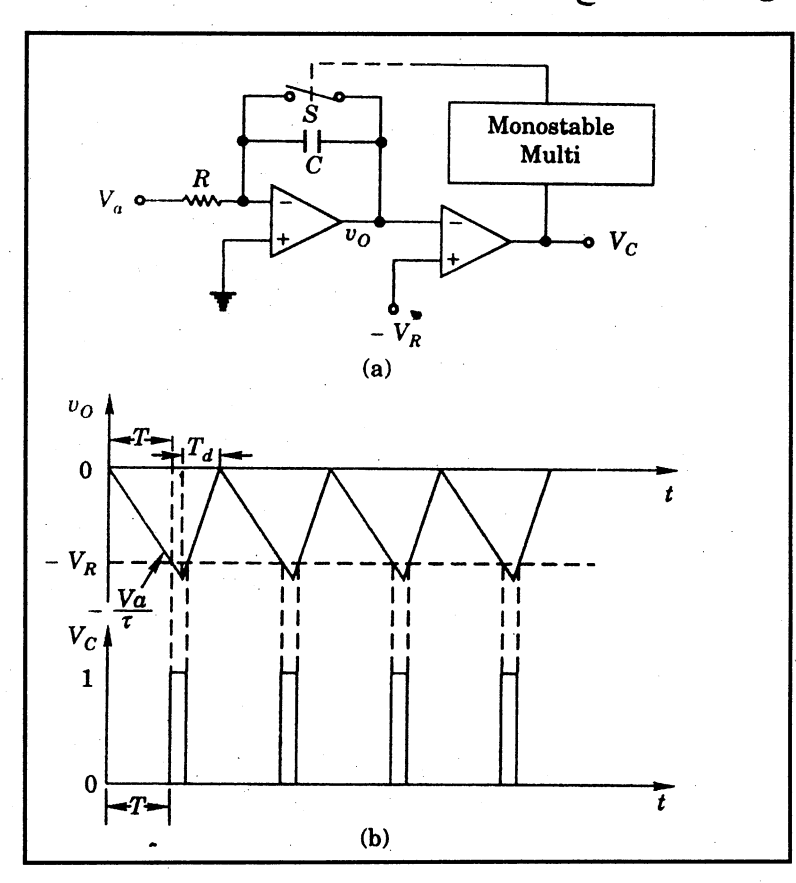
7-7-7 محول A/D باستخدام تحويل الجهد إلى تردد :

يمكن تحويل الجهد التناظرى إلى الشكل الرقمى وذلك بإنتاج نبضات يتناسب ترددها مع الجهد التناظرى، وبتثبيت الفواصل الزمنية بين هذه النبضات يتم عدها بواسطة عداد تتناسب قراءته مع تردد هذه النبضات وبالتالى مع الجهد التناظرى.

ويبين شكل (7-56-a) محول جهد إلى تردد ، حيث يطبق الجهد التناظرى V_a على دائرة مكامل، ويطبق خرجها V_0 على طرف الدخل العكس لمقارن، بينما يوصل طرف الدخل غير-العكس بجهد مرجعى $-V_R$.

فى البداية يكون المفتاح S مفتوحاً ، ويقل الجهد v_0 خطيا مع الزمن يحدد هذا من العلاقة $V_0 = -V_a t/\tau$ كما هو مبين فى شكل (7-56-b)، وعند وصول الجهد V_0 للقيمة $-V_R$ عند الزمن : $t = T$، يصبح خرج المقارن V_C عاليا HIGH، فيؤدى هذا – ومن خلال المذبذب الأحادى الإستقرار – إلى قفل المفتاح S، مما يؤدى إلى تفريغ المكثف C ومعيداً خرج دائرة المكامل V_0 ليكون مساوياً: 0، وحيث أن عرض نبضة

الخرج V_C صغير جدا، فيستخدم المذبذب الأحادى الإستقرار ليحفظ المفتاح S على وضع القفل لزمن يكفى للتفريغ التام للمكثف، ويعتمد المعدل الذى يُفرغ عنده المكثف على مقاومة المفتاح.



شكل (7-56) محول جهد إلى تردد

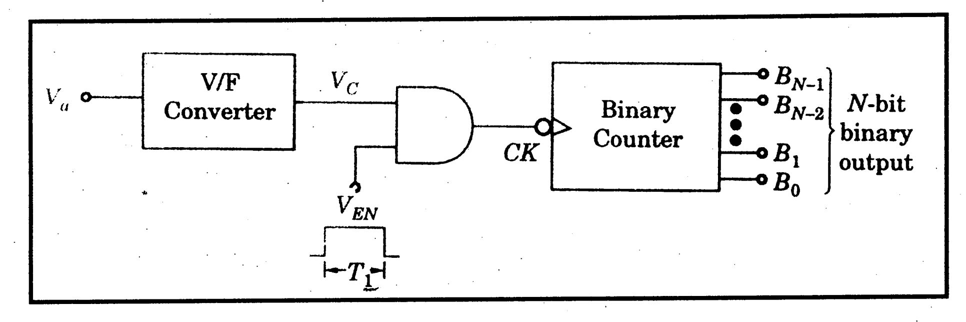
فبفرض أن T_d هى سعة نبضة المذبذب ، فلهذا يظل المفتاح S مغلقاً لزمن قدره T_d يُفتح بعده ويعود الجهد V_0 فى الإنخفاض ثانية.

ومع فرض أن زمن التكامل (T) Integration time أكبر بكثير من سعة نبضة المذبذب (T_d) ، فيحسب تردد أشكال الموجة v_0 ، V_C كالتالى:

$$f = 1/(T + T_d) \approx 1/T = (1/\tau).(V_a/V_R) \qquad (7\text{-}35)$$

وهكذا يمكن الحصول على خرج شكل موجة يتناسب ترددها مع جهد الدخل التناظرى ويبين شكل (7-57) محول A/D يستخدم محول الجهد إلى التردد (V/F) السابق، حيث يُطبق خرج المحول عند مدخل الساعة CK للعداد من خلال بوابة AND ، وتُمكن البوابة AND لفترة زمنية ثابتة T_1، ويحسب قراءة العداد n عند الزمن: $t = T_1$، وتكون متناسبة مع الجهد Va من العلاقة:

$$n = f T_1 = (1/\tau).(V_a/V_R).T_1 \qquad (7\text{-}36)$$



شكل (7-57) محول A/D يستخدم محول الجهد إلى التردد (V/F)

7-7-8 مواصفات المحولات A/D :

المواصفات الرئيسية التى تحدد المحولات A/D كالآتى :

1- مدى جهد الدخل.

2- إعاقة الدخل Input impedence.

3- الدقة Accuracy.

4- زمن التحويل Conversion time.

5- تشكيل الخرج الرقمى.

*** وفى نهاية الفصل يمكننا القول :**

فى هذا الفصل تمت مناقشة بعضاً من الدوائر ذات الفائدة فى توليد أشكال الموجة الموقتة، ويمكن تصميم هذه الدوائر باستخدام أجهزة محددة إلا أنها لم يعد

هناك مكان لإستخدام هذه الأجهزة بسبب الدوائر التكاملية المتاحة على شكل البوابات ومكبرات العمليات والمذبذبات والمؤقِت 555، كما يمكن باستخدام هذه الدوائر التكاملية تصميم العديد من الدوائر المفيدة، كما أن الفهم الكامل لعمل هذه الدوائر يكون أساسى للإستخدام الكفء لها فى التطبيقات الجديدة.

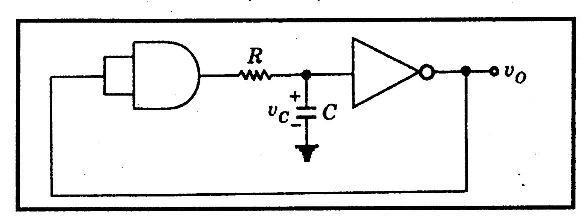
كما تمت فى هذا الفصل دراسة بعض التقنيات الشائعة الإستخدام فى التحويل من التناظرى للرقمى وفى التحويل من الرقمى إلى التناظرى، ويُفضل التشكيل المبين فى شكل (7-43) لملاءمة عدد كبير من الـــ بتات فى المحولات D/A، أما من بين المحولات A/D التى تمت مناقشتها فأسرعها نوع المقارنات المتوازية، ومن هنا يكون الإختيار الصحيح إذا كانت أقصى سرعة هى المطلوبة، أما نوع التتابع التقريبى فإن سرعته أقل من سرعة نوع المقارنات المتوازية، إلا أنه يتطلب مكونات مادية أقل لذا فهو مفضل تماما، كما أن نوع الميل المزدوج فيعد أيضا من المحولات التى تُستخدم بتوسع فى الأجهزة مثل : الفولتاميترات الرقمية حيث لايهم فيها خاصية بطئ التحويل.

كما يلزم ضبط مستويات جهد الخرج للمحولات A/D لتكون ملائمة لعائلات المنطق مثل: TTL و CMOS.

تدريبات

تدريب (7-1) :

تحقق من أن الدائرة المبينة فى شكل (7-58) تعمل كمذبذب غير مستقر.



شكل (7-58) دائرة التدريب (7-1)

تدريب (7-2) :

فى الدائرة فى شكل (7-2)، تحقق من أن وجود جهد الخرج V_0 فى حالة المنطق 0 يجعل الدائرة فى حالة غير مستقرة.

تدريب (7-3) :

تحقق من المعادليتن (7-5)، و (7-6).

تدريب (7-4) :

فى الدائرة التى فى شكل (7-12) إذا كان دايودا زينر متماثلان ومع:

$V_{Z1} = V_{Z2} = V_Z = 4.6$ V، وجهد الدايود أثناء التوصيل: $V_D = 0.6$ V، $V_R = 1$ V، فإوجد V_{UT}، و V_{LT}.

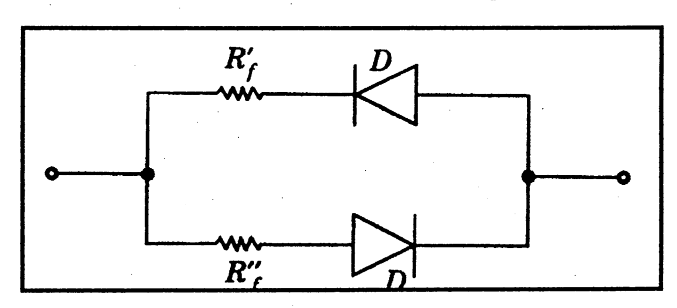
إرسم شكل الموجة لجهد الخرج إذا كان V_i جهد جيبى بقيمة قمية تبلغ 5 V.

تدريب (7-5) :

فى دائرة المذبذب غير المستقر فى شكل (7-13)، إذا كانت جهود الإنهيار Breakdown voltages لدايودى زينر مختلفين، فاستنتج تعبير لتردد الموجة المربعة.

تدريب (7-6) :

إذا تم إستبدال المقاومة R_f فى شكل (7-13) بالدائرة المبينة فى شكل (7-59)، فاوجد شكل الموجة لجهد الخرج وفترته الزمنية.



شكل (7-59) دائرة للتدريب (7-6)

تدريب (7-7) :

تحقق من أن الدائرة فى شكل (7-16) لايمكن أن تظل فى الحالة: $V_0 = - V_0$ تحت ظرف الحالة الثابتة.

تدريب (7-8) :

حقق المعادلة (7-13).

تدريب (7-9) :

يتطلب لإشارة مرور أن يظل الضوء الأحمر لمدة 30 s، بينما يظل الضوء الأخضر لمدة 60 s بمفتاح اوتوماتيكى ، فصمم دائرة لتحقيق هذا الغرض.

تدريب (7-10) :

مطلوب تصميم دائرة طلقة واحدة لتوليد نبضات عرضها 2 μs باستخدام:

أ- الدائرة 74121.

ب- الدائرة 74122.

تدريب (7-11) :

باستخدام الدائرة 74121، مطلوب تصميم دائرة طلقة واحدة لتوليد نبضات عرضها 5 ms باستخدام:

أ- المقاومة الداخلية.

ب- مقاومة خارجيةٍ قيمتها 40 KΩ.

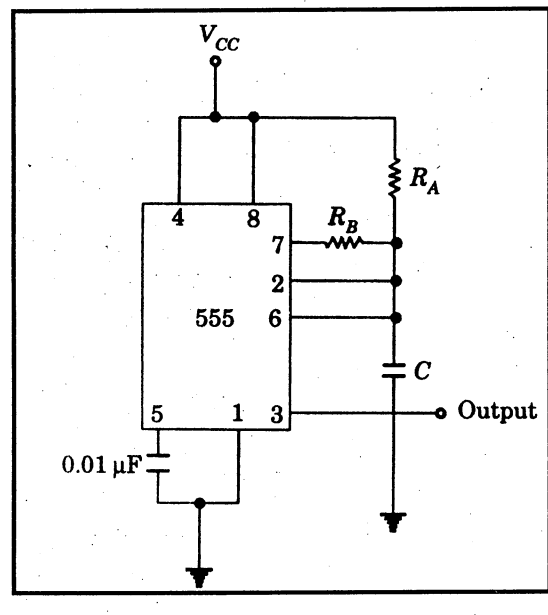
وكم يبلغ أقصى تردد لنبضات الإشعال فى كل حالة.

تدريب (7-12) :

باستخدام المؤقِت 555 مطلوب تصميم مولد موجة مربعة ترددها 100 KHz، وبمعامل دورة خدمة قدره 60%.

تدريب (7-13) :

أ- إشرح عمل دائرة المذبذب الغير مستقر الذى يستخدم مؤقِت 555 والمبين فى شكل (7-60)، مع رسم أشكال الموجة.



شكل (7-60) دائرة التدريب (7-13)

ب- إوجد تعبير للفترة الزمنية لشكل الموجة للخرج.

ج- هل من الممكن الحصول موجة مربعة بمعامل دورة خدمة 50% ؟، وإذا كانت الإجابة بنعم، فإوجد الشرط الذى يحقق ذلك.

د- إذا كانت: R_B = 20 KΩ، فاوجد قيمة R_B التى تحقق معامل دورة الخدمة 50%.

تدريب (7-14) :

تحقق من أن الدائرة المبينة فى شكل (7-34) لا يمكن أن يكون خرجها عالى HIGH فى الحالة الثابتة .



8-1 مقدمة

8-2 منظومة الذاكرة وتشغيلها

8-3 توسعة سعة الكلمة

8-4 انواع الذاكرات

8-5 اجهزة المنطق القابلة للبرمجة PLDs

8-1 مقدمة :

دعنا نسأل عن الجزء الأكثر أهمية فى مكونات النظام الرقمى، فمن المعروف أن المعالجة فى الأنظمة الرقمية تتطلب وسيلة لتسهيل تخزين المعلومات الرقمية، وتكون هذه المعلومات المخزنة إما مجموعة من الأوامر مشفرة على الشكل الثنائى، أو بيانات مطلوب معالجتها، أو نتائج وسيطة أو نهائية...إلخ، ويسمى النظام الفرعى Subsystem الموجود داخل النظام الرقمى الرئيسى والذى يقوم بتخزين هذه المعلومات بــ "الذاكرة" Memory، والتى تقع على قمة أهم الأجزاء المكونة للنظام الرقمى.

وتتوقف قوة النظام الرقمى بشكل كبير على قدرته على تخزين وإستعادة المعلومات، وكلما كبرت ذاكرة النظام الرقمى، كلما زادت مقدرتة على معالجة معلومات أكثر، فالحاسب الرقمى الذى يمتلك ذاكرة عالية يمكنه معالجة برامج أكثر تعقيداً وأكثر تفصيلاً، وقبل الذهاب بعيداً، علينا أن نتوقف لحظة لنلاحظ أن ذاكرة الحاسب – مهما كانت – لايمكن أن تصل إلى الديناميكية التى تتصف بها ذاكراتنا الحيوية، فمهما كانت قدرة ذاكرة الحاسب على تذكر وإسترجاع الحقائق الكثيرة مثل السيرة الذاتية لشخص ما، إلا أنها لاتستطيع مثلا الإستغراق وإسترجاع الذكريات السعيدة أو تذكر عطر زهرة ما أو إستعادة إنفعالات حدثت أثناء إحدى المباريات الرياضية ، وسيظل العلم عاجزاً عن تفسير كيفية إمتصاص العقل البشرى لتجارب الحياة العديدة ثم إسترجاعها والإستفادة منها متى تطلب الأمر ذلك، وعلى الرغم من هذا فإن التقدم السريع جداً الحادث فى مجال الإليكترونيات جعل ذاكرات الأنظمة الرقمية بالروعة التى تجعلها تقوم بمهام صعبة جدا بل ومستحيلة، ومنها – وللتبسيط وعلى سبيل المثال –القدرة على تخزين معلومات لدليل تليفونات وإستعادة رقم أى مشترك فى ثوان معدودة، أو تسجيل جميع المعلومات المتعلقة بالمسار الدراسى لطالب جامعى على مدى أربع سنوات ثم إستعادتها كاملة، فى حين أن هذا الطالب نفسه لايستطيع تذكر إلا نسبة ضيلة جداً من هذه المعلومات.

ومنذ أكثر من 50 عاما حدثت تطورات كثيرة فى ذاكرات الأنظمة الرقمية من ذاكرات القلب المغناطيسية Magnetic cores، إلى أنها ومع التطورات التى تناولت

تكنولوجيا أشباه الموصلات، أصبح من الممكن تصنيع ذاكرات أشباه الموصلات، بمختلف الأنواع والأحجام، والتى أصبحت مفضلة بسبب صغر أحجامها، ورخص ثمنها، وسرعاتها العالية، وإعتماديتها العالية High reliability، ولهذا أصبح على مصممى المعالجات الدقيقة أن يكونوا على معرفة متمكنة بأساسيات تشغيل أجهزة ذاكرات أشباه الموصلات المختلفة.

2-8 منظومة الذاكرة وتشغيلها :

يقصد بالذاكرة هنا أى الذاكرة الرئيسية Main memory للنظام الرقمى، وهى تعتبر المخزن الرئيسى لجميع البيانات الداخلة فى عملية المعالجة، وكذلك المخزن لمجموعة التعليمات والأوامر المعبرة عن العمليات التى يتم إجراؤها، كما تقوم الذاكرة بتخزين نتائج هذه العمليات حيث يستفاد منها عند الحاجة.

فى الفصل السادس تمت دراسة القلاب وهو يُعد العنصر الأساسى فى ذاكرات أشباه الموصلات، وفيه يتم تخزين البيانات بعد ترجمتها إلى الشكل الثنائى، وحيث يتم تمثيل كل بيان على هيئة مجموعة من البتات 1,s، و 0,s.

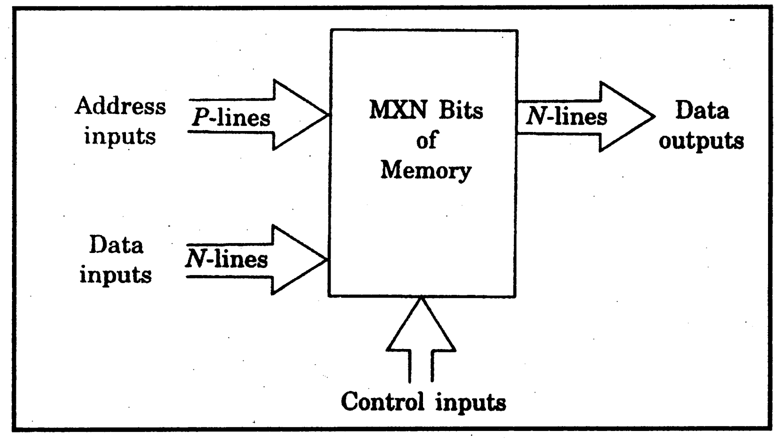
ويمكن تشبيه الذاكرة بمكتبة ضخمة بها أرفف كثيرة، كما يمكن تمثيل كل رف بموقع للذاكرة Memory location، ويحتوى كل موقع على عدد من خلايا التخزين مخزن فيها عدد محدد من البتات حيث تتسع كل خلية لـــ بت واحد فقط.

ومن هنا نقول أنه يوجد العديد من المواقع على شريحة الذاكرة وكل موقع يعنى كلمة واحدة مكونه من معلومة رقمية، ويختلف عدد المواقع وعدد البتات المكونة للكلمة من ذاكرة لأخرى، ويُحدد حجم الذاكرة برقمين يُرمز لهما بالحرفين M و N ، حيث يحدد الرمز M عدد المواقع المتاحة فى شريحة الذاكرة، كما يحدد الرمز N عدد البتات فى كل موقع، وبكلام آخر فإن كلمات عددها M تشمل كل منها على عدد N-بتات يمكن تخزينها فى الذاكرة، ويُحدد حجم الذاكرة بحاصل ضرب الرقمين M x N.

وفى الشريحة الواحدة، تكون قيم M الشائعة (أى عدد الكلمات) هى: 64، و 256 و512 و1024 و2048 و4096، و... إلخ، بينما القيم الشائعة لحجم الكلمة هى:

1، و 4، و 8، و...إلخ، ويمكن استخدام هذه الشرائح للذاكرات التى تتطلب قيم عالية من عدد الكلمات، أو تتطلب حجم كبير للكلمة، أو تتطلب لكلاهما معا.

والشكل (8-1) يبين المخطط الوظيفى لذاكرة، وكما نتعرف على مواضع الكتب فى المكتبة، فيتم أيضاً التعرف على المواقع عن طريق العنوان، فكل موقع من المواقع له عنوان منفصل Address (والذى يكون محدداً أيضاً بالشكل الثنائى)، وعلى هذا فإن المدخل إلى أى من هذه المواقع يتطلب دخول عددها P حيث: $2^P = M$، (فمثلا إذا كان عدد المواقع 16 فيكون: $16 = 2^P$، ومنه يكون عدد الدخول P مساوياً: 4) ويشار إلى هذه المجموعة من الخطوط بما يسمى بـــ "مداخل العنوان" Address inputs، أو "ناقل العنوان" Address bus، وفى الحقيقة فإنه يتم تطبيق مدخل العنوان على كاشف P-M (تحويل عدد مداخل إلى عدد كلمات)، حيث يحدث تفعيل لأحد الكلمات معتمداً على العنوان، ومنها يتم الوصول إلى موقع الذاكرة المطلوبة.



شكل (8-1) المخطط الوظيفى لجهاز ذاكرة

مثال (8-1) :

بالأخذ فى الإعتبار ذاكرة حجمها 16 كلمة، فاوجد العنوان الثنائىBinary address لكل موقع.

الحل :

حيث أن عدد الكلمات 16 فيكون: $2^P = 16$، ومنه يكن عدد الدخول P مساوياً: 4، أى أنه لإختيار أحد الكلمات من 16 كلمة، فإن ذلك يحتاج ناقل عنوان بـــ 4-بت، ويحدد العنوان بالرموز A_3، و A_2، و A_1، و A_0 حيث يمثل A_3 بت التأثير الأعلى، بينما يمثل A_0 بت التأثير الأقل ، ويبين جدول (8-1) عنوان كل موقع.

جدول (8-1)

رقم الكلمة	العنوان الثنائى A_3	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

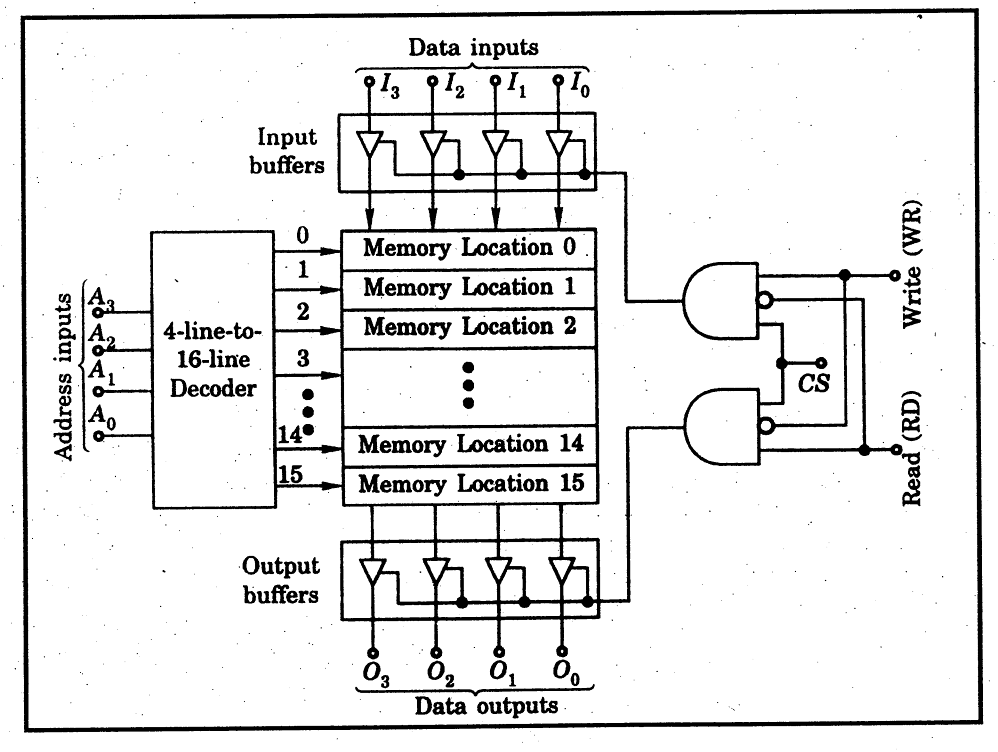
ويكون N هو عدد المداخل المطلوبة لتخزين البيانات فى كل موقع فى الذاكرة أو قراءتها منه، فيُشار لمجموعة من الخطوط عددها N والمطلوبة لتخزين البيانات فى الذاكرة بـــ "مداخل البيانات" Data inputs، كما يشار لمجموعة أخرى من الخطوط عددها N والمطلوبة لقراءة بيانات مُخزنة مسبقاً فى الذاكرة بـــ"مخارج البيانات"Data outputs، وفى بعض الذاكرات تستخدم نفس المجموعة كمداخل بيانات ومخارج بيانات وتعرف بـــ "ناقل البيانات" Data bus، فيستخدم هذا الناقل فى توقيت

ما كمداخل بيانات وفى توقيت آخر كمخارج بيانات، مما يسبب توفير فى عدد أرجل شريحة الدائرة التكاملية.

كما يكون مطلوباً أيضا عدد من مداخل للتحكم Control inputs لإعطاء أوامر للذاكرة لتأدية عمليات محددة، فمثلا إشارة أمر مطلوبة لإخبار الذاكرة أيا من عملية الكتابة أم القراءة هى المطلوبة، أو دخول أوامر تشمل تمكين الشريحة CE، أو إختيار الشريحة CS ...إلخ.

وبالإضافة إلى ماسبق، يوجد رجلين على الأقل لتوصيل منبع التغذية، والأرض.

ويبين شكل (8-2) المنظومة الداخلية لشريحة ذاكرة 16 x 4، وسوف يتم مناقشة عمليتى الكتابة والقراءة فى القسمين التاليين.

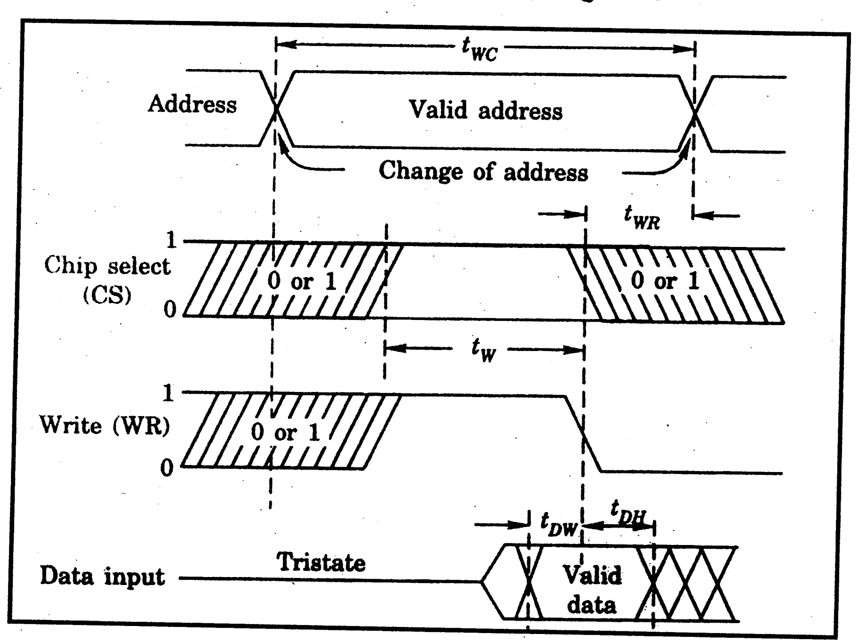


شكل (8-2) المنظومة الداخلية لشريحة ذاكرة 16 x 4

8-2-1 عملية الكتابة :

تتطلب عملية كتابة كلمة على موقع ما فى الذاكرة تطبيق جهد منطق 1 على كل من دخل الإختيار CS، ودخل الكتابة Writ WR ، ويؤدى هذان الدخلان إلى تمكين عازلات الدخل Input Buffers من تحميل الكلمة المكونة من 4-بت عند دخول البيانات إلى الموقع المختار، كما يمنع الشرط: WR = 1 من تمكين عازلات الخرج بحيث تكون خروج البيانات فى حالة الإعاقة العالية لها High-impedance.

وعند كتابة كلمة فى موقع ما فى الذاكرة يتم تنفيذ العمليات المتتابعة التالية:



شكل (8-3) أشكال موجة دورة الكتابة

1- تطبيق إشارة إختيار الشريحة على النهاية CS.

2- تطبيق الكلمة المراد تخزينها على نهايات دخل البيانات Data Inputs.

3- تطبيق عنوان موقع الذاكرة المطلوب على نهايات مداخل العنوان Address Inputs.

4- تطبيق إشارة أمر الكتابة على نهاية دخل التحكم (كتابة).

وكإستجابة لهذه العمليات، يتم مسح أى كلمة كانت مخزنة مسبقاً فى هذا الموقع من الذاكرة، وتحل محلها المعلومة الموجودة عند طرف دخل البيانات.

ويبين شكل (8-3) أشكال الموجة المختلفة خلال عملية الكتابة.

ويمكن توضيح الخواص الزمنية الهامة التى تحدث خلال دورة الكتابة كالتالى:

زمن دورة الكتابة (t_{WC}) Write cycle time :

هو أقل مدة زمنية تلزم أن يتواجد خلالها العنوان ليتم كتابة كلمة ما فى الذاكرة، أو بكلام آخر اقل زمن مطلوب بين عمليتى كتابة متتاليتين.

زمن نبضة الكتابة (t_W) Write pulse time :

هو أقل طول لنبضة الكتابة.

زمن إطلاق الكتابة (t_{WR}) Write release time :

هو أقل مدة زمنية تنقضى بعد إنتهاء زمن نبضة الكتابة ويكون أيضا العنوان محقق.

زمن تهيئة البيانات (t_{DW}) Data set up time :

هو أقل مدة زمنية تكون عندها البيانات محققة قبل إنتهاء نبضة الكتابة.

زمن إمساك البيانات (t_{DH}) Data hold time :

هو أقل مدة زمنية تكون عندها البيانات محققة بعد إنتهاء نبضة الكتابة.

8-2-2 عملية القراءة :

لقراءة محتويات موقع ما فى الذاكرة يتم تطبيق جهد منطق 1 على كل من دخل الإختيار CS، ودخل القراءة Read RD، ويؤدى هذا إلى تمكين عازلات الخرج بحيث تظهر محتويات الموقع المختار على أطراف خروج البيانات، أيضا يمنع الشرط: RD = 1 من تمكين عازلات الدخل بحيث لاتؤثر بيانات الدخل على الذاكرة أثناء

عملية القراءة، ولقراءة أو استعادة كلمة فى موقع معروف عنوانه فى الذاكرة يتم تنفيذ العمليات المتتابعة التالية:

1- تطبيق إشارة إختيار الشريحة على النهاية CS.

2- تطبيق عنوان موقع الذاكرة المطلوب على نهايات مداخل العنوان.

3- تطبيق إشارة أمر القراءة على نهاية دخل التحكم (قراءة).

وكاستجابة لهذه العمليات، تظهر الكلمة المخزنة فى هذا الموقع المُعنوَن عند أطراف خروج البيانات.

ويبين شكل (8-4) أشكال الموجة المختلفة خلال عملية القراءة.

ويمكن توضيح الخواص الزمنية الهامة التى تحدث خلال دورة القراءة كالتالى:

زمن دورة القراءة (t_{RC}) Read cycle time :

هو أقل مدة زمنية تلزم أن يتواجد خلالها العنوان ليتم قراءة كلمة فى الذاكرة، أو بكلام آخر اقل زمن مطلوب بين عمليتى قراءة متتاليتين .

زمن التوصل (t_A) Access time :

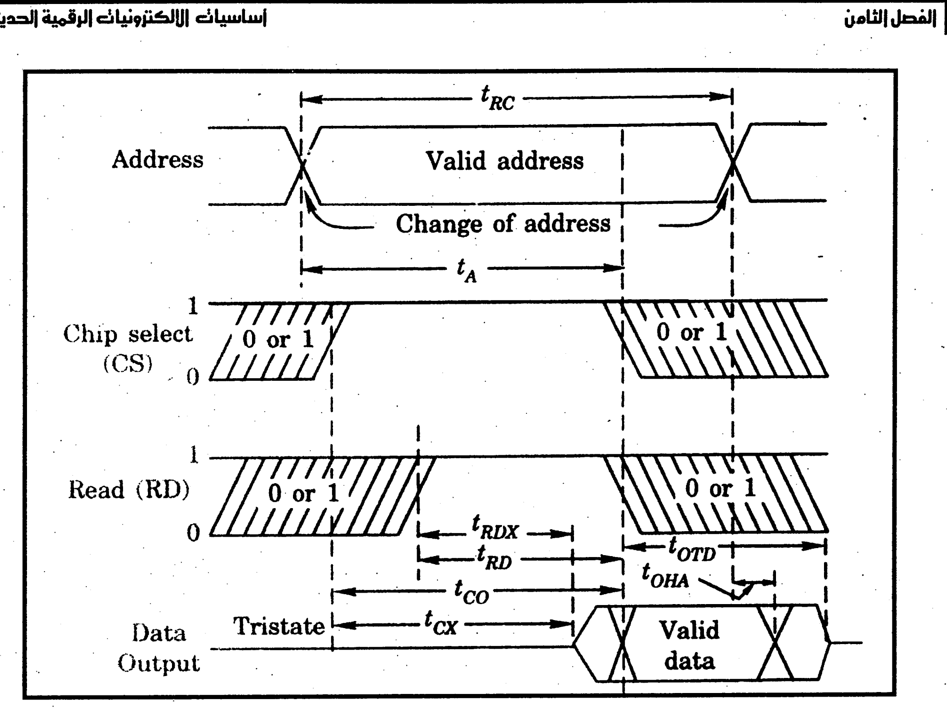
وهو أقصى زمن مستغرق من بداية العنوان الذى يحقق دورة قراءة إلى الزمن الذى عنده تتاح البيانات على مخرج البيانات، وعلى أبعد تقدير يكون زمن التوصل مساويا لزمن دورة القراءة، أى أن $t_A \le t_{RC}$، وبكلام آخر لابد أن تكون بيانات الخرج جاهزة قبل عملية القراءة التالية.

زمن التحقيق من القراءة للخرج (t_{RD}) Read to output valid time :

هو أقصى زمن تأخير بين بداية نبضة القراءة وإتاحة البيانات المحققة على مخارج البيانات.

الزمن الفعال من القراءة للخرج (t_{RDX}) Read to output active time :

هو أقل زمن تأخير بين بداية نبضة القراءة ووصول عازلات الخرج للحالة الفعالة (من حالة الإعاقة العالية).



شكل (8-4) أشكال موجة دورة الكتابة

زمن التحقيق من إختيار الشريحة للخرج (t_{CO}) Chip-select to output valid time :

هو أقصى زمن تأخير بين بداية نبضة إختيار الشريحة وإتاحة البيانات المحققة على مخارج البيانات.

الزمن الفعال من إختيار الشريحة للخرج:

Chip-select to output active time (t_{CX})

هو أقل زمن تأخير بين بداية نبضة إختيار الشريحة ووصول عازلات الخرج للحالة الفعالة.

زمن خرج الحالة الثالثة من زمن القراءة:

Output tristate from read time (t_{OTD})

هو أقصى زمن تأخير بين نهاية نبضة القراءة ووصول عازلات الخرج لحالة الإعاقة العالية.

زمن إمساك البيانات Data hold time (t_{OHA}) :

هو أقل مدة زمنية تكون عندها البيانات محققة عند خروج البيانات بعد إنتهاء العنوان.

ويبين جدول (8-2) أزمنة دورات الكتابة والقراءة الخاصة بشريحة نموذجية لذاكرة.

جدول (8-2)

البارامتر	الزمن (ns)
t_{WC}	200
t_{W}	120
t_{WR}	0
t_{DW}	120
t_{DH}	0
t_{RC}	200
t_{A}	200
t_{RD}	70
t_{RDX}	20
t_{CO}	70
t_{CX}	20
t_{OTD}	60
t_{OHA}	50

مثال (8-2) :

من جدول (8-2)، إحسب أقصى معدل (كلمات/ثانية) الذى عنده:

أ- يمكن تخزين المعلومات.

ب- يمكن قراءة المعلومات.

الحل :

أ- أقصى معدل تخزين للكلمات فى الثانية:

$$1/t_{WC} = 1/(200 \times 10^{-9}) = 5 \times 10^{6}$$

ب- أقصى معدل قراءة للكلمات فى الثانية :

$$1/t_{RC} = 1/(200 \times 10^{-9}) = 5 \times 10^{6}$$

8-3 توسعة حجم الكلمة :

فى كثير من تطبيقات الذاكرة، لاتتحقق المتطلبات المرجوة عند استخدام شريحة دائرة تكاملية واحدة لذاكرة (أى عدد كلماتها أو حجم الكلمة أو كلاهما)، ولهذا تستخدم شرائح عديدة متشابهة وربطها بطريقة مناسبة لتحقيق المتطلبات المرجوة سواء من عدد الكلمات، أو حجم الكلمة ، أو كلاهما معاً.

8-3-1 التوسع فى سعة الكلمة :

يقصد بالتوسع فى سعة الكلمة Expanding word size هو تكبير سعة الكلمة التى تحتويها الذاكرة لتصبح n، بينما N هو سعة الكلمة المتاحة فى شريحة الدائرة التكاملية (أى ان: $N < n$)، ومن هنا يمكن حدوث ضم لعدد من شرائح الدوائر التكاملية المتشابهة معا لتحقيق سعة الكلمة المطلوب، ويتم الحصول على عدد هذه الشرائح من العدد الصحيح الأعلى الناتج من خارج القيمة n/N، ويتم توصيل هذه الشرائح بالطريقة التالية:

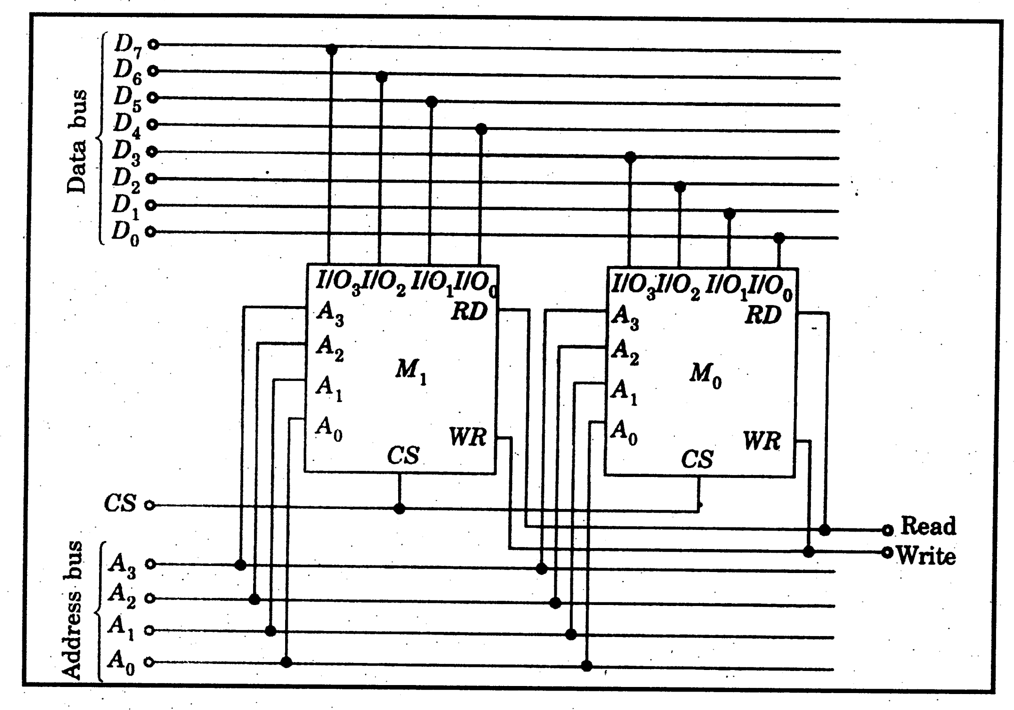
1- توصيل خطوط العنوان المتناظرة فى جميع الشرائح ، أى توصيل الخط A_0 فى جميع الشرائح على نقطة مشتركة ليصبح خطاً واحداً A_0 لجميع الشرائح، وبالمثل توصل جميع الخطوط A_1 و A_2 و.. معاً.

2- توصيل كل مداخل القراءة RD للشرائح ببعضها لتصبح مدخل واحد للقراءة للذاكرة الكلية، وبالمثل توصيل كل مداخل الكتابة WR، ودخول الاختيار CS.

وهنا سيصبح عدد خطوط دخل/خرج البيانات مساويا لحاصل ضرب عدد الشرائح المستخدمة فى سعة الكلمة للشريحة الواحدة، ويمكن توضيح الخطوات السابقة فى المثال التالى.

مثال (8-3) :

باستخدام شرائح دوائر تكاملية ذاكرة 4 x 16، مطلوب الحصول على دائرة ذاكرة 8 x 16.



شكل (8-5) دائرة ذاكرة 8 x 16 بدمج شريحتى ذاكرة 4 x 16

الحل :

حيث ان سعة الكلمة المطلوب هو: n = 8، بينما سعة الكلمة المتاح فى شريحة الدائرة التكاملية المعطاه هو: N = 4، فيكون خارج القيمة n/N هو: 2، ومن هنا يمكن حدوث ضم لشرحتين من الدوئرة التكاملية المعطاه معا لتحقيق سعة الكلمة المطلوب، وحيث أن كل شريحة يمكنها تخزين 16 كلمة بسعة 4-بت لكل منها، والمطلوب هو 16 كلمة بسعة 8-بت لكل منها، فبالتالى يصبح المطلوب من كل شريحة القيام بتخزين نصف البتات من كل كلمة، ويبين شكل (8-5) التوصيل المتعلق بالشريحتين.

وهنا نرى أنه تم فرض خطوط الدخل/الخرج I/O lines كخطوط ثنائية الإتجاه، وهذا هو الشائع فى الكثير من شرائح الذاكرة المتاحة، وفى هذه الذاكرة 8 x 16، توضع الأربعة بتات ذات الدرجة الأعلى (D_7 و D_6 و D_5 و D_4) فى الذاكرة رقم M_1، بينما توضع الأربعة بتات ذات الدرجة الأقل (D_3 و D_2 و D_1 و D_0) فى الذاكرة رقم M_0.

8-3-2 التوسع فى عدد الكلمات :

من الممكن تجميع عدد من شرائح الذاكرة معا للحصول على عدد من المواقع أكثر من المواقع المتاحة فى الشريحة الواحدة، وهذا هو المقصود بالتوسع فى عدد الكلمات Expanding word capacity، حيث يراد أن يكون عدد الكلمات فى الذاكرة m، بينما M هو عدد الكلمات المتاح فى شريحة الدائرة التكاملية، فمن هنا يمكن حدوث ضم لعدد من شرائح الدوائر التكاملية المتشابهة معا لتحقيق عدد الكلمات المطلوب، ويكون عدد هذه الشرائح هو العدد الصحيح الأعلى من خارج القيمة: m/M ، ويتم توصيل هذه الشرائح بالطريقة التالية:

1- توصيل خطوط العنوان المتناظرة فى جميع الشرائح، بنفس الأسلوب كما فى حالة توسيع سعة الكلمة.

2- توصيل كل مداخل RD للشرائح ببعضها لتصبح مدخل واحد للقراءة للذاكرة الكلية ، وبالمثل توصيل كل مداخل WR.

3- استخدام كاشف ذو سعة مناسب، وتوصيل كل خرج من مخارجه بدخل إختيار الشريحة CS فى كل ذاكرة على حدة (فمثلا عند استخدام 8 شرائح ذاكرة، فيستخدم لذلك كاشف 3 خط-إلى-8 خط لإختيار خرج أحد الشرائح الثمانية فى أى وقت)، ويمكن توضيح الخطوات السابقة فى المثال التالى.

مثال (8-4) :

باستخدام شرائح دوائر تكاملية ذاكرة 8 x 256، مطلوب الحصول على دائرة ذاكرة 8 x 2048 .

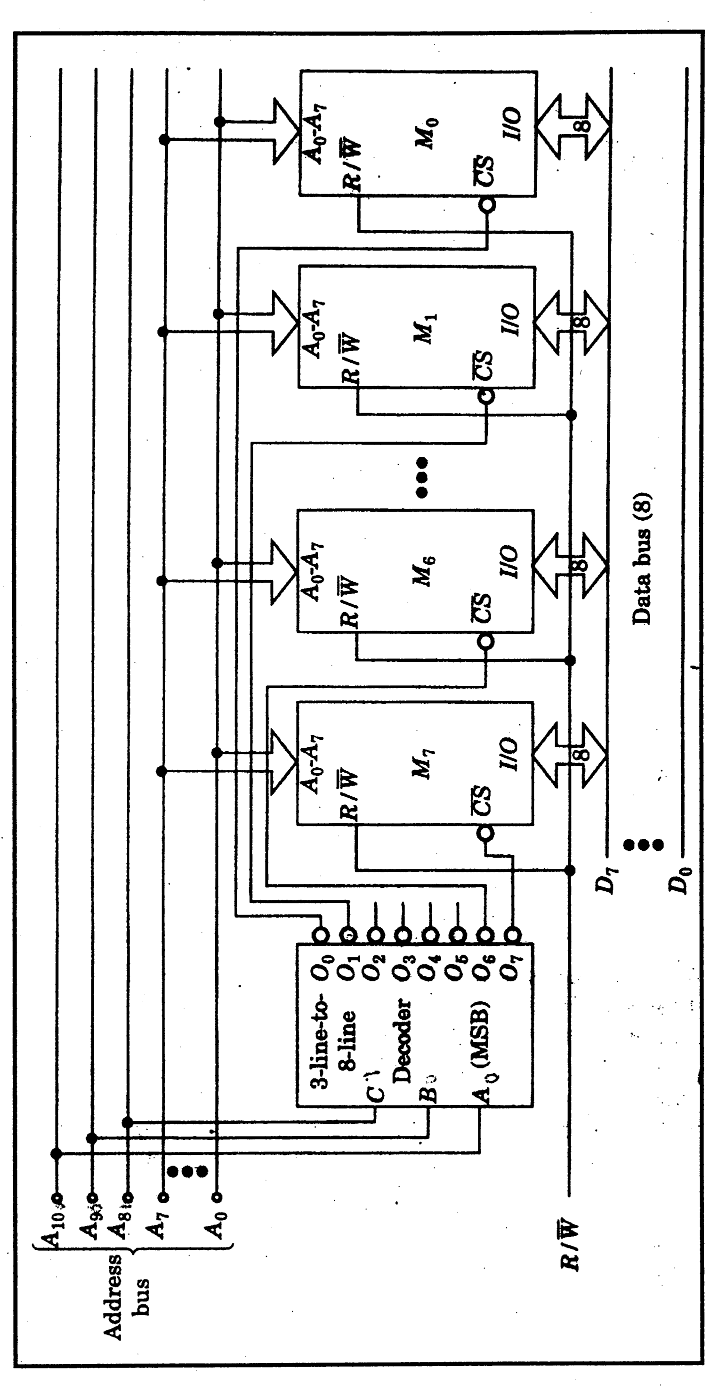
الحل :

حيث ان عدد الكلمات المطلوب هو: $m = 2048$، بينما عدد الكلمات المتاح فى شريحة الدائرة التكاملية المعطاه هو: $M = 256$ ، فيكون خارج القيمة m/M هو: 8، ومن هنا يتم ضم عدد 8 شرائح من الدوئرة التكاملية المعطاه معا لتحقيق عدد الكلمات المطلوبة.

وعند أى وقت يتم تشغيل موقع واحد فقط من جميع المواقع (2048)، ويتواجد هذا الموقع على شريحة ما من الشرائح الثمانية ومما يعنى أن هناك شريحة واحدة فقط تعمل فى نفس الوقت، فلإختيار أحد هذه المواقع يتطلب هذا خطوط عنوان عددها 11 ($2^{11} = 2048$)، وتكون الثمانية بتات الأقل درجة الخاصة بالعنوان (من البت A_7 ونزولا للبت A_0) هى نفسها لجميع الشرائح ، بينما عن طريق الثلاثة بتات الأعلى درجة (من A_8 إلى A_{10}) يتم اختيار أحد الشرائح الثمانية ولهذا الغرض يستخدم كاشف 3 خط–إلى–8 خط، ويبين شكل (8-6) التوصيل المتعلق بالشرائح الثمانية.

فالكلمة التى تحمل بتات التأثير الأعلى درجة (من A_8 إلى البت A_{10}) أى : 000xxxxxxxx تعنى تشغيل الذاكرة M_0 ، والتى تحمل البتات 001xxxxxxxx تعنى تشغيل الذاكرة M_1 ، ....وهكذا ، ثم يأتى بعد ذلك تحديد الموقع داخل الذاكرة التى تم تحديدها والذى يتمثل بالثمانى بتات الأقل درجة (من البت A_7 ونزولا للبت A_0)، ومثال على ذلك ، إذا كان العنوان هو : 10101011001 فيعنى ذلك ومن الثلاثة بتات الأعلى درجة ، أى : 101 والذى يبين أن الذاكرة A_5 هى التى تعمل ، ومن الثمانية بتات الأقل درجة ، أى : 01011001 والذى يبين أن الموقع رقم 89 هو المطلوب ، وفى النهاية يبين العنوان : 10101011001 الموقع 89 من الذاكرة M_5 .

وهنا تم فرض طرف مشترك($R/\overline{W}$) للقراءة والكتابة ، فيتم تطبيق منطق 1 فى عملية القراءة ، بينما يتم تطبيق منطق 0 فى عملية الكتابة ، كما يكون دخل إختيار الشريحة فعال–منخفض .



شكل (8-6) دائرة ذاكرة 8 x 2048 بدمج 8 شرائح ذاكرة 8 x 256

4-8 أنواع الذاكرات :

يتم تقسيم الذاكرات طبقاً للعديد من وجهات النظر.

فطبقاً لقواعد تشغيلها نجد أن المشاع منها الأنواع التالية:

1- ذاكرة الدخول المتعاقب Sequentially accessed memory (SAM) .

2- ذاكرة القراءة والكتابة Read and write memory (RAM) .

3- ذاكرة القراءة فقط Read only memory (ROM) .

وطبقاً لخصائصها الطبيعية Physical characteristics يمكن تقسيم الذاكرات إلى التالى :

1- ذاكرات قابلة للمسح، أو غير قابلة للمسح.

2- متطايرة Volatile، أو غير متطايرة Non-volatile.

وطبقاً للتقنية المستخدمة فى التصنيع Fabrication technology تقسم الذاكرات إلى فئتين رئيسيتين :

1- احادية القطبية .

2- ثنائية القطبية .

8-4-1 ذاكرة الدخول المتعاقب (SAM) :

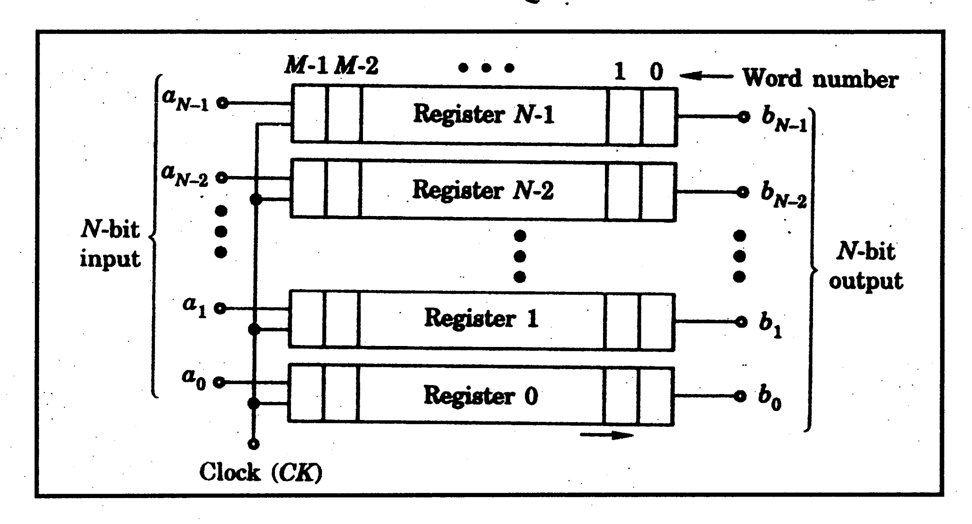
فى ذاكرة الدخول المتعاقب يُؤذن بالدخول إلى الذاكرة بطريقة متعاقبة للكتابة عليها أو للقراءة منها، ولهذا يختلف الزمن المطلوب لدخول موقع ذاكرة (ويشار إليه بزمن الدخول Access time) للكتابة عليه أو للقراءة منه باختلاف الموقع .

ويوجد نوعان من ذاكرات الدخول المتعاقب:

أ- مسجلات الإزاحة Shift registers

ب- الأجهزة مزدوجة الشحنة Charge coupled devices (CCD) .

وفى الذاكرة المتعاقبة ، يتم تخزين الكلمات فى تتابع، كما يتم قراءتها فى تتابع، فمثلا عند الدخول على الموقع المرقم p، فلايسمح بالدخول على الموقع المرقم (p + q) مالم يتم الدخول على المواقع التى تتوسط هذين الموقعين واحداً بواحد فى تتابع، وبكلام آخر فالوصول إلى موقع معين يلزمه الأنتظار لحين الوصول إليه، ومما يعنى أن زمن الوصول لاى موقع فى الذاكرة يكون مختلفاً عن الآخر.



شكل (8-7) ذاكرة تعاقبية M x N

وتعد مسجلات الإزاحة التى تمت مناقشتها فى الفصل السادس من أمثلة الذاكرات المتعاقبة ، فيبين شكل (8-7) ذاكرة متعاقبة حجمها (M x N)، والتى تتطلب عدد N مسجل إزاحة وعدد مراحل كل منها M، كما يحتفظ كل مسجل بمجموعة من N-بت من كل من الكلمات M، ومع كل دورة نبضات ساعة تتقدم البتات فى إتجاه اليمين بمقدار موقع لبت واحد، وتظهر الكلمات المخزنة تتابعياً على مخارج المسجلات، ويعرف هذا التشكيل للمسجلات بنظام الذاكرة التعاقبية التى تُقرأ فيها أولا البت التى تم تخزينها أولا First-in-first-out (FIFO)، على النقيض إذا أخذ الخرج إبتداءً من المرحلة رقم (M-1) بدلاً من المرحلة رقم (0) فعندئذٍ يعرف هذا التشكيل للمسجلات بنظام الذاكرة التعاقبية التى فيه تُقرأ أولا البت التى تم تخزينها آخراً Last-in-first-out (LIFO)، ولابد من تزويد هذه المسجلات بما يجعل إزاحة البتات تحدث فى كلا الإتجاهين، وفى نظام الذاكرة التعاقبية (FIFO)،

إذا عادت الكلمات التى تمت قراءتها إلى الموقع الأيسر من المسجل، فيعرف هذا المسجل بمسجل الإزاحة الدائر Circulating shift register، ولايستخدم هذا النوع فى نظام الذاكرة التعاقبية (LIFO).

ومسجلات الإزاحة إما أن تكون ساكنة Static، أو متحركة Dynamic، ففى الذاكرة الإستاتيكية لاتتغير محتويات مواقع الذاكرة طالما أن القدرة موصلة، بينما فى الذاكرة الديناميكية تُخزن المعلومات فى مكثفات من النوع MOS والتى تتغير مع الزمن، لذا يلزم تنشيطها على فترات منتظمة، والذاكرات الديناميكية مقارنة بالذاكرات الإستاتيكية تُعد أبسط وأقل تكلفة وتحتاج قدرة أقل، لذا فهى واسعة الإستخدام فى الأنظمة الرقمية، إلا أن الدوائر الإضافية المطلوبة لعملية التنشيط ربما تُزيد من تكلفة النظام.

وكما تم مناقشته فى القسم (6-7) حيث يتم تنفيذ مسجل الإزاحة باستخدام القلابات حيث تُحمَل المعلومات فى/تُستعاد من المسجل بأسلوب تتابعى متزامن مع نبضات ساعة، كما تظل المعلومات موجودة فى المسجل طالما ظلت قدرة تغذية الدائرة موصلة.

ويمكن تنفيذ مسجلات الإزاحة باستخدام الأجهزة ثنائية الأتجاه وكذلك أجهزة MOS، ويعرف هذا النوع من المسجلات بمسجلات الإزاحة الإستاتيكية.

8-4-2 ذاكرة القراءة والكتابة Read and write memory (RAM) :

تعد ذاكرة القراءة والكتابة (RAM) من ذاكرات الحالة الأخرى من حالات دخول مواقع الذاكرة والتى تعرف بالدخول العشوائى Random-access، وتسمى أيضاً بذاكرة القراءة والكتابة Read/Write Memory (R/W M) أو ذاكرة الإدخال والإخراج، وفى هذه الذاكرة تتساوى أزمنة الدخول لمواقع الذاكرة المختلفة، أى يتم الوصول إلى أى موقع من مواقع الذاكرة عشوائيا فى زمن محدد ثابت لايعتمد على قرب أو بعد موقع الذاكرة، كما يمكن تغيير البيانات فى أى موقع خلال تشغيل النظام.

أنواع ذاكرات القراءة والكتابة :

يمكن أن تكون ذاكرات القراءة والكتابة RAMs ساكنة أو متحركة.

– *ذاكرة القراءة والكتابة الإستاتيكية Static RAM (SRAM) :*

ويعد القلاب المبين فى شكل (6-3) هو خلية التخزين الأساسية لهذه الذاكرة، وتتكون هذه الذاكرة من منظومة من هذه الخلايا الأساسية الكثيرة والتى تتساوى مع سعة التخزين المطلوبة للذاكرة والتى غالبا ماتكون رقماً كبيراً، ولهذا تستخدم دوائر قلابات مبسطة باستخدام ترانزيستورات ثنائية القطبية أو ترانزيستورات MOS وبما يحقق توفير المساحة على شريحة السيليكون وتقليل التكلفة وزيادة سرعة التشغيل علاوة على تقليل القدرة المستنفذة.

كما أن الذاكرات التى تستخدم ترانزيستورات ثنائية القطبية تعد من الذاكرات الإستاتيكية.

– ***ذاكرة القراءة والكتابة الديناميكية Dynamic RAM (DRAM) :***

وتتكون من خلايا مصممة لتخزين البتات على هيئة شحنات كهربية بداخل مكثفات، حيث يتم تمثيل المنطقين 1 أو 0 بحالتى وجود أو غياب شحنة المكثف، وحيث أن الشحنات الكهربائية سريعاً ماتتسرب من المكثفات، لذا فنجد أن هذه الذاكرة تحتاج دائرة كهربائية ملحقة تسمى "دائرة تنشيط" Refresh circuit لإعادة شحن المكثف بصفة دورية، وتؤدى عملية التنشيط إلى بطئ زمن الوصول والذى يقلل من سرعة الذاكرة، وتمتاز الذاكرات الديناميكية مقارنة بمثيلتها الإستاتيكية بصغر الحجم وكثافة التخزين العالية، والإستهلاك الكهربى القليل، ولكن يعيبها التكلفة الإضافية لدائرة التنشيط وبطئ سرعة التداول، إلا أنه وعموماً يكون استخدام الذاكرة الديناميكية مفضلا من الناحية الإقتصادية فى تصنيع شرائح الذاكرة ذات السعات الكبيرة.

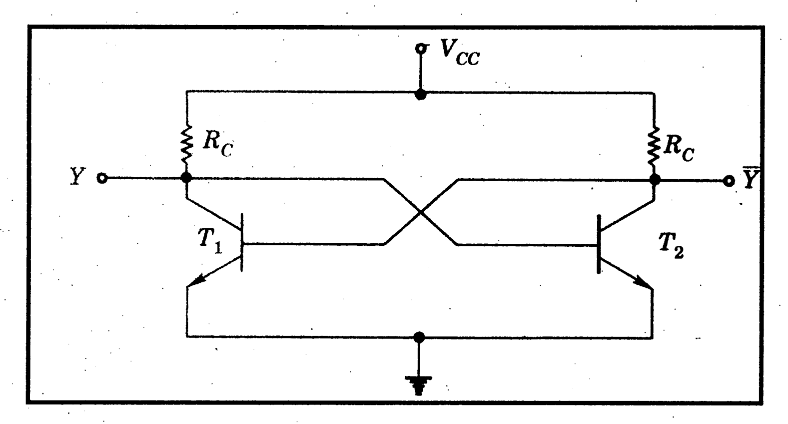
أما الذاكرات المستخدمة لترانزيستورات MOS يمكن أن تكون ساكنة أو متحركة، وعامة تكون الذاكرات الثنائية القطبية أسرع حيث يصل زمن الدخول إلى بضعة عشرات من النانوثانية، بالإضافة إلى أنها تكون أصغر حجماً حيث تحتوى على مايقرب من 1024 خلية ذاكرة، بينما يصل زمن الدخول فى ذاكرات MOS الدخول إلى بضعة مئات من النانوثانية وتصل السعة التخزينية إلى 64 كيلوبت،

ولكن مع التطورات والتحسينات المستمرة فى تقنية ذاكرات MOS، أمكن التوصل إلى سرعات تقترب من سرعات الذاكرات الثنائية القطبية.

وعامة فإن ذاكرة RAM بنوعيها الإستاتيكى والديناميكى هى الذاكرة التى تكون دائما تحت تصرف المستخدم حيث يمكنه الكتابة أوالقراءة أوالتعديل فى بياناتها طوال فترة تشغيل الجهاز.

خلية RAM الثنائية القطبية :

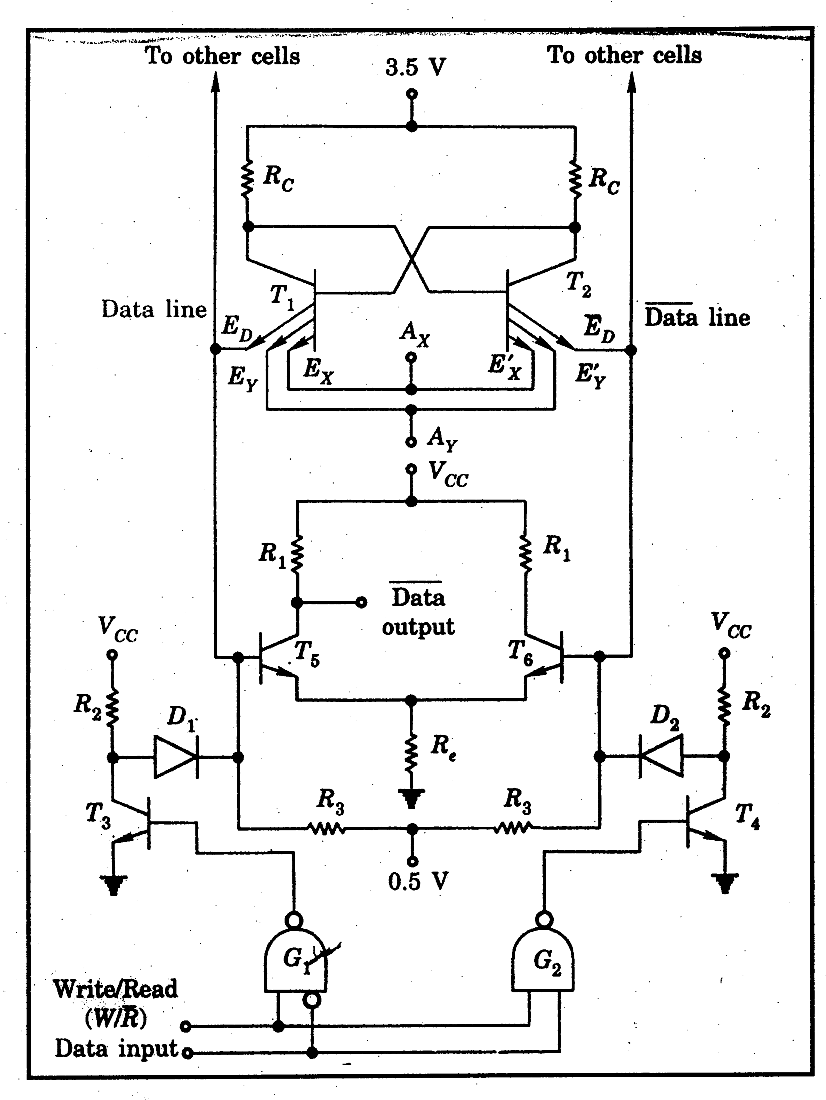
يبين شكل (8-8) خلية التخزين الثنائية القطبية Bipolur Storage Cell فى ذاكرات RAM ، وفى هذا القلاب يكون أحد الترانزيستورات ON والآخر OFF، وعند تطبيق نبضة إشعال خارجية بحيث تتغير حالة الترانزيستور OFF إلى الحالة ON، فيتحول بالتالى الترانزيستور الأول إلى الحالة OFF، فمن هنا نجد أن الخلية لها حالتين مستقرتين والتى يمكن إستخدامها فى تخزين معلومة على شكل منطقى 1 و 0، كما تُدمج بهذه الدائرة أشكال تخص عنونة الخلية والكتابة عليها، والقراءة منها.



شكل (8-8) خلية التخزين الثنائية القطبية فى ذاكرات RAM

ويبين شكل (8-9) الخلية الثنائية القطبية فى ذاكرات RAM، حيث يتكون القلاب من ترانزيستورين T_1 وT_2 مزودين ببواعث إضافية لتسهيل عملية العنونة، أما بقية الدائرة فتخص ميكانيكية عملية قراءة وكتابة البيانات.

وتستخدم الإشارات A_X، و A_Y فى عنونة الخلية (وهى خروج صف-إختيار، وعمود-إختيار لكواشف عنوان)، حيث يؤذن بالدخول على الخلية سواء للقراءة، أو للكتابة عند: $A_X = A_Y = 1$



شكل (8-9) الخلية الثنائية القطبية فى ذاكرات RAM

فنفرض أن الدخول: AX و AY و $W/\bar{R}$ عند المنطق 0، فأولاً يكون خرج البوابتين G_1 و G_2 هو المنطق 1، مما يجعل الترانزيستورين T_3 و T_4 مغلقين ON،

ومنه يصبح الثنائيان D_1 و D_2 غير موصلين ، وإذا فرضنا أن حالة القلاب بحيث يكون الترانزيستور T_1 فى وضع ON بينما الترانزيستور T_2 فى وضع OFF، فسيسرى تيار باعث فى كل من E_X و E_Y، كما يطبق جهد إنحياز قدره 0.5 V من خلال المقاومة R_3 على الباعث E_D، وحسب فرضنا يصبح الباعث E_D أكثر إيجابية من الباعثين E_X و E_Y ومن هنا يكون E_D غير موصل، وأيضاً يكون الترانزيستورين T5 و T6 مفتوحين OFF، ومن هنا يصبح خرج البيان Data output عند المنطق 1 والذى يظل على هذا المنطق أو على هذه الحالة مهما كانت حالة القلاب.

والآن إذا تم عنونة هذه الخلية، أى يصبح كل من A_X و A_Y عند المنطق 1، فسوف يتحول تيارا الباعثين E_X و E_Y إلى الباعث E_D، وحيث يسرى جزء من هذا التيار فى قاعدة الترانزيستور T5، ويكون خرج البيان Data output عند مستوى المنطق المفترض والموجود عند مجمع الترانزيستور T_1، وهكذا عندما يكون الدخل $W/\bar{R}$ عند المنطق 0 تعمل هذه الدائرة المعنونة كخلية قراءة.

أما إذا تغيرت الدخول: A_X و A_Y و $W/\bar{R}$ وأصبحت عند المنطق 1، فيكون خرج البوابة G_1 هو المنطق 1، بينما يكون خرج البوابة G_2 هو المنطق 0، مما يجعل الترانزيستور T_3 مغلقاً ON بينما الترانزيستور T_4 مفتوحاً OFF، فيرتفع جهد المجمع للترانزيستور T4 ويوصل الدايود D_2 ويرتفع الجهد عند $\bar{E}_D$، ومن هنا وبصرف النظر عن الحالة الأصلية للقلاب، فلايمكن أن يوصل الترانزيستور T_2، ويصبح مستوى المنطق لمجمع الترانزيستور T2 هو مستوى منطق دخل البيان Data input .

أما إذا لم يتم عنونة الخلية ، فلن يحمل كل من E_D و $\bar{E}_D$ أى تيار، وبالتالى لن يستجيب القلاب لأى عملية كتابة.

الدوائر التكاملية لذاكرات القراءة والكتابة :

ويبين جدول (8-3) بعض الدوائر التكاملية لذاكرات القراءة والكتابة الشائع إستخدامها ومشتملاً على بعض مواصفات هذه الدوائر، وتناسب مداخل ومخارج هذه الدوائر عائلة المنطق TTL.

كما أنه يمكن إتاحة أنواع من دوائر القراءة والكتابة الإستاتيكية والديناميكية ذات أحجام عالية، بالإضافة إلى التحسين فى السرعات.

ومن الأنواع الإستاتيكية ذات الأحجام : 32K x 8، و 64K x 8، و128K x 8، و32K x 32، و32K x 8 ...إلخ ، وهى ذات زمن دخول فى حدود 15 ns.

ومن الأنواع الديناميكية ذات الأحجام: 256K x 8، و 256K x 16، ...إلخ، وهى ذات زمن دخول فى حدود 45 ns.

جدول (8-3)

رقم الشريحة	الحجم	زمن الدخول ns	أقصى قدرة مستنفذة mW	عدد الأطراف	تقنية التصنيع	نوع الذاكرة
1101A	256x1	1500	685	16	MOS	ساكنة
2101A	256x4	350	300	22	MOS	ساكنة
2104A	4096x1	150	420	16	MOS	متحركة
2114-2	1024x4	200	300	18	MOS	ساكنة
2142-2	1024x4	200	300	20	MOS	ساكنة
2164	64Kx1	465	330	16	MOS	متحركة
2167	16Kx1	1000	625	20	MOS	ساكنة
3101	16x4	60	525	16	شوتكى ثنائى قطبية	ساكنة
5101	256x4	800	150	22	CMOS	ساكنة
74S189A	16x4	50	550	16	شوتكى ثنائى قطبية	ساكنة
74S289	16x4	35	250	16	شوتكى ثنائى قطبية	ساكنة

8-4-3 ذاكرة القراءة فقط (ROM) Read only memory :

وكما هو ظاهر من الإسم فهى تعنى قراءة المعلومات فقط، وهذا لايعنى بالطبع أن المعلومات غير مكتوبة فى الذاكرة، حيث أنه لايمكن قراءة أى معلومات مالم تكون هذه المعلومات غير مخزنة، إلا أن عملية إدخال المعلومات فى هذا النوع لهو أكثر تعقيداً من مثيلتها المستخدمة ذاكرة القراءة والكتابة (RAM)، فهنا يتم إدخال المعلومات خارجيا، لذا فهى تسمى ذاكرة قراءة فقط، وهى تستخدم فى تخزين المعلومات الثابتة مثل جداول الوظائف المختلفة والبيانات والأوامر الثابتة، وتعتبر هذه الذاكرة من ذاكرات الدخول العشوائى.

ومن ناحية أخرى تقسم الأنواع المختلفة من ذاكرات القراءة فقط طبقا للتقنية المستخدمة فى تخزين أو كتابة المعلومات فى الذاكرة حيث يشار لهذه التقنية إليها بالبرمجة Programming، حيث تُبرمج هذه الذاكرات عند تصنيعها طبقا للمعلومات التى يحددها المستخدم (وتعرف بالبرمجة المخصوصة Custom Programmed، أو البرمجة التكرية Mask Programmed، أو الذاكرة الجاهزة)، والتى لايمكن تغييرها بعد تحزيمها Packaging، ويسمى هذا النوع من ذاكرة القراءة فقط بـــ "ذاكرة القراءة فقط القابلة للبرمجة" Programmable ROM (PROM)، ويمكن برمجة هذه الذاكرة مرة واحدة بواسطة مستخدم جهاز الحاسب والتى تصبح الذاكرة بعدها ثابتة على الدوام مثل ذاكرة القراءة فقط ROM، وتوجد فئة أخرى من ذاكرة القراءة فقط القابلة للبرمجة، وهى القابلة لإعادة برمجتها Reprogrammable، بمعنى أنها يمكن برمجتها مرات ومرات، ويشار إليها بذاكرات القراءة فقط القابلة للمسح وإعادة برمجتها Erasable & Reprogrammable ROM .

وذاكرة القراءة فقط من ذاكرات أشباه الموصلات المستخدمة لتخزين المعلومات المستمرة او المستديمة فى طبيعتها، وقد أصبحت جزءاً هاماً جداً فى الكثير من الأنظمة الرقمية بسبب تكلفتها المنخفضة وسرعاتها العالية وسهولة تصنيعها علاوة على أنها من الذاكرات الغير متطايرة، ولهذه الذاكرة العديد من التطبيقات فى الأنظمة الرقمية خاصة ومنها تخزين برنامج المعالج الدقيق.

وتستخدم تقنية اشباه الموصلات فى تصنيع الدوائر التكاملية لذاكرات القراءة فقط عن طريق التقنية الثنائية الإتجاه وتقنية MOS واللتان تختلفان أساساً فى زمن الدخول Access time، وعامة فإن الأجهزة الثنائية الإتجاه تكون أسرع، بينما أجهزة MOS تحتاج مساحات سيليكون أقل كما أنها تستهلك قدرة أقل، ومع التطور الحادث فى تقنية MOS أمكن التوصل إلى ذاكرات ذات سرعات تقترب إلى حد ما من مثيلتها الموجودة فى تقنية الثنائية الإتجاه.

أقسام ذاكرات القراءة فقط :

وتسمى عملية إدخال المعلومات فى فى هذه الذاكرات بـــ "برمجة ROM"، وإعتمادا على عملية البرمجة المستخدمة، فإنه يتم تقسيم ذاكرات القراءة فقط إلى:

1- البرمجة المخصوصة Custom Programmed :

أو البرمجة التكرية Mask Programmed، كما تعرف أيضاً بالذاكرة الجاهزة والمعروفة بـــ " ROMs "، حيث تبرمج هذه الذاكرات كجزء من خطوات التصنيع، وبمجرد الإنتهاء من هذه البرمجة فلايمكن تغييرها.

2- "ذاكرة القراءة فقط القابلة للبرمجة" Programmable ROM :

وهى المعروفة بـــ " PROMs "، وهذه الذاكرة تكون قابلة للبرمجة كهربياً بمعنى أن تشكيل المعلومات Data pattern يتم بعد التحزيم النهائى بدلا من تشكيلها أثناء التصنيع، وتتم هذه العملية بواسطة جهاز يعرف بـــ " مبرمج PROM ".

3- ذاكرات القراءة فقط القابلة للمسح وإعادة برمجتها

Erasable & Reprogrammable ROM

وهى المعروفة بـــ " EPROMs "، وكما هو واضح من الإسم ففى هذا النوع من الذاكرات، يمكن كتابة البيانات وتغييرها أى عدد من المرات أو إعادة برمجتها بمعنى آخر، ويتم تنفيذ هذه الذاكرات فقط بتقنية MOS، أما مسح المحتويات فتتم بإحدى الطريقتين التاليين:

أ- تعريض الشريحة لأشعة فوق بنفسيجية لمدة حوالى 30 دقيقة .

ب- المسح الكهربى بتطبيق جهد ذى سعة وقطبية مناسبة، حيث يعرف نوع الذاكرة التى يتم مسحها كهربياً بـــ " E^2PROM "، أو " EPROM " .

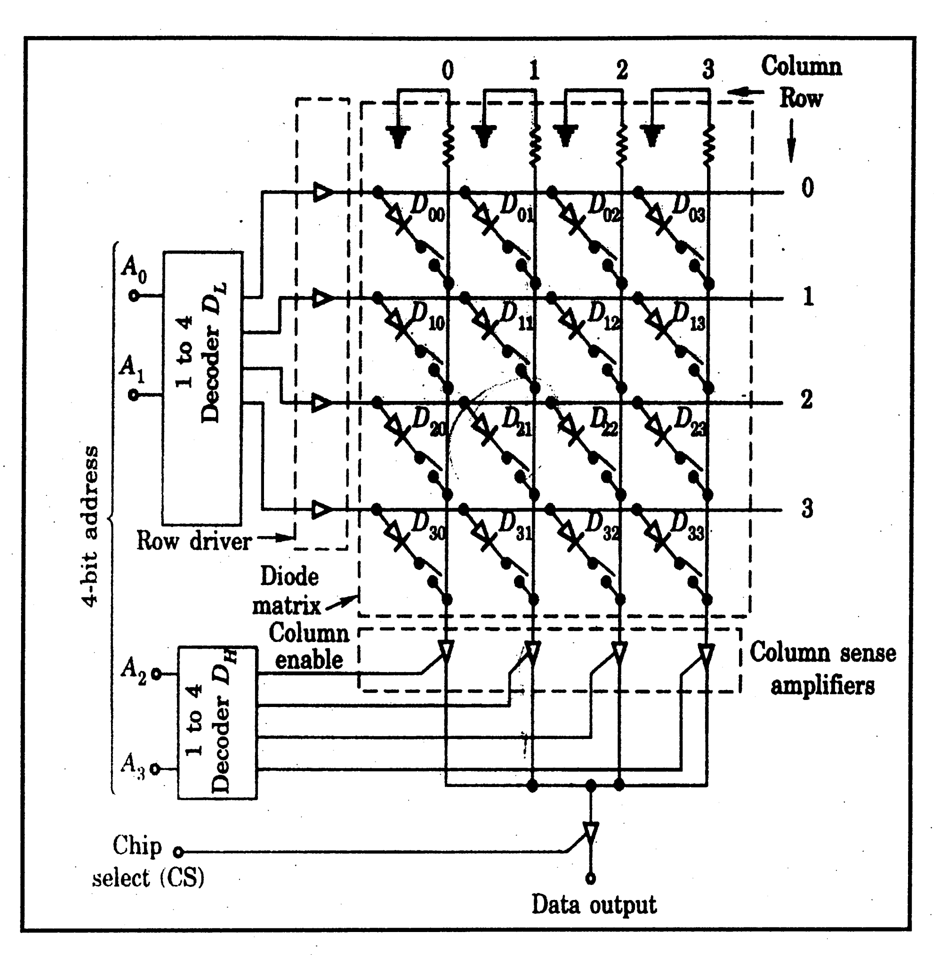
تنظيم ذاكرات القراءة فقط :

ذاكرة القراءة فقط هى مصفوفة يتم فيها إختيار موصلات أحادية الإتجاه تكون إما مفتوحة أو مغلقة، وبالرجوع إلى كاشف العنوان المبين فى شكل (8-2)، نجد أن هذا الكاشف غالباً مايُقسم إلى جزئين، حيث يتم كشف نصف خطوط العنوان بكاشف يستخدم لتنشيط Energize أحد خطوط الصفوف ، بينما يُكشف النصف الآخر من خطوط العنوان بكاشف يستخدم لإعداد Activate خطوط الأعمدة ، وتسمى هذه الطريقة من العنونة بطريقة "العنونة الثنائية الأبعاد X-Y" Two-dimensional X-Y adderssing، وحيث يدمج مفتاح أحادى الإتجاه Unidirectional switch عند الوصلة مابين كل صف وعمود.

ويبين شكل (8-10) مصفوفة ذاكرة قراءة فقط مكونة من 16-بت، ولإختيار أحد هذه البتات، يتطلب الأمر عنوان بـــ 4-بت ($A_3\ A_2\ A_1\ A_0$)، وحيث يتم كشف A_1 A_0 (وهما البتان الأقل درجة) بالكاشف D_L، والذى يختار أحد الصفوف الأربعة، بينما يتم كشف $A_3\ A_2$ (وهما البتان الأعلى درجة) بالكاشف D_H والذى يُنشِط أحد مكبرات الأعمدة الأربعة، أما مصفوفة الثنائى Diode matrix فتتحقق بتوصيل الثنائى مع المفتاح الأحادى الإتجاه مابين كل صف وعمود، فعلى سبيل المثال: الثنائى D_{21} موصل بين الصف الثانى والعمود الأول.

ويتم تمكين الخرج بتطبيق منطق 1 عند دخل إختيار الشريحة CS .

وبرمجة ذاكرة القراءة فقط تعنى الإختيارية للمفاتيح المفتوحة والمغلقة والمتصلة على التوالى مع الثنائيات، فمثلا: عند قفل الثنائى D_{21}، وإذا كان دخل العنوان هو: 0110، فينشط الصف رقم 2 ويتصل بالعمود رقم 1، ويحدث تمكين لمكبر العمود رقم 1 والذى يعطى خرج منطق 1، وهذا يبين أن منطق 1 يُخزن عند العنوان 0110.



شكل (8-10) مصفوفة ذاكرة قراءة فقط مكونة من 16-بت

مثال (8-5) :

فى مصفوفة ذاكرة قراءة فقط مكونة من 16-بت والمبينة فى شكل (8-13)، وإذا تمت برمجة الثنائيات: D_{00}، و D_{03}، و D_{12}، و D_{13}، و D_{21}، D_{33} كموحدات مغلقة، فإوجد البت المُخزن عند كل موقع.

الحل :

يبين جدول (8-4) البت المُخزن عند كل موقع .

جدول (8-4)

A_3	A_2	A_1	A_0	البت المخزون
العنوان				
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

الدوائر التكاملية لذاكرات القراءة فقط :

ويبين جدول (8-5) الدوائر التكاملية لذاكرات القراءة فقط الشائع إستخدامها ومشتملاً على بعض مواصفات هذه الدوائر، وتناسب مداخل ومخارج هذه الدوائر عائلة المنطق TTL.

كما أنه يمكن إتاحة الدوائر نوع EPROMs التالية، والشائعة الإستخدام فى أنظمة المعالجات الدقيقة:

- الدائرة رقم 27128 بحجم : 16K x 8 .
- الدائرة رقم 27256 بحجم : 32K x 8 .
- الدائرة رقم 27512 بحجم : 64K x 8 .

- الدائرة رقم 271024 بحجم : 128K x 8 .

جدول (8-5)

نوع الذاكرة	تقنية التصنيع	عدد الأطراف	أقصى قدرة مستنفذة mW	زمن الدخول ns	الحجم	رقم الشريحة
EPROM	MOS	24	885	1000	256x8	1702A
ROM	MOS	24	840	450	1024x8	2308
ROM	MOS	24	630	450	2048x8	2316E
EPROM	MOS	24	800	450	512x8	2704
EPROM	MOS	24	800	450	1024x8	2708
EPROM	MOS	24	525	450	2048x8	2716
EPROM	MOS	24	790	250	4096x8	2732A
EPROM	MOS	28	790	250	8192x8	2764
E^2PROM	MOS	24	495	250	2048x8	2816
PROM	ثنائى قطبية	16	685	70	256x4	3601
PROM	ثنائى قطبية	16	735	70	512x4	3602A
PROM	ثنائى قطبية	24	998	70	512x8	3604A
PROM	ثنائى قطبية	18	787	70	1024x4	3605
PROM	ثنائى قطبية	24	998	80	1024x8	3608

8-4-4 الذاكرات القابلة للمسح ، أو غير القابلة للمسح :

تُعرف الذاكرة التى فيها يمكن مسح المعلومات المخزنة فيها وتخزين معلومات جديدة بالذاكرة القابلة للمسح Erasable، وعلى الجانب الآخر فإن المعلومات

المخزنة فى الذاكرات غير القابلة للمسح Non-erasable تكون غير قابلة للمسح مثل ذاكرات القراءة فقط ROM .

ويمكن تقسيم الذاكرات القابلة للمسح إلى:

1- مسح موقع بموقع :

حيث تمسح المواقع فى الذاكرة واحدة بواحدة وإدخال المعلومة الجديدة، فمثلا فى الذاكرات التى تستخدم الإشارات الكهربية فى عملية المسح Electrically-alterable ROM (EAROM)، لابد من مسح الموقع أولا قبل إدخال المعلومة الجديدة.

2- مسح جميع مواقع الذاكرة :

حيث تمسح محتويات كل المواقع فى شريحة الذاكرة فى وقت واحد وذلك بتعريضها لأشعة فوق بنفسيجية Ultraviolet radiation

5-4-8 الذاكرة المتطايرة أو الغير متطايرة :

إذا فقدت المعلومات المخزنة فى الذاكرة عند فصل القدرة الكهربية فعندئذ تعرف هذه الذاكرة بالذاكرة المتطايرة، ومن أمثلتها ذاكرات القراءة والكتابة RAM، بينما فى الذاكرة الغير متطايرة فبمجرد تخزين المعلومات فإنها تظل سليمة مالم يتم تغييرها بواسطة المستخدم، وتعد كل أنواع ذاكرات القراءة فقط ROMs من نوع الذاكرات الغير متطايرة.

6-4-8 تقسيم الذاكرات طبقاً لتقنية التصنيع :

كما ذكرنا أنه يمكن تقسيم الذاكرات حسب التقنية المستخدمة فى التصنيع Fabrication technology إلى فئتين رئيسيتين:

1- احادية القطبية .

2- ثنائية القطبية .

ولقد نوقشت هذه التقنيات فى الفصل الرابع، حيث يتم تصنيع ذاكرات RAM الإستاتيكية، و ROM و PROM من أى من التقنيات الثنائية الإتجاه (TTL وECL ،

...إلخ)، بينما يتم تصنيع RAM الديناميكية و EPROM و EAROM من استخدام الأجهزة الأحادية الإتجاه (MOSFETs) فقط.

5-8 أجهزة المنطق القابلة للبرمجة

: Programmable Logic Devices PLDs

فى الفصول السابقة تم التطرق إلى الدوائر الرقمية التوافقية والتتابعية، كما تمت مناقشة العديد من الدوائر التكاملية التى يمكنها أداء الوظائف المختلفة فى الأنظمة الرقمية مثل: الموزعات والمجمعات والجوامع والمقارنات ومسجلات الإزاحة والعدادات ...إلخ، وكل هذه الدوائر تعرف بالدوائر المحددة الوظيفة-Fixed function، بمعنى أن كل منها تقوم بأداء وظيفة محددة وثابتة، ويتم تصميم وتصنيع هذه الأجهزة بكميات ضخمة لمقابلة مختلف متطلبات التطبيقات .

وعند تصميم دائرة معينة، يقوم المصمم باختيار الدوائر التكاملية الأنسب من ضمن مجموعة الدوائر التكاملية المتاحة لديه، ويتم هذا من خلال مخطط وظيفى، كما يمكن إجراء تعديل فى التصميم لمواجهة المتطلبات الخاصة من إستخدام هذه الأجهزة، وتمتاز هذه الطريقة برخص التكاليف والسهولة النسبية عند إجراء الإختبارات عليها، إلا أنه يعيبها كبر المسطحات المستخدمة وكبر متطلبات القدرة، وصعوبة تأمينها (أى سهولة نسخها بواسطة الأخرين)، بالإضافة إلى متطلبات أخرى من المساحات والقدرة وبالتالى التكاليف عند إجراء أية تعديلات.

ولمواجهة عيوب إستخدام الدوائر المحددة الوظيفة عند تصميم الدوائر المنطقية المختلفة، أنتج مايسمى بالدوائر التكاملية المحددة التطبيقات Application Specific ICs (ASICs)، والتى يتم تصميمها بواسطة المستخدمين لتحقيق متطلبات محددة لدائرة ما، كما يتم إنتاجها بواسطة الصانعين من خلال المواصفات المقدمة إليهم من قِبل المستخدمين، وعادة ماتكون هذه التصميمات معقدة جداً بحيث يصعب تصميمها باستخدام الدوائر المحددة الوظيفة، وتمتاز هذه الطريقة بقلة المساحات وصغر الأحجام وقلة القدرة المستنفذة وقلة التكاليف خاصة عند إنتاجها بكميات كبيرة،

علاوة على سهولة تأمينها، إلا أنه يعيبها ضخامة تكلفة الإنتاج الأول وزيادة تكلفة طرق الإختبارات.

إلا أن هناك مايسمى بالأجهزة المنطقية القابلة للبرمجة Programmable logic devices PLDs، والتى تجمع مميزات الطريقتين السابقتين، وبكل بساطة فإن الجهاز المنطقى القابل للبرمجه ماهو إلا دائرة تكاملية يمكن تشكيلها بحيث يمكنها تنفيذ وظائف منطقية محددة، فهى شريحة تكاملية من نوع النطاق الواسع LSI تحتوى على تشكيل منظم تتيح للمصمم تحويلها Customize لتنفيذ تطبيق محدد، أى يتم برمجتها بواسطة المستخدم لتنفيذ وظيفة محددة فى هذا التطبيق.

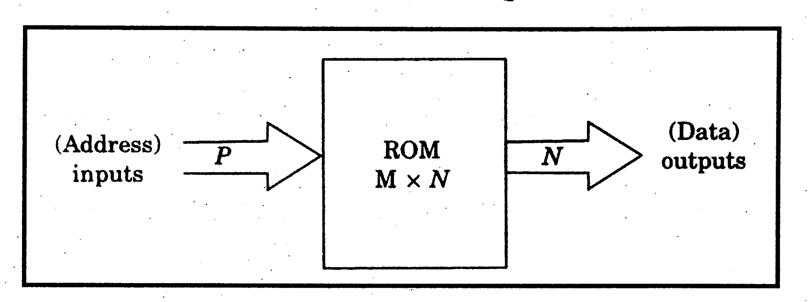
وتتميز هذه الأجهزة بمميزات الدوائر المحددة الوظيفة Fixed-function من حيث دورة التصميم القصيرة ورخص التكاليف، كما تمتاز عليها بصغر المسطحات المستخدمة وصغر متطلبات القدرة وتحقيق متطلبات التأمين وسرعات التغيير العالية High switching speed، كما تتميز هذه الأجهزة بمميزات الدوائر التكاملية المحددة التطبيقات ASICs من حيث الكثافة العالية وقلة المساحات وصغر الأحجام وقلة القدرة وقلة تكاليف الكميات الكبيرة، علاوة على سهولة تأمينها.

وبسبب المميزات العديدة لهذه الأجهزة قام صانعو الدوائر التكاملية بإنتاج العديد من أجهزة PLDs ذات المرونة والبدائل العديدة والتى أصبحت شائعة جداً، وسوف يتم مناقشة العديد من أشكال هذه الأجهزة مثل أجهزة القراءة فقط ROMs، ومنظومات المنطق القابلة للبرمجة Programmable logic arrays (PLAs)، ومنطق المنظومة القابل للبرمجه Programmable array logic (PAL).

8-5-1 ذاكرة القراءة فقط كجهاز PLD:

من دراستنا لذاكرات القراءة فقط ROMs يمكن القول أنها دوائر توافقية يمكن إستخدامها لتنفيذ وظيفة منطقية، فذاكرة القراءة فقط التى بحجم M x N وإلى تحتوى على عدد من المواقع M، يمكن تخزين عدد من البتات N فى كل موقع، ويكون P هو عدد دخول العنوان، حيث:

$M = 2^P$، كما يكون N هو عدد خطوط خروج البيانات، فهو أيضاً يمكن إعتباره كجهاز منطقى بمداخل P ومخارج N كما هو مبين فى شكل (8-11).



شكل (8-11) ذاكرة قراءة فقط كدائرة مختلطة

ومنظومة ذاكرة قراءة فقط المكونة من 16-بت، والمبينة فى شكل (8-10) لها 4 دخول، وخرج واحد، اى أن: M = 16، و N = 1، و P = 4، ويمكن إعتبار نموذج البت المخزن والمبين فى جدول (8-4) كجدول حقيقة لجهاز دخله4-بت $A_3A_2A_1A_0$، وخرج واحد Y والذى يمثل البت المخزن، وعلى ذلك تصبح الدالة المنطقية المناظرة هى:

$$Y = \sum m(0,6,9,12,13,15)$$

فعامة يمكن تنفيذ دالة منطقية بمتغيرات عددها P وخروج عددها N باستخدام ذاكرة قراءة فقط حجمها ($2^P \times N$)، حيث تتولد جميع المدلولات الأدنى 2^P الممكنة كما هو واضح من المناقشة السابقة.

وفى حالة إستخدام ذاكرة القراءة فقط التكرية Mask programmable ROM، فيقوم المستخدم بتحديد نموذج البت المفروض تخزينه طبقاً لمتطلبات الدالة المنطقية، بينما يمكنه برمجة نموذج البت فى حالة أنواع الذاكرات PROM، و EPROM، و E^2PROM.

ومن هنا نجد أن ذاكرات القراءة فقط ROMs القابلة للبرمجة يمكن إستخدامها فى تصميم المنطق، فيشار إليها أيضاً بأجهزة المنطق القابلة للبرمجة PLD.

ومن مميزات إستخدام ذاكرة القراءة فقط كأجهزة منطق قابلة للبرمجه PLD:

1- سهولة التصميم، حيث لاتتطلب التبسيط أو الإختصار.

2- إمكانية تغيير التصميم أو تعديله بسهولة وبسرعة.

3- عادة مايكون أسرع من دوائر النطاق (الصغيرة والمتوسطة).

4- خفض التكلفة.

أما العيوب فتتلخص فى عدم الإستخدام الكامل للدائرة، وزيادة متطلبات القدرة، وإزدياد الحجم بزيادة عدد متغيرات الدخول ، وهو شئ غير عملى.

8-5-2 منظومة المنطق القابل للبرمجه

Programmable logic array PLA

يتكون جهاز المنطق القابل للبرمجه PLA عادة من منظومة من البوابات المنطقية القابلة للبرمجة مع توصيلات مع دخول وخروج المنظومة موصلة بأرجل الجهاز من خلال عناصر منطقية (عازلات عاكسة أو غير عاكسة وقلابات)، ويمكن أن تكون البوابات المنطقية المستخدمة بتشكيل مستويين (AND-OR، NAND-NAND ، أو NOR-NOR).

وأساسا يوجد نوعين من أجهزة المنطق القابلة للبرمجة PLDs: منظومات المنطق القابلة للبرمجة Programmable logic arrays (PLA)، منطق المنظومة القابل للبرمجه Programmable array logic (PAL)، ويمكن إستخدامهما لتنفيذ دوال منطقية على الشكل SOP.

وتتكون منظومة المنطق الممكن برمجته PLA من دوائر مستويين لبوابات AND-OR على شريحة واحدة، ويكون عدد البوابات AND والبوابات OR وكذلك عدد مداخلها ثابت لكل شريحة PLA، وتقوم البوابات AND بعملية ضرب والحصول على مقاطع مضروبة، بينما تقوم البوابات OR بالجمع المنطقى لهذه المقاطع، فينتج تعبير مجموع حواصل ضرب SOP، والمصفوفة لها عدد دخول M ومقاطع مضروبة عددها n، وخروج عددها N ويمكنها تنفيذ دالة منطق بمتغيرات عددها M وخروج عددها N، وحيث أن جميع المدلولات الأدنى 2^M تكون غير متاحة، فلابد من عمل الإختصار المطلوب ليلائم الدالة المنطقية المعطاه.

*** وفى نهاية الفصل يمكننا القول :**

بأنه تمت مناقشة ذاكرات أشباه الموصلات والتى أصبحت شائعة فى السنوات الأخيرة حيث تم تقديم ذاكرات القرءة والكتابة وذاكرات القراءة فقط .. إلخ، كما أن التطرق لطرق توسيع حجم الذاكرات والتى تكون مما لاشك مفيدة جداً لمصممى النظام الرقمى كما تم التطرق إلى فكرة عامة عن أجهزة المنطق القابلة للبرمجة PLDs.

تدريبات

تدريب (8-1) :

فى الذاكرات التالية التى تحتوى على كلمات عددها M، إحسب عدد الأطراف (الأرجل) المطلوبة للعنونة ، وكذلك مدى العنوان (على الشكل الثنائى).

أ- M = 4

ب- M = 16

ج- M = 64

د- M = 256

ه- M = 1024 = 1K

و- M = 2048 = 2K

ز- M = 64K

تدريب (8-2) :

يبين جدول (8-6) زمن الدخول Access time، وزمن الدورة Cycle time لمجموعة من الذاكرات ، مطلوب تحديد اقصى معدل لدخول البيانات فى كل حالة.

جدول (8-6)

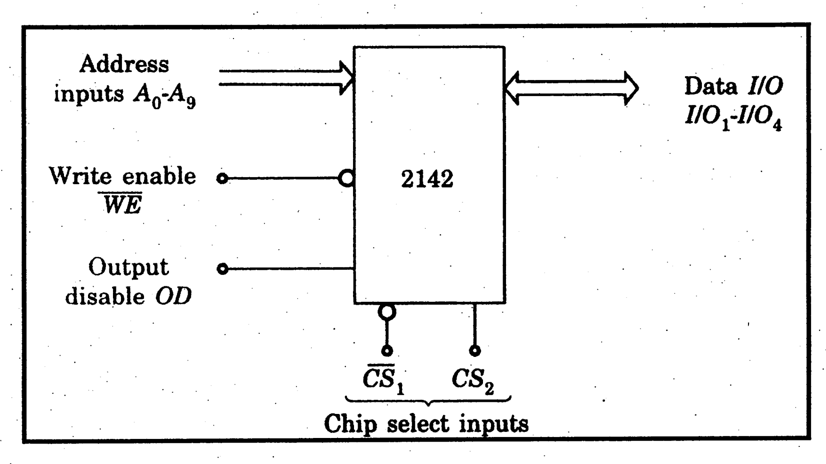
الذاكرة	زمن الدخول (ns)	زمن الدورة (ns)
A	1500	1500
B	300	580
C	450	450
D	200	200
E	60	60
F	800	800

تدريب (8-3) :

المخطط الوظيفى للذاكرة نوع Intel 2142 والموضح فى شكل (8-11) يمثل ذاكرة قراءة وكتابة إستاتيكية حجمها 1024x4، إحسب عدد الذاكرات من هذا النوع ، وكذلك نوع وعدد الدوائر التكاملية الإضافية (كواشف) المطلوبة لتنفيذ ذاكرات قراءة وكتابة بأحجام:

أ- 4096 x 4 بت .

ب- 1024 x 8 بت .



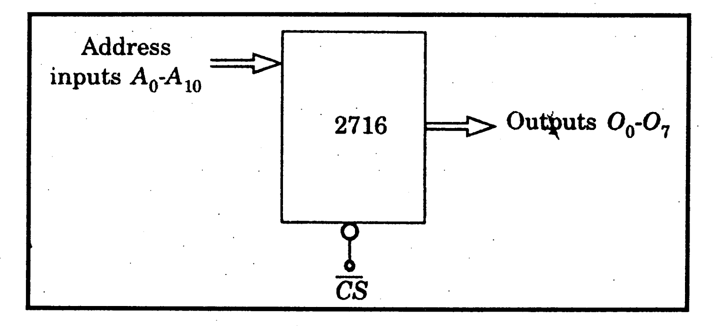
شكل (8-11) مخطط وظيفى لذاكرة قراءة وكتابة نوع Intel 2142

تدريب (8-4) :

المخطط الوظيفى للذاكرة نوع Intel 2716 والموضح فى شكل (8-12) يمثل ذاكرة قراءة فقط EPROM حجمها 2Kx4، إحسب عدد الذاكرات من هذا النوع، وكذلك نوع وعدد الدوائر التكاملية الإضافية المطلوبة لتنفيذ ذاكرات قراءة فقط بأحجام:

أ- 2K x 16 .

ب- 4K x 16 .



شكل (8-12) المخطط الوظيفى للذاكرة نوع **Intel 2716**



9-1 مقدمة :

تعد المعالجات الدقيقة Microprocessors من أهم مخترعات العصر الحالى، ولقد أدت التطورات فى تقنية الدوائر التكاملية إلى جعل مجموعة من المهندسين فى أحد الشركات الأمريكية عام 1971 من أن تتمكن من إنتاج حاسب دقيق يمكن برمجته على شريحة واحدة، وهذا الجهاز الذى عرف بـ"Intel 4004 " والمحتوى على حوالى 2300 ترانزيستور على شريحة واحدة والمصنعة باستخدام تقنية p-channel MOS ، سمى فيما بعد بالمعالج الدقيق.

ومنذ تقديم هذا المعالج الدقيق 4-بت، تم إنتاج وتطوير عدد كبير من المعالجات الدقيقة من مختلف الشركات والتى أستخدمت فى العديد من المنتجات المختلفة مثل: الحاسبات وأجهزة المعامل وحاسبات الجيب وأنظمة التحكم فى التشغيل وأجهزة التحكم فى الطائرات ولعب الأطفال وألعاب التسلية...إلخ، ومما أحدث ثورة تكنولوجية.

جدول (9-1)

إسم المعالج	جهة التصنيع	مايميزها
4004	إنتل	أول معالج دقيق (1971)
8008	إنتل	أول معالج دقيق 8-بت (1972)
8080A	إنتل	أول معالج دقيق بقناة n (1974)
6800	موتوريللا	أول معالج دقيق +5V فقط (1974)
PACE	NATIONAL SEMI-CONDUCTOR	أول معالج دقيق 16-بت (1974)
1802	RCA	أول معالج دقيق CMOS (1974)
8048	إنتل	أول معالج دقيق 8-بت على شريحة مفردة (1976)
8088	إنتل	أول معالج 8-بت ببناء داخلى 16-بت (1979)
2920	إنتل	أول معالج Analog-signal (1979)
80386	إنتل	أول معالج دقيق 32-بت (1982)
PENTIUM	إنتل	أول معالج دقيق 64-بت (1993)

ويبين جدول (9-1) بعض الوثبات الهامة التى حدثت فى تطور المعالجات دقيقة، كما يبين جدول (9-2) بعض المعالجات الدقيقة الشائعة مشتملة على بعض مواصفاتها.

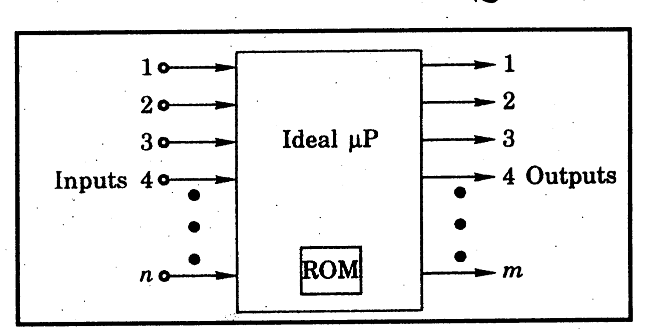
ولقد حدثت تطورت فى مجال المعالجات الدقيقة أدت إلى هذا النمو العظيم لها وكما هو واضح من مواصفات عرض ناقل المعلومات وحجم الذاكرة فى الجدول (9-2) ومن أمثلة هذه التطورات إزدياد تردد نبضة الساعة من حوالى 3MHz للطراز 8085A، إلى حوالى 66MHz للطراز 80486، كما إرتفع عدد الأوامر Instructions التى يمكن تنفيذها فى الثانية الواحدة من 0.5 مليون أمر للطراز 8085A، إلى 54 مليون أمر للطراز 80486، أما تردد نبضة الساعة فى الطراز Pentium Pro فيصل إلى 200 MHz.

جدول (9-2)

النوع	عرض ناقل المعلومات	حجم الذاكرة
8085A	8	64K
8086	16	1M
8088	8	1M
80186	16	1M
80188	8	1M
80286	16	16M
80386SX	16	16M
80386SL	16	32M
80386DX	32	4G
80486SX	32	4G
80486DX	32	4G
Pentium	64	4G

9-2 المعالج الدقيق النموذجى :

على الرغم من أنه لايوجد مايعرف بالمعالج الدقيق النموذجى μP، إلا أننا سنفترض جهازاً لشرح وظيفة المعالج الدقيق، فشكل (9-1) يبين نموذج من μP بعدد مداخل n وعدد مخارج m، ونفرض وجود ذاكرة ROM تقوم بتخزين عمليات تتابعية (والتى تعرف بالبرنامج) وذلك على شكل شفرات ثنائية.



شكل (9-1) نموذج من معالج دقيق

وببساطة شديدة وعلى مداخل μP يتم تطبيق إشارات الدخل على الشكل الثنائى حيث يتم معالجتها طبقاً للبرنامج المُخزن، ويتم الحصول على الخروج على الشكل الثنائى أيضاً عند المخارج.

ويتم تطبيق الدخول من خلال جهاز دخل والذى يمكن أن يكون:

1- مفتاح Switch.

2- محس Senser.

3- محول من تناظرى إلى رقمى A/D converter.

4- لوحة مفاتيح Key-board.

كما يمكن تغذية الخرج إلى أحد أجهزة الخرج، والتى يمكن أن تكون:

1- لمبات Lamps.

2- أجهزة إنذار.

3- مؤشرات Indicators.

4- مبينات أنبوبة أشعة المهبط CRT displays.

5- محول من رقمى إلى تناظرى D/A converter.

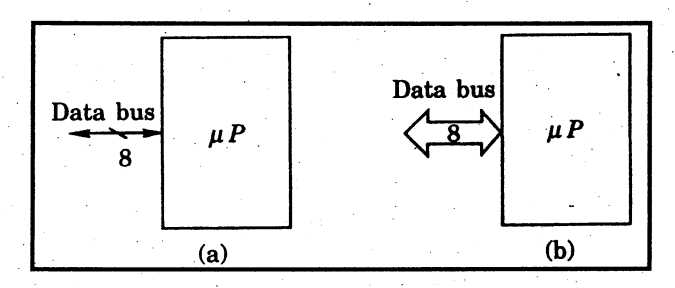
ويمكن تنفيذ وظائف المعالج الدقيق المشروحة مسبقاً باستخدام وحدة حساب ومنطق ALU كالشريحة 74181 مع بعض دوائر التحكم وذاكرة ROM، وكما تم شرحة سابقاً فالشريحة 74181 يمكنها تنفيذ مختلف العمليات الحساب والمنطق، باستخدام دخلى بيانات كلاهما مكون من 4-بت، ويعتمد تنفيذ أى عملية على الإشارة المطبقة عند دخل التحكم (من حيث نوع العملية: أهى عملية حساب أم عملية منطق) وعلى دخول إختيار الوظائف، وفى النهاية وباستخدام دائرة التحكم المناسبة وعن طريق البرنامج المخزن فى الذاكرة ROM يمكن تنفيذ عمليات متتابعة طبقاً للبرنامج المعد.

9-3 الناقلات :

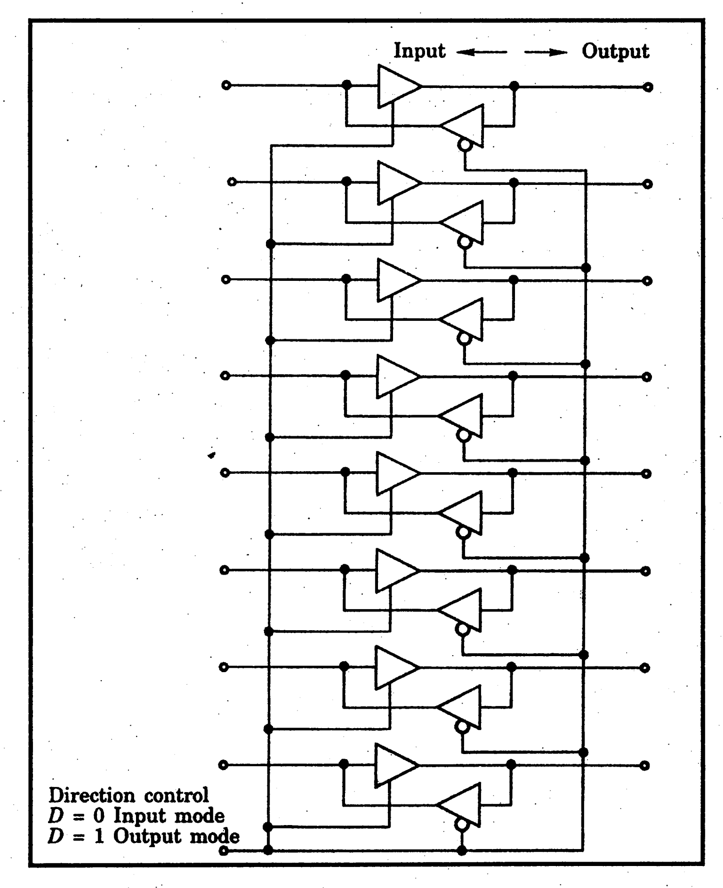
9-3-1 ناقل البيانات :

طبقاً لتعريف المعالج الدقيق النموذجى نجد أنه يحتاج إلى عدد كبير من الأرجل سواء أكانت مداخل أو مخارج، وهذا مايصعب تنفيذه عملياً حيث لايمكن لشريحة μP حقيقية أن تتحمل هذا العدد الكبير من الأرجل وحيث تتقيد الشريحة بعدد محدود منها، وعلى هذا فيمكن تحديد القيم m و n، وعادة يكون: m = n، كما يمكن تقليل الأرجل إذا أمكن استخدام أرجل الدخول كأرجل خروج، وهذا ممكن باستخدام مايعرف بالأرجل الثنائية الإتجاه، ويعود عدد الأرجل عندئذ إلى ما يعرف بـ "عرض مسار البيانات" Data path width ، أو مايسمى بـ "ناقل البيانات" Data bus ، والكلمة Bus مشتقة من الكلمة اللاتينية Omnibus وتعنى "الشاملة"، وهى كلمة شائعة الإستخدام فى الأنظمة الرقمية حيث تعنى مجموعة من الخطوط أو مسار تجميعى، وفى μP يكون ناقل البيانات ثنائى الإتجاه، والذى يمكن تمثيلة كما هو مبين فى شكل (9-2) وفيه يتم كتابة عدد الخطوط التى يتشكل منها الناقل كما هو موضح بالشكل.

ويكون عدد الخطوط فى الناقل المبين فى شكل (9-2) هو 8، ويسمى هذا العدد أيضاً بعرض الناقل Bus width، كما يبين شكل (9-3) تنظيم لناقل ثنائى إتجاه، وهنا يتم تحديد إتجاه المداخل أو المخارج حسب المعالج الدقيق نفسه.



شكل (9-2) تمثيل الناقل الثنائى الإتجاه



شكل (9-3) تنظيم لناقل ثنائى إتجاه 8-بت

ويتم معالجة البيانات فى المعالج الدقيق على الشكل الثنائى، ويعرف عدد البتات التى يمكن معالجتها فى نفس الزمن بطول الكلمة Word length أو حجم الكلمة Word size للمعالج الدقيق، ويكون هو نفسه "عرض ناقل البيانات"، وهذه الخاصية تعتبر مقياس لقوة المعالج الدقيق، كما يمكن تعريف المعالج الدقيق حسب حجم الكلمة، فيقال معالج دقيق 8-بت أو معالج دقيق 16-بت، أو معالج دقيق 32-بت.

9-3-2 ناقل العنوان:

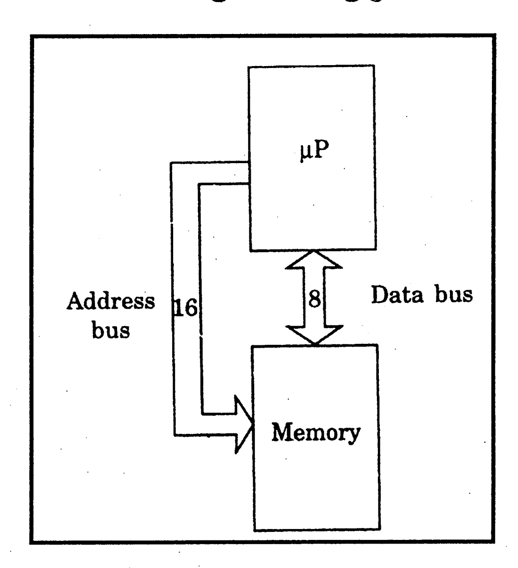
فى المعالج الدقيق الذى تم فرضه ، كنا قد فرضنا ذاكرة ROM داخلية والتى يتم تخزين البرنامج بداخلها، أما فى المعالجات الدقيقة الحقيقية فيمكن أن تكون هذه الذاكرات غير موجودة أو ذات حجم صغير بحيث يكون البرنامج المُخزن صغيراً جداً، ولهذا يتم استخدام ذاكرة خارجية (والتى يمكن أن تكون RAM أو ROM أو كلاهما معاً)، ومن المعروف أنه يتم تخزين البيانات والمعلومات فى العديد من المواقع ولكل موقع عنوان محدد، ولابد أن يكون للمعالج الدقيق القدرة على تخزين المعلومات فى كل هذه الذاكرات وأيضاً القدره على استعادتها منها، وعلى ذلك لابد أن يكون لكل من µP والذاكرة مجموعة من الخطوط تعرف بـ "ناقل العنوان" Address bus ويكون حجم الذاكرة التى يمكن عنونتها بعدد P من خطوط عنوان موجودة فى ناقل العنوان هو: 2^P، ويعرف هذا بـ "حيز العنوان" Address space، أو "حيز الذاكرة" Memory space، ومن هنا نجد أنه عند توصيل ذاكرة بحجم كبير مع µP ، فلابد أن يكون عرض ناقل العنوان كبيراً، وفى كثير من المعالجات الدقيقة يصل عرض ناقل العنوان إلى 16، والذى يمكنه عنونة حتى 2^{16} موقع (64,536)، وهو مايعادل: 64K، حيث:

$$K = 2^{10}$$

وعادة يتم ترتيب الذاكرات بحيث يتم تخزين المعلومات على شكل بايتات Bytes، أى أنه يتم تخزين بايت واحد فى كل موقع (والبايت كما ذكرنا من قبل عبارة عن 8-بت) ، ويصور شكل (9-4) مواءمة ذاكرة و µP.

وقبل القراءة من أو الكتابة فى موقع ما من مواقع الذاكرة، فلابد أولا من إختيار هذا الموقع من خلال إرسال إشارات على ناقل العنوان، ويظل العنوان

موجوداً طالما أن عملية القراءة أو الكتابة لم تكتمل، وفى كثير من المواقف تتواجد ماسكات Latches عند خطوط دخول العنوان للذاكرة، حيث تقوم بإمساك العنوان بمجرد وصوله، وبمجرد مسك هذا العنوان يصبح ناقل العنوان غير مطلوب لبقية دورة القراءة أو الكتابة التى يتم تناولها، حيث يتم إستخدام هذا الناقل فى غرض آخر، وفى الإصدارات الأولى للمعالجات الدقيقة كان ناقل العنوان يستخدم فقط فى نقل العنوان وسمى بـ "ناقل العنوان المخصص " Dedicated address bus.

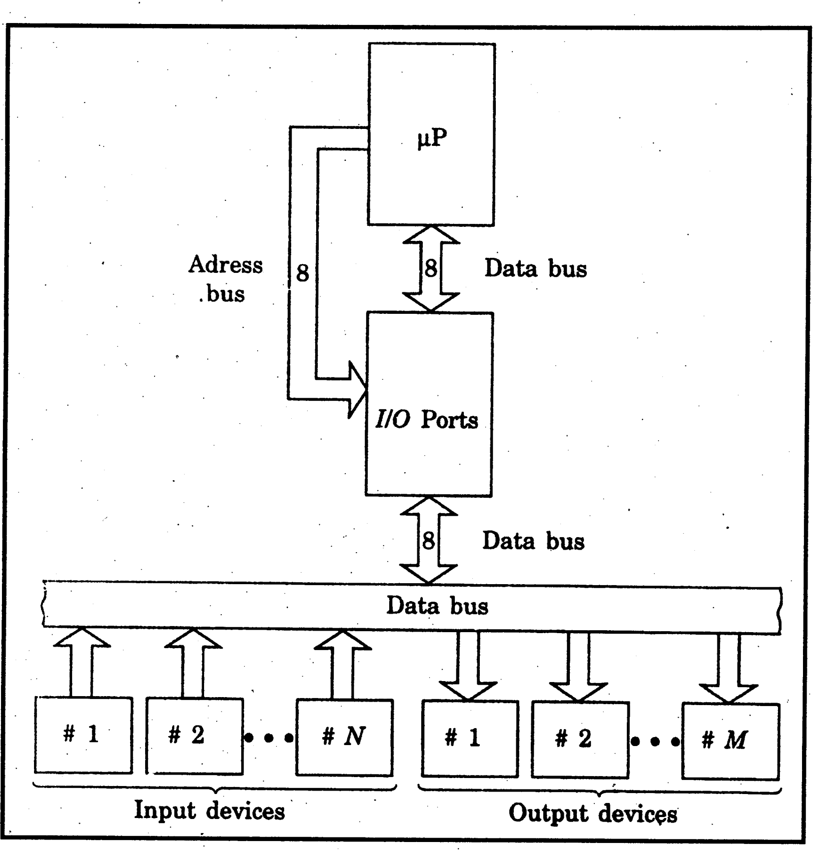


شكل (9-4) مواءمة ذاكرة مع µP

وفى بعض المعالجات الدقيقة مثل إنتل 8085A وإنتل 8086 يستخدم نفس الناقل فى نقل العناوين بالإضافة إلى نقل البيانات، وهذا يعنى أن الناقل يمكن استخدامه لغرضين، حيث يمكن إستخدامه كناقل عنوان عندما يراد إرسال عنوان ما، كما يمكن إستخدامه كناقل بيانات عندما حدوث نقل للبيانات ، فعل سبيل المثال وفى المعالج الدقيق طراز إنتل 8085A يتم إرسال البايت السفلى للعنوان على الناقل: عنوان/بيانات (AD) من خلال الأرجل من AD_0 إلى AD_7، بينما يتم إرسال البايت العلوى للعنوان من خلال الأرجل من AD_8 إلى AD_{15}، ويعرف هذا النوع من التشغيل (والذى يستخدم فيه الناقل الواحد فى وظيفتين مختلفتين) بـ "التشغيل التعددى" Multiplexing، والذى يسبب توفير الكثير من الأرجل على شريحة الدائرة التكاملية،

ويتم إتصال المعالج الدقيق نفسه بالعالم الخارجى من خلال أجهزة تعرف بأجهزة الدخل والخرج I/O devices، ويتم مواءمتها مع المعالج الدقيق من خلال بوابات دخل وخرج، حيث يتم توصيل عدد منها بالمعالج الدقيق ويعتمد هذا العدد على عرض ناقل العنوان، ويتم عنونتها بنفس ناقل العنوان وذلك للدخول على جهاز محدد منها.

ويبين شكل (5-9) مواءمة أجهزة I/O بمعالج دقيق .



شكل (5-9) مواءمة أجهزة I/O بمعالج دقيق

ويمكن أن يكون عرض ناقل العنوان للذاكرة مختلف عنه للأجهزة I/O، فعلى سبيل المثال، وفى المعالج الدقيق طراز إنتل 8085A يستخدم ناقل عنوان عرضه 16-بت فى عنونة الذاكرة، بينما يتم عنونة اجهزة الدخل بناقل عنوان عرضه 8-

بت، وهذا يعنى أن عدد أجهزة I/O التى يمكن عنونتها: 2^8 أى 256، وفى الحقيقة يمكن إتاحة هذا العنوان الذى عرضه 8-بت على الأرجل من AD_0 إلى AD_7، ومن AD_8 إلى AD_{15}، كما أن أى معالج دقيق له حيز عنوان مستقل يجمع كل من الذاكرة وأجهزة I/O، لابد أن يحدد هذا المعالج هل العنوان المستخدم عند أى لحظة يقصد به موقع الذاكرة، موقع الجهاز I/O، وعلى النقيض فالمعالج الدقيق 6800 له حيز عنوان قيمته 64K بايت، وهو مشترك لكل من الذاكرة وأجهزة I/O، ويكون العنوان الواحد مختصاً بأحدهما.

9-3-3 ناقل التحكم Control bus :

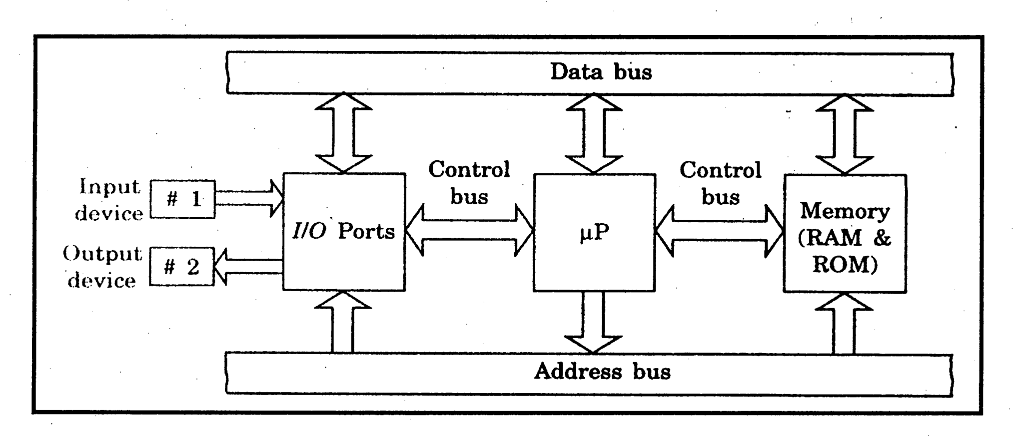
ولدواعى التشغيل السليم لابد أن يكون للمعالج الدقيق مجموعة من خطوط التحكم، سواء أكانت خطوط تحكم دخل أو خطوط تحكم خرج، وتعرف هذه المجموعة من الخطوط بـــ "ناقل التحكم" Control bus، وهى تستخدم لعمل التزامن اللازم بين عمل المعالج الدقيق وعمل الدوائر الخارجية، فمثلا يمكن أن يكون خط التحكم مطلوباً للإبلاغ عما إذا كان العنوان الموجود فى وقت ما على ناقل العنوان يخص موقع على الذاكرة أم يخص أحد اجهزة I/O وذلك عندما يكون ناقل العنوان مشترك لكليهما، ففى المعالج الدقيق 8085A هناك خط التحكم $IO/\overline{M}$ فإذا كانت الإشارة على هذا الخط هى المنطق 1 فهذا يعنى أن العنوان يقصد به جهاز I/O، أما إذا كانت الإشارة هى المنطق 0 فهذا يعنى أن العنوان يقصد به الذاكرة ، ومثال آخر هو استخدام بعض إشارات التحكم هذه فى تسهيل إعتراض تنفيذ تتابع برنامج عادى، فلتحقيق هذا يستخدم خط تحكم هو – مثلا – INTR، فعندما يريد أحد أجهزة I/O فى إعتراض المعالج الدقيق، يقوم بإرسال منطق 1 على هذا الخط، حيث يمكن أن يكون الجهاز I/O هو محول A/D يقوم بإبلاغ المعالج الدقيق أن عملية التحويل قد إنتهت وأن البيانات أصبحت متاحة، أو يكون جهاز I/O لتوضيح أن هناك زيادة فى حدود تشغيل بارامتر معين مثل الضغط أو درجة الحرارة، وبعد أن ينفذ المعالج الدقيق الأمر الجارى، يقوم بإرسال منطق 0 على الخط INTA (ويسمى خط إقرار استلام القطع) وبمايفيد بتمام إستلام أمر القطع، ومُقرراً التعرف على طلب جهاز I/O وتحدث عملية القطع، وهنا نرى أن الخط INTR هو خط تحكم دخل بينما الخط

INTA هو خط تحكم خرج ، ونظام الإتصالات هذا (من عمل طلب ما ثم إنتظار الإستجابة من المعالج الدقيق والذى يتنشر فى الأنظمة المبنية على المعالجات الدقيقة) يعرف بـــ "نظام تأكيد الاتصال" Handshaking بين الأنظمة الرقمية.

وتوجد عملية أخرى مفيدة تعرف بعملية الدخول المباشر إلى الذاكرة Direct Memory Access (DMA)، فعادة يتم إنتقال البيانات بين أجهزة I/O والذاكرة من خلال المعالج الدقيق وذلك طبقاً للأوامر المخزنة فى الذاكرة، وتكون عملية نقل البيانات هذه بطيئة، كما تكون غير مناسبة خاصة عندما يراد نقل عدد كبير من الكلمات فى نفس الوقت، ولهذا الغرض يتم تزويد المعالج الدقيق بخط إتصال مباشر بين جهاز I/O والذاكرة، ويقوم خط دخل HOLD بإبلاغ المعالج الدقيق بنية جهاز I/O بالدخول المباشر إلى الذاكرة، حيث يقوم المعالج الدقيق بإقرار التعرف على ذلك بإرسال نبضة منطقية 1 على خط تحكم الخرج HLDA، حيث يقوم المعالج الدقيق بفصل ناقلات العنوان والبيانات وتبدأ عملية الدخول المباشر إلى الذاكرة.

9-4 الأنظمة المبنية على المعالجات الدقيقة :

9-4-1 مثال لنظام رقمى بسيط مبنى على معالج دقيق :



شكل (9-6) المخطط الوظيفى لنظام مبنى على معالج دقيق

يبين شكل (9-6) المخطط الوظيفى لنظام مبنى على معالج دقيق، وقبل الدخول فى المناقشات التفصيلية لهذا النظام، سوف يتم وصف الخطوات التى تتضمن تنفيذ

عملية بسيطة والتى منها سوف نفهم بوضوح كيف يمكن توظيف المعالج مع الذاكرة والبوابات I/O مجتمعة لتمثيل نظام.

ولنأخذ فى الإعتبار العملية البسيطة التالية :

1- إدخال رقم ما من بوابة الدخل 01 #.

2- إلى هذا الرقم يتم إضافة محتويات موقع الذاكرة رقم $(0A2F)_{16}$.

3- إخراج النتائج عند البوابة 02 #.

ومن المعروف أن المعالج الدقيق عبارة عن جهاز رقمى يتكون من العديد من الدوائر الرقمية، كما يقوم بتنفيذ العمليات المختلفة باستخدام الإشارات الرقمية Digital Signals، ولهذا فلابد ان تكون هذه العمليات معطاه على شكل الإشارات الرقمية، ولهذا فكل العمليات التى يقوم المعالج الدقيق بتنفيذها لابد أن تكون معطاه على شكل الشفرة الثنائية التى يعمل عليها المعالج الدقيق والتى تم تحديدها من قبل بواسطة الصانع، فمثلا عند استخدام 1 بايت (8-بت) فى تحديد شفرات العمليات لأحد المعالجات الدقيقة ، فيكون هناك عدد: $2^8 = 256$ شفرة مختلفة لهذا المعالج الدقيق، وهى تعرف باسم شفرات العملية Operation codes، أو (Op codes)، وأيضاً وبالمثل يتم تحديد عناوين المواقع المختلفة للذاكرة وأجهزة I/O أيضاً بالأرقام الثنائية.

ويُطلق مسمى "البرنامج" Program على العملية المطلوب تنفيذها والتى يتم تحديدها فى تتابع مناسب بدلالة شفرات العملية Op code وأيضاً بدلالة عناوين الذاكرة وأجهزة I/O والبيانات، كما تعرف عملية المعالجة هذه بـــ: "البرمجة" Programming.

والآن لنقوم بهذه العملية المعطاة خطوة بخطوة :

1- إدخال رقم ما من بوابة الدخل 01 # :

وهو مكون من جزئين من المعلومات، الجزء الأول يعبر عن عملية دخل من بوابة دخل معينة، بينما يحدد الجزء الثانى عنوان البوابة (01H)- حيث يعبر الحرف

H عن نظام أعداد سداسى عشر – وهذه المعلومة تتحدد بعدد 2–بايت: يختص البايت الأول بشفرة العملية Op code، بينما يختص الثانى برقم البوابة، ويسمى هذا التتابع المكون من عدد 2–بايت بـــ "الأمر" Instruction .

2- *إضافة محتويات موقع الذاكرة 0A2FH :*

وهذا أيضاً مكون من جزئين من المعلومات، الجزء الأول يعبر عن عملية إضافة ، بينما يعبر الجزء الثانى عن موقع هذه المعلومات المطلوب إضافتها، حيث تكون البيانات الأخرى متاحة فى أحد المسجلات (مُركِم) فى المعالج الدقيق، هنا يفترض أن عنوان موقع الذاكرة يكون مخزناً فى مسجل خاص فى المعالج الدقيق ، ومنه لانحتاج للإمداد بأى معلومات منفصلة، وهذا يعنى انه يكون مطلوباً فقط شفرة عملية Op code : إضافة من موقع ذاكرة، ولهذا فإن هذا الأمر مكون من 1–بايت فقط.

3- *إخراج النتائج عند البوابة 02 # :*

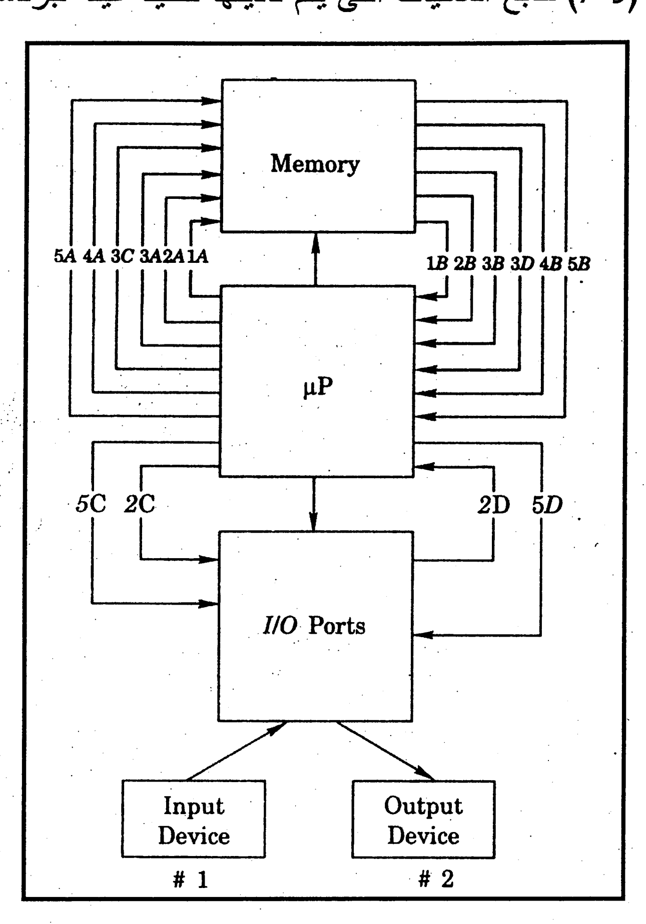
وهذا العدد عبارة عن أمر مكون من 2–بايت، يعبر البايت الأول عن عملية إخراج من بوابة خرج، بينما يعبر البايت الثانى عن عنوان البوابة.

جدول (9–3)

ملاحظات	محتويات الذاكرة (بنظام الأعداد السداسى عشر)	عنوان الذاكرة (بنظام الأعداد السداسى عشر)
شفرة عملية الدخل	DB	0000
رقم بوابة الدخل	01	0001
ذاكرة إضافة	86	0002
شفرة عملية خرج	D3	0003
رقم بوابة خرج	02	0004

وباستخدام الاجراءات السابقة، يتم كتابة البرنامج وتخزينه فى مواقع مجاورة لموقع الذاكرة الإبتدائى 0000 (بالنظام السداسى عشر)، ويبين جدول (9–3) محتويات مواقع الذاكرة لهذا البرنامج البسيط.

ويبن شكل (9–7) تتابع العمليات التى يتم تأديتها لتنفيذ عينة لبرنامج.



شكل (9–7) تتابع تنفيذ برنامج

1- يبدأ تنفيذ البرنامج – بالخطوة (1A) – بإرسال المعالج الدقيق لعنوان أول موقع ذاكرة 0000H لإستحضار أول أمر، وإستجابة لذلك تقوم الذاكرة – بالخطوة (1B) – بإعادة محتويات هذا الموقع 0000H إلى المعالج الدقيق.

2- يقوم المعالج الدقيق بحل شفرة هذه الكلمة (11011011) فتكون: أمر INPUT، كما يقوم المعالج بتوليد إشارات التحكم الخاصة بعملية الإسترجاع التالية من الذاكرة وإرسال عنوان موقع الذاكرة التالى 0001H – بالخطوة (2A)– للحصول على رقم بوابة الدخل المطلوبة ، وإستجابة لذلك تقوم الذاكرة– بالخطوة (2B)

– بإعادة محتويات هذا الموقع إلى المعالج الدقيق، حيث يتعرف عليه المعالج الدقيق كبوابة رقم 1.

* وبذلك يكون قد أتيح أول أمر بالكامل فى المعالج الدقيق.

3- يقوم المعالج الدقيق بتنفيذ هذا الأمر – بالخطوة (2C) – بإرسال عنوان البوابة رقم 1، وكإستجابة لذلك يستقبل المعالج الدقيق الرقم الثنائى الخاص بالبوابة رقم 1– بالخطوة (2D) – وتخزينه فى المسجل الداخلى (المركم).

* وهنا يكون الأمر الأول قد إكتمل.

4- يقوم المعالج الدقيق – بالخطوة (3A) – بإرسال عنوان موقع الذاكرة التالى 0002H لإستحضار الأمر التالى، وإستجابة لذلك يقوم المعالج الدقيق – بالخطوة (3B) – بإستقبال محتويات هذا الموقع 0002H، حيث يتعرف المعالج الدقيق عليه فيكون: أمر إضافة ADD لمحتويات المركم.

5- يتم تنفيذ هذا الأمر بواسطة المعالج الدقيق، بإرسال عنوان موقع الذاكرة (0A2FH) لإضافة محتوياته – بالخطوة (3C) – إلى محتويات المركم، حيث تقوم الذاكرة بإعادة محتويات هذا الموقع إلى المعالج – بالخطوة (3D) – والتى تضاف إلى محتويات المركم، كما يتم تخزين المجموع فى المركم.

* وبذلك يكون قد تم تنفيذ الأمر الثانى.

6- يقوم المعالج الدقيق – بالخطوة (4A) – بإرسال عنوان موقع الذاكرة التالى 0003H، وإستجابة لذلك تقوم الذاكرة – بالخطوة (4B) – بإعادة محتويات هذا الموقع إلى المعالج الدقيق، حيث يتعرف المعالج الدقيق عليه فيكون: أمر خرج OUTPUT.

7- بناء على ذلك يقوم المعالج بإرسال عنوان موقع الذاكرة التالى – بالخطوة (5A) – لإستحضار رقم بوابة الخرج، ويتم إستقبال هذا الرقم – بالخطوة (5B) – بواسطة المعالج الدقيق.

* وعندئذ يكون الأمر الثالث متاحاً فى المعالج.

8- يبدأ تنفيذ الأمر الثالث – بالخطوة (5C) – بإرسال المعالج لعنوان البوابة، وبعد إختيار البوابة، يتم إرسال محتويات المركم (المجموع) – بالخطوة (5D) – إلى البوابة رقم 2.

* وبذلك يكوم قد إكتمل تنفيذ البرنامج.

ويمكن تلخيص الخطوات السابقة كما يلى :

رقم الخطوة	العملية
1A	قيام المعالج الدقيق بإرسال العنوان الخاص بالأمر الأول (0000H)
1B	إستقبال محتويات موقع الذاكرة (0000H) بواسطة المعالج الدقيق
2A	قيام المعالج الدقيق بإرسال العنوان الثانى (0001H)
2B	إستقبال محتويات موقع الذاكرة (0001H) بواسطة المعالج الدقيق
2C	قيام المعالج الدقيق بإرسال عنوان بوابة الدخل 01
2D	إستقبال البيانات من بوابة الدخل 01 بواسطة المعالج الدقيق
3A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالى (0002H)
3B	إستقبال محتويات موقع الذاكرة (0002H) بواسطة المعالج الدقيق
3C	إرسال عنوان موقع الذاكرة المطلوب بواسطة المعالج
3D	إستقبال بيانات موقع الذاكرة (0A2FH) بواسطة المعالج الدقيق
4A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالى (0003H)
4B	إستقبال محتويات موقع الذاكرة (0003H) بواسطة المعالج الدقيق
5A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالى (0004H)
5B	إستقبال محتويات موقع الذاكرة (0004H) بواسطة المعالج الدقيق
5C	قيام المعالج الدقيق بإرسال عنوان بوابة الخرج 02
5D	قيام المعالج الدقيق بإرسال البيانات إلى بوابة الخرج 02

ربما يتطرق إلى الذهن أن إجراءات تنفيذ البرنامج السابق تتم فى خطوات مملة وتستهلك زمناً طويلاً، إلا أن المعالج الدقيق يقوم بتأدية هذه الخطوات فى خلال قليل من الميكروثانية، ومادام المعالج الدقيق سريعاً فهو ليس ذا مقدرة على التفكير،

وإنما يعمل ماهو مطلوب منه بناء على البرنامج المعطى، ومن هنا نجد أن كتابة البرنامج الصحيح لهو أهم أسس هذه العملية.

9-4-2 عمل المعالج :

من المناقشات السابقة، نجد أن المعالج الدقيق يقوم بتأدية العمليتين الأساسيتين التاليتين:

1- إستحضار FETCH الأمر من الذاكرة.

2- تنفيذ EXECUTE هذا الأمر.

وتؤدَى كل عملية من هاتين العمليتين فى خطوات مختلفة .

أولا عملية الإستحضار :

1- يقوم المعالج الدقيق بوضع عنوان البايت الأول للأمر على ناقل العنوان مع إشارة التحكم، حتى تتم القراءة من موقع الذاكرة التى تم عنونتها.

2- يقوم المعالج الدقيق بتقديم هذا البايت على ناقل البيانات، ويعرف هذا البايت بشفرة العملية Op code، كما تسمى عملية الحصول على هذا البايت من الذاكرة بعملية "إستحضار شفرة العملية" Op-code fetch.

3- يتم حل شفرة (كشف) شفرة العملية وتوليد الإشارات الضرورية.

4- إذا كان الأمر من أنواع الأوامر متعدد البايت، فيتم قراءة البايت التالية من الذاكرة واحدة بواحدة كما فى تسلسل الخطوتين 1 و 2.

* وتسمى عملية الحصول على بايتات الأمر من الذاكرة بعملية "إستحضار الأمر" Instruction fetch .

ثانيا عملية تنفيذ الأمر :

بعد حصول المعالج الدقيق على الأمر بالكامل (جميع بايتات الأمر)، يقوم بتأدية العملية المحددة لهذا الأمر، والتى تعرف بعملية "التنفيذ" Execution .

ومن هنا يمكن تعريف المعالج الدقيق بأنه:

جهاز رقمى مُصنع على شريحة يقوم بإستحضار الأوامر من الذاكرة وكشفها ثم تنفيذها، بمعنى أنه يؤدى عمليات حسابية ومنطقية وقبول البيانات من أجهزة دخل وإرسال النتائج إلى أجهزة الخرج.

ولابد من الفهم بوضوح أن المعالج الدقيق لايمكنه تأدية أى عمل مالم يتم توصيلة بذاكرة وأجهزة دخل وخرج.

9-5 التركيب البنائى للمعالج الدقيق :

لتأدية العمليات المختلفة التى تمت مناقشتها مسبقاً، فلابد من تركيب المعالج الدقيق من المكونات التالية:

1- ناقل بيانات .

2- ناقل عنوان .

3- ناقل تحكم .

4- وحدة حساب ومنطق ALU .

5- مسجلات .

6- عداد برنامج Program counter .

7- علامات flags .

8- وحدة تزامن وتحكم Timing & control unit .

9-5-1 نظام النقل:

يتم إتصال أنظمة المعالج الدقيق الفرعية بأنظمة نقل System Bus والتى تشمل : ناقل البيانات وناقل العنوان وناقل التحكم، والتى تمت مناقشتها مسبقاً، حيث يستخدم ناقل البيانات فى نقل البيانات من جزء من المعالج الدقيق إلى جزء آخر منه ، وبين المعالج الدقيق والذاكرة، وبين المعالج الدقيق وأجهزة I/O ، كما يستخدم ناقل

العنوان (والذى يكون أحادى الإتجاه) فى حمل عناوين مواقع الذاكرة وعناوين أجهزة I/O، بينما يتكون ناقل التحكم من عدد من الخطوط تقوم بالتحكم فى العمليات المتعددة والتى منها : القراءة من الذاكرة، والكتابة فى الذاكرة، والقطع، والدخول المباشر على الذاكرة DMA ...إلخ .

9-5-2 وحدة الحساب والمنطق :

تعتبر وحدة الحساب والمنطق هى قلب المعالج ، حيث تستخدم لأداء العمليات الحسابية مثل : الجمع ، والطرح، ...إلخ ، وأداء العمليات المنطقية مثل: AND، و OR، و EX-OR ...إلخ .

9-5-3 المسجلات :

تستخدم المسجلات فى تخزين البيانات الصغيرة فى المعالج الدقيق ، ويُسمح للمستخدم بالوصول لبعض المسجلات من خلال الأوامر، بينما لايُسمح له بالوصول للأخرى، وبعيداً عن هذه المسجلات التى يُسمح بالوصول إليها أو لا، فهناك مسجلات للأغراض العامة والمعروفة بـــ "مسجلات الذاكرة المؤقتة" Scratch-pad registers (المركم) والتى تستخدم فى عمليات حسابية ومنطقية وغيرها، بالإضافة إلى مسجل خاص يسمى "مؤشر المكدسة" Stack pointer، والمستخدم فى حفظ مسار جزء من ذاكرة RAM، والمستخدم كمركم، وحيث سيتم مناقشة هذه العملية لاحقاً، أما المسجلات التى لايُسمح للمستخدم بالدخول فيها فمنها مسجلات الأوامر والتى تقوم بالحصول على الأوامر من الذاكرات، بالإضافة إلى بعض المسجلات التى تعرف بمسجلات الطوارئ.

9-5-4 عداد البرنامج :

عداد البرنامج Program counter (PC) هو بكل بساطة عبارة عن عداد مطلوب لحفظ مسار عنوان الأمر التالى المطلوب إستحضاره من الذاكرة لتنفيذه، فهو دائماً مايمسك عنوان إما أول بايت من الأمر التالى المطلوب إستحضاره لتنفيذه، أو عنوان البايت التالى من الأمر المتعدد البايتات والذى لم يتم إستحضاره كاملاً، وفى كلتا الحالتين يزداد عداد البرنامج بمقدار الوحدة بعد إستحضار كل بايت.

ومن ضمن دخول التحكم للمعالج الدقيق: مدخل التحرير Reset input، فعند تحرير المعالج الدقيق، يتهيأ عداد البرنامج إلى الصفر، وهذا يكون عنوان الذاكرة الذى يتم منه إستحضار أول أمر.

9-5-5 العلامات :

العلامات flags ماهى إلا عبارة عن مسجلات بـــ 1-بت، تستخدم فى تخزين حالات محددة والتى تظهر كنتيجة لتنفيذ بعض الأوامر المحدده، ومن هذه العلامات الشهيرة مايلى:

المحمول Carry :

إذا تولد محمول من بت التأثير الأعلى MSB كنتيجة لعملية معينة، عندئذ يتهيأ علامة مسجل المحمول عند (1)، وخلاف ذلك يتحرر المسجل عند (0).

الصفر Zero :

هذا المسجل يتهيأ عندما يكون الصفر هو النتيجة لعملية، وخلاف ذلك يتحرر المسجل.

الإشارة Sign :

يتم تهيئة هذا المسجل إذا أنتجت عملية ما البت (1) كبت تأثير أعلى فى المركم، بينما يتحرر المسجل إذا كان الناتج غير ذلك.

الندية Parity :

إذا أدت نتيجة عملية ما إلى جعل نديات البتات فى المركم زوجية Even parity، فسوف يتهيأ هذا المسجل بينما يتحرر المسجل إذا كان الناتج غير ذلك.

المحمول المساعد Auxiliary carry :

ويسمى أيضاً "نصف محمول" Half carry ، حيث يتم تهيئة هذا المسجل إذا أنتجت عملية ما البت (1) من البتات الأربعة الأدنى ، وخلاف ذلك يتحرر المسجل، وتستخدم هذه العلامة فى العمليات الحسابية فى نظام BCD.

الفائض Overflow :

حيث تتم عملية الطرح باستخدام تمثيل مكمل الإثنين للأعداد، فإذا أنتجت عملية الطرح فائض Overflow فسيتهيأ هذا المسجل، وخلاف ذلك يتحرر المسجل.

9-5-6 وحدة التوقيت والتحكم :

وتستخدم هذه الوحدة فى توليد الإشارات التزامنية وإشارات التحكم المناسبة والتى تتحكم وتقوم بعمل التزامن لكل العمليات التى يتم تنفيذها بواسطة مختلف أقسام المعالج الدقيق، والأجهزة الأخرى فى النظام.

ويسمى الأسلوب الذى يتم به تنظيم الأجزاء والوحدات السابقة لإنشاء المعالج الدقيق بـــ "التركيب البنائى" Architecture .

9-6 مجموعة الأوامر :

من المعروف وكقاعدة يجب أن يستقبل المعالج الدقيق البيانات من العالم الخارجـــــى (من جهاز دخل) على الشكل الثنائى، ويقوم بمعالجة البيانات طبقا للبرنامج المُخزن على الشكل الثنائى فى الذاكرة، ثم إرسال النتائج على الشكل الثنائى أيضاً مرة أخرى إلى العالم الخارجى (إلى جهاز خرج)، كما يكون للمعالج الدقيق نفسه المقدرة على تأدية أعمال معينة ومحددة - كإستجابته للأوامر - أيضا على الشكل الثنائى، وكما وضحنا من قبل أن هذا التتابع فى الأوامر والذى يُمكِن المعالج الدقيق من تنفيذ عملية كاملة يسمى بـــ "البرنامج"، كما يسمى تجميع الأوامر التى يستطيع المعالج الدقيق من التعرف عليها بـــ "مجموعة الأوامر" Instruction set، والتى يتم تحديدها بواسطةُ الصانع، ويجب على المستخدم ان يكون متفهماً تفهماً كاملاً لمجموعة الأوامر التى يحتويها المعالج الدقيق الذى يستخدمه.

ويجب أن يحتوى كل أمر على مجموعة من المعلومات تكفى لتنفيذ العملية المطلوبة، حيث يجب إحتواء الأمر (ضمنياً أو صراحة) على المعلومات التالية:

1- العملية التى يتم تأديتها :

وتكون مُعرَفة بشفرة العملية Op code، وحتى يصبح هذا أكثر مناسبة للمستخدم يتم تحديد هذه الشفرة بإطلاق عليها أسماء مناسبة تذكيرية Mnemonics، فعلى سبيل المثال: ADD للتعبير عن الإضافة، وANA للتعبير عن العملية المنطقية AND ...إلخ .

2- مصادر المعامَلات المستخدمة :

فبعض الأوامر تحتاج فى تنفيذها لمُعَامَل Operand واحد فقط (أى الكمية التى تجرى عليها عملية ما). والذى يمكن أن يكون فى الذاكرة أو فى المسجل أو الأمر نفسه، فمثلا : الأمر MOV A, B معناه نقل محتويات المسجل B إلى المركم، هنا يصبح المعامل فى المسجل B هو مصدر المعلومات ، كما تحتاج بعض الأوامر لمعاملين، أحدهما موجود طبيعياً فى المركم ، بينما الآخر محدد فى الأمر، فمثلا: الأمر ADD C يضيف محتويات المسجل C إلى محتويات المركم، فهنا يكون أحد مصادر المعاملات فى المسجل C، بينما المعامل الآخر يكون ضمنياً مُحتواً فى المركم.

3- الوجهة المقصودة للنتيجة :

فبعد تأدية العملية، تتجه النتيجة إلى الجهه المقصودة والتى يتم تحديدها فى الأمر، فمثلا: الأمر MOV A, M معناه إستخدام المركم كوجهه مقصودة للنتيجة، ويمكن أن تكون الجهه المقصودة مسجل أو موقع ذاكرة أو جهاز خرج.

وفى بعض الأوامر لايكون مطلوب تحديد الوجهه المقصودة ويقصد هنا ضمنياً أن يكون المركم هو الجهه المقصودة ، فمثلاً فى الأمر ADD C يقصد توجه نتيجة الإضافة إلى المركم، وبما يعنى أن تحل النتيجة محل أحد المعاملات .

وعامة يكون للأمر مجال أو مجالين ، كما هو مبين فى شكل (9-8) .

ADDRESS/DATA	OP CODE
المجال الثانى	المجال الأول

شكل (9-8) الشكل العام للأمر

وعادة تكون هذه المجالات على شكل البايتات، ويكون مجال شفرة العملية مكون من بايت مفرد، وبينما يمكن أن يغيب مجال العنوان/البيانات فى بعض الأحوال، وكمثال على ذلك الأمر: ADD B، فيمكن أن يتكون هذا المجال من عدد صحيح من البايتات، فعلى سبيل المثال ، وفى المعالج الدقيق 8085A يمكن أن يكون

هناك أمراً بطول 1-بايت (هو شفرة العملية)، أو بطول 2-بايت (أحدهما خاص بشفرة العملية ، والآخر خاص بالعنوان/البيانات)، أو بطول 3-بايت (الأول خاص بشفرة العملية ، والثانى خاص بالعنوان/البيانات كبايت منخفض ، والثالث خاص بالعنوان/البيانات كبايت عالى)، وحيث يوضح شكل (9-9) التنظيمات المحتملة للبايتات، ويتم تخزين بايتات الأوامر فى مواقع متجاورة بدءاً من البايت الأول.

رقم البت ← 0 1 2 3 4 5 6 7

شفرة عملية

(a)

البايت الأول : شفرة عملية
البايت الثانى : عنوان/بيان

(b)

البايت الأول : شفرة عملية
البايت الثانى : عنوان/بيان (بايت منخفض)
البايت الثالث : عنوان/بيان (بايت عالى)

(c)

شكل (9-9) التنظيمات المحتملة لبايتات الأوامر فى المعالج الدقيق 8085A

مثال (9-1) :

مطلوب إضافة محتويات كل من موقعى الذاكرتين 2C4A(hex)، و 3DA6(hex)، وتخزين الناتج فى موقع الذاكرة 7AFF(hex) .

الحل :

البرنامج المطلوب يخضع لتتابع أوامر(والخاص بالمعالج الدقيق 8085A) كالتالى:

```
LDA    2C4AH
```



```
LXI    H, 3DA6H
ADD    M
STA    7AFFH
```

وتكون عدد البايتات لهذه الأوامر هى: 3 و 3 و 1 و 3 على الترتيب، ولابد من تخزين البرنامج أولاً فى الذاكرة قبل معالجته بواسطة المعالج الدقيق، ونفرض أن هذا البرنامج يُخزن فى الذاكرة كما هو موضح جدول (9-4).

جدول (9-4)

عنوان الذاكرة (سداسى عشر)	المحتويات (ثنائى)	ملاحظات
0000	0011 1010	شفرة عملية LDA
0001	0100 1010	8-بتات السفلى للعنوان 4A
0002	0010 1100	8-بتات العليا للعنوان 2C
0003	0010 0001	شفرة عملية LXI H
0004	1010 0110	8-بتات السفلى للعنوان A6
0005	0011 1100	8-بتات العليا للعنوان 3D
0006	1000 0110	شفرة عملية ADD M
0007	0011 0010	شفرة عملية STA
0008	1111 1111	8-بتات السفلى للعنوان FF
0009	0111 1010	8-بتات العليا للعنوان 7A

* ولابد من أن نفهم بوضوح أن تصميم الأنظمة المبنية على المعالجات الدقيقة تتطلب المعرفة بكل من المكونات المادية والبرمجة.

9-7 المعالج الدقيق طراز 8085A :

يوجد الكثير من طرازات المعالجات الدقيقة والتى تتواجد على شكل شرائح، وعلى الرغم من تشابه المفاهيم الأساسية لها، إلا أنها تختلف فى التركيب البنائى وفى مجموعة الأوامر وفى التشغيل، وإذا حاول أى منا أن يعلم كل شئ عن كل المعالجات الدقيقة فإنه سيصل فى النهاية إلى حالة من الإرتباك والحيرة، وعلى

الجانب الآخر إذا تم التركيز فى دراسة واحد هذه المعالجات والفهم الجيد له، فسيمكن بعد ذلك سهولة فهم المعالجات الدقيقة الأخرى إلى حد كبير، ولقد تم إختيار أكثر المعالجات الدقيقة شهرة وهو المعالج الدقيق طراز إنتل 8085A للدراسة، ومنه يمكن بسهولة - كما قلنا - فهم المعالجات الدقيقة الأخرى.

9-7-1 التنظيم والتشغيل :

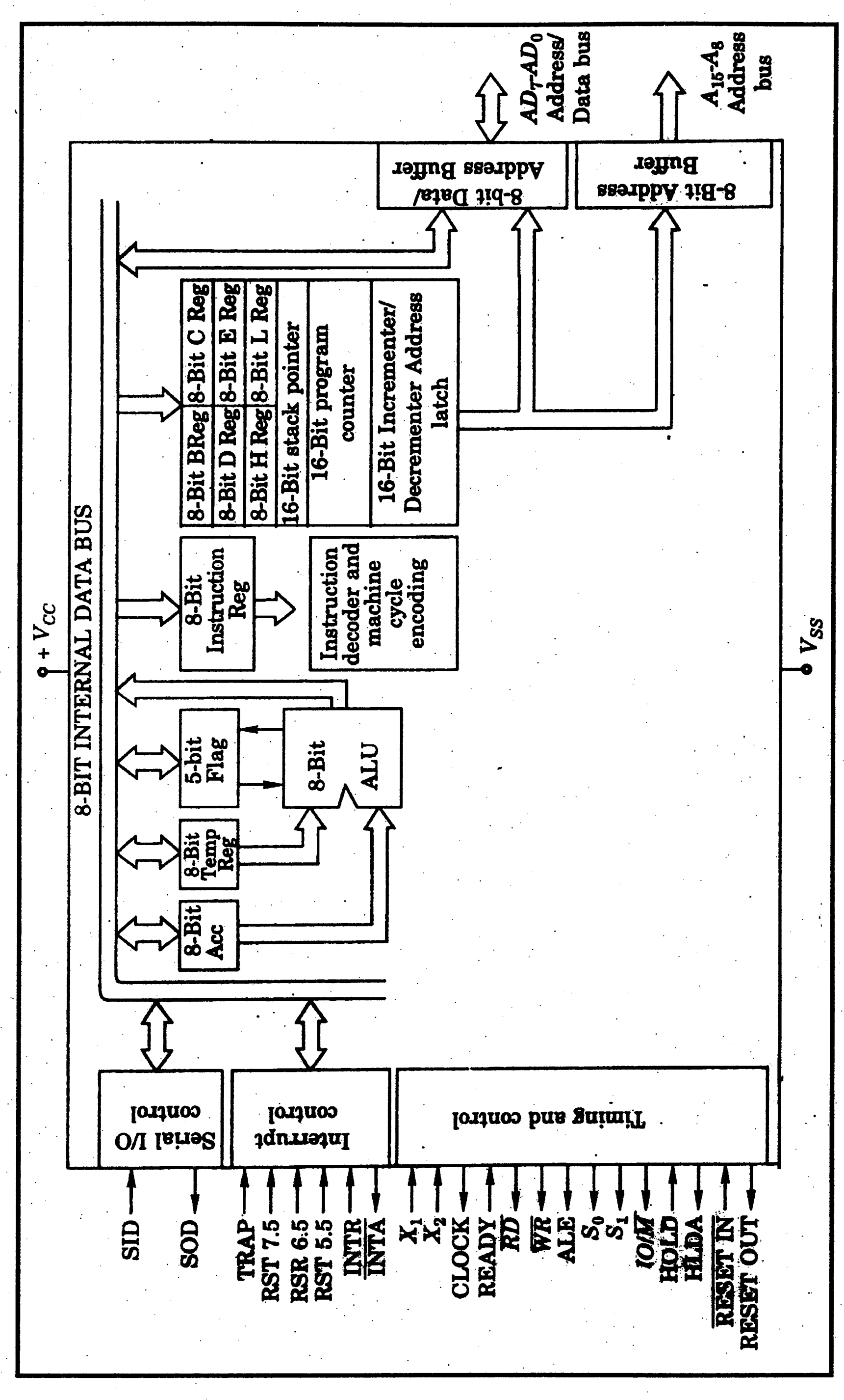
ناقلات البيان والعنوان :

فالمعالج 8085A من المعالجات الدقيقة ذات 8-بت، ويبين شكل (9-10) المخطط الوظيفى له.

ويتميز بوجود ناقل بيانات ثنائى إتجاه 8-بت، يستخدم كناقل بيانات دخل وأيضاً كناقل بيانات خرج على شكل 8-بت (من D_0 إلى D_7).

أما ناقل العنوان فهو عبارة عن 16-بت (بما يعنى أن حيز عنوان الذاكـــرة 64K-بايت)، وينقسم ناقل العنوان إلى مقطعين، حيث يتم نقل 8-بت السفلى للعنوان (من A_0 إلى A_7) على نفس ناقل البيانات ، ولهذا يُعرَف الناقل ، كناقل عنوان/بيانات AD (من AD_0 إلى AD_7)، بينما يتم نقل 8-بت الأعلى للعنـــوان (من A_8 إلى A_{15})، وتتواجد العناوين والبيانات فى المسار فى أزمنة مختلفة.

ومن الطبيعى أن يؤدى هذا التشكيل إلى تقليل عدد أرجل الشريحة.



شكل (9-10) المخطط الوظيفى للالمعالج الدقيق 8085A

وحدة الحساب والمنطق ALU :

ويتميز المعالج الدقيق بوجود وحدة حساب ومنطق 8-بت، حيث تُؤدى عمليات الحساب والمنطق فى هذه الوحدة بكلمات مكونة من 8-بت.

مسجل المركم :

حيث يوجد مسجل 8-بت يعرف بالمركم، فالعمليات الحسابية مثل: الجمع، والطرح، ...إلخ، والعمليات المنطقية مثل: AND، و OR، و EX-OR ...إلخ، يكون أحد المعاملات مُحتواً فى المركم، كما أن نتيجة هذه العمليات يتم تخزينها فيه، ويتم ترميز هذا المركم بالحرف A.

المسجل العمومى General purpose register :

وهى عبارة عن 6 مسجلات 8-بت عمومية، يرمز لها بالأحرف B و C و D و E و H وL، ويمكن إستخدام هذه المسجلات كمسجلات 8-بت منفردة، أو كمسجلات 16-بت مزدوجة ، وفى حالة المسجلات المزدوجة تصبح الأزواج هى: B-C و D-E و H-L، ويتم تخزين البايت الأعلى فى المسجل الأول من كل زوج (أى المسجلات B و D و H)، بينما يتم تخزين البايت الأسفل فى المسجل الثانى من كل زوج (أى المسجلات C و E و L)، فمثلا إذا كان المطلوب تخزين الأمر: 1AC2(hex) فى زوج المسجلات H-L، فيتم تخزين البايت الأعلى 1AH فى المسجل H، بينما يتم تخزين البايت الأسفل C2H فى المسجل L، ويتم إستخدام مجمع Multiplexer لتسيير البيانات فى ناقل البيانات الداخلى إلى أى من مسجلات الدرجة الأعلى أو مسجلات الدرجة الأسفل .

مسجل مؤشر المكدسة Stack Pointer (SP) :

هو مسجل 16-بت يستخدم فى تخزين عنوان قمة المكدسة ويُسمح للمستخدم بالوصول لهذه المسجلات السابقة من خلال الأوامر.

ويبين جدول (9-5) الأسماء والشفرة الثنائية لمسجلات 8-بت للمعالج الدقيق 8085A .

جدول (9-5)

إسم المسجل	الشفرة الثنائية
A	111
B	000
C	001
D	010
E	011
H	100
L	101

كما يبين جدول (9-6) الأسماء والشفرة الثنائية لأزواج المسجلات للمعالج الدقيق 8085A .

جدول (9-6)

ازواج المسجلات	الإسم	الشفرة الثنائية
B-C	B	00
D-E	D	01
H-L	H	10
مؤشر المكدسة	SP	11

العلامات Flags :

العلامات فى المعالج الدقيق 8085A عبارة عن 5 قلابات (مسجلات 1-بت)، تستخدم فى توضيح وتخزين حالات محددة والتى تظهر أثناء العمليات الحسابية والمنطقية، وهى:

1- الصفر Zero .....(Z) .

2- الإشارة Sign .....(S) .

3- الندية Parity .....(P) .

4- المحمول Carry .....(CR) .

5- المحمول المساعد Auxiliary carry .....(AC) .

حيث تُجبر التهيئة لجميعها عند المنطق 1، كما يُجبر التحرير لها عند المنطق 0، كما يؤثر الأمر على هذه الإشارات بنفس الأسلوب الذى تم شرحه مسبقاً فى القسم (9-5).

عداد البرنامج Program Counter (PC) :

يتم تخزين الأوامر التى يتم تنفيذها إلى جانب بعضها فى مواقع الذاكرة، ويتواجد العنوان التالى للأمر المطلوب استحضاره من الذاكرة فى عداد برنامج 16-بت.

فمثلا : فلنتناول الأمر LDA 02C4H، والذى يعنى: " تحميل المركم بمحتويات موقع الذاكرة 02C4H "، ولنفرض أن الشفرة الخاصة بهذا الأمر (وهى LDA) مخزنة فى موقع الذاكرة رقم 0100H، فيتم تخزين البايت C4H فى موقع الذاكرة رقم 0101H، بينما يتم تخزين البايت 02H فى موقع الذاكرة رقم 0102H ، كما يتم تخزين الأمر التالى بعد ذلك مبتدئاً بموقع الذاكرة رقم 0103H.

فعندما ينتهى المعالج الدقيق من تنفيذ الأمر السابق للأمر الذى نحن بصدده LDA 02C4H، يكون عداد البرنامج قد وصل إلى رقم 0100H، وبعد ذلك يزداد العد أوتوماتيكياً تصاعديا مع كل إستحضار لبايت واحد من الذاكرة، ولهذا وجدنا أنه مع نهاية تنفيذ الأمر LDA 02C4H يصل العد إلى 0103H.

وكما ذكرنا من قبل، فهناك بعض المسجلات يُسمح بالدخول إليها بواسطة المستخدم من خلال الأوامر، فيقوم مسجل الأوامر Instruction register بإدخال شفرة العملية الخاصة بالأمر فى دورة شفرة عملية Op code والخاصة بآلية الإستحضار وإمرارها إلى الكاشف، حيث تنحصر وظيفة الكاشف فى ترجمة الأمر وتمكين قسم التحكم من إنتاج الإشارات المناسبة لتنفيذ المهام المطلوب تنفيذها من هذا الأمر.

كما يوجد مسجلات أخرى عديدة (كمسجلات الطوارئ) تستخدم فى العمليات الداخلية لايُسمح لمستخدم بالدخول إليها.

الساعة Clock :

يتم توصيل شبكة بللورية أو RC بين الرجلين X_1 و X_2 فى الشكل (9-10) لتعيين تردد مولد الساعة الداخلى والذى يقوم بعمل تزامن لعمليات المعالج، ويكون تردد الساعة المتولد نصف تردد البللورة، كما أنه يمكن إتاحة تردد الساعة عند رجل خرج الساعة CLOCK output والذى يستخدم فى عمل تزامن للأجهزة الخارجية.

التغذية :

يتم تشغيل المعالج 8085A من خلال منبع تغذية مفرد قدره +5V، يوصل بين الرجلين V_{CC}، و V_{SS}.

نظام القطع أو الإعتراض Interrupt system :

فى بعض التطبيقات يمكن السماح بإرجاء العمل الروتينى الذى يقوم به المعالج الدقيق وذلك لخدمة مهمة ما مستعجلة، فمثلا يمكن أن يستخدم نظام مبنى على المعالجات الدقيقة لمراقبة درجة الحرارة والضغط لعملية ما، فعندما تبتعد درجة الحرارة أوالضغط أو كلاهما عن قيم حدود الأمان لها سواء بالزيادة أو النقصان، فيجب على المعالج أن يكون له القدرة على البدء فى إتخاذ التصرف اللازم لتجنب أية أخطار على الحياة أو المعدات، ولهذا الغرض لابد من وجود إشارة - تبين هذا الموقف الطارئ - يمكنها إعتراض المعالج الدقيق، وفى الحقيقة فإن نظام الإعتراض للمعالج يسمح للإشارات ذات الأولوية الأعلى من التمكين وتوجيه المعالج فوراً للعمل فى برنامج مختلف.

ويتكون نظام الإعتراض فى المعالج الدقيق 8085A من 5 إشارات دخل مختلفة ذات أولويات ثابتة مالم يتم تغييرها بالأمر SIM (سيتم مناقشته لاحقاً)، وهى طبقاً للأولوية كالآتى:

الإشارات	*الأولوية*
TRAP	أعلى أولوية
RST 7.5	
RST 6.5	
RST 5.5	
INTR	أقل أولوية

وفى حالة الإشارات الأربعة الأولى ، يتم نقل التحكم إلى موقع الذاكرة ، وكما هو موضح كالآتى :

إشارة الإعتراض	*عنونة تفرع*
TRAP	4.5 x 8 = 24H
RST 7.5	5.5 x 8 = 2CH
RST 6.5	6.5 x 8 = 34H
RST 5.5	7.5 x 8 = 3CH

أما فيما يخص الإشارة الخامسة INTR، فيتم تزويد المعالج الدقيق بعنوان "أمر CALL " من خلال جهاز خارجى يعرف بـــ " موجه الإعتراض"Interrupt controller.

9-7-2 البرمجة:

يتم تقسيم نظام الأوامر فى المعالج الدقيق 8085A إلى العديد من المجموعات منها:

1- مجموعة أوامر نقل البيانات .

2- مجموعة أوامر الحساب .

3- مجموعة أوامر المنطق .

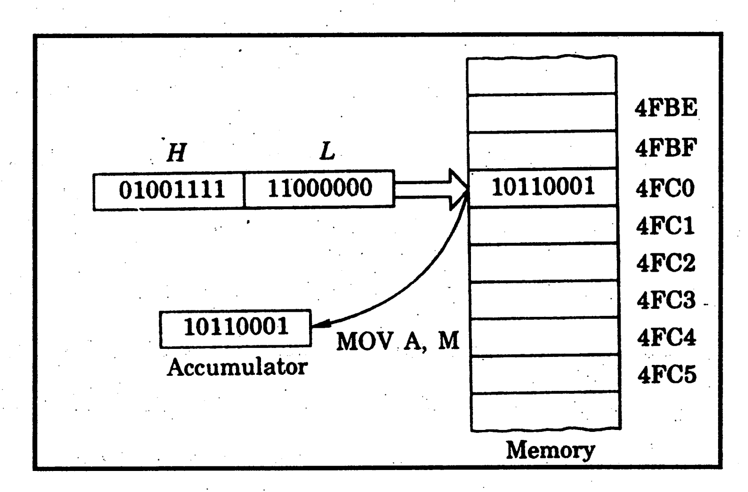
4- مجموعة أوامر التفرع .

أولاً : مجموعة أوامر نقل البيانات Data transfere instruction group :

وهذه المجموعة تختص بالأوامر التى تحرك البيانات بين المسجلات وبعضها، وبين الذاكرة والمسجلات، وأيضاً تختص الأوامر التى تحرك البيانات الموجودة فى المعالج الدقيق نفسه إلى الذاكرة أو المسجلات .

أوامر الحركة Move instructions :

هى عبارة عن أوامر (كل أمر منها مكون من 1-بايت)، والغرض من هذه الأوامر نقل البيانات من مسجــل 8-بت إلى مسجل 8-بت آخر، أو من موقع ذاكرة إلى مسجل 8-بت، أو من مسجل 8-بت إلى موقع ذاكرة، وتكون هذه الأوامر مُعرفة بالإسم التذكيرى "MOV"، متبوعاً بكل من الجهة المقصودة والمصدر وبينهما فصلة (،)، وحيث تسبق الجهة المقصودة الفصلة والمصدر، فمثلا الأمر: MOV A, B يقصد به تحريك محتويات المسجل B (أى المصدر) إلى المسجل A (أى الجهة المقصودة)، والذى يحدث فى الحقيقة أن محتويات المسجل B يتم نسخها فى المسجل A، حيث لاتتغير محتويات المصدر سواء أكان هذا المصدر موقعاً فى ذاكرة أو مسجل.



شكل (9-11) استخدام زوج المسجلات H-L كمؤشر ذاكرة

ومتى أعتبر موقع الذاكرة كمصدر للبيانات أو جهة مقصودة للبيانات، فيؤخذ عنوان موقع الذاكرة كمحتويات زوج المسجلات H-L، ولهذا كان لابد من تحميل

العنوان المطلوب أولا فى زوج المسجلات H-L، فعلى سبيل المثال نجد أن الأمر: MON A, M يتم فيه نسخ محتويات موقع الذاكرة (والمُخزن عنوان هذا الموقع فى زوج المسجلات H-L) إلى المركم، حيث يستخدم زوج المسجلات H-L كمؤشر لموقع الذاكرة ، وكما هو مبين فى شكل (9-11) ، وبالمثل نجد أن الأمر:

MON M, B ينسخ محتويات المسجل B إلى موقع الذاكرة المشار إلى موقعها بواسطة زوج المسجلات H-L.

أوامر الحركة الفورية Move Immediate Instructions (MVI) :

وتختص بنقل بايت بيانات معينة بداخل الأمر نفسه إلى المسجل أو موقع ذاكرة (والمُخزن عنوان هذا الموقع فى زوج المسجلات H-L)، فمثلا الأمر:

MVI C, 02H ينقل بايت البيان 02H إلى المسجل C، بينما الأمر:

MVI M, 3AH ينقل بايت البيان 3AH إلى موقع الذاكرة والمشار إليه بواسطة زوج المسجلات H-L.

وتكون البيانات نفسها بطول 2 بايت، مما يتطلب موقعين فى الذاكرة لتخزينهما، حيث يخص البايت الأول شفرة عملية Op code والذى يُخزن فى موقع الذاكرة الأول، متبوعاً بالبايت المناظر للبيان الذى يحتوية الأمر.

أوامر التحميل الفورى الممتد Load Extended Immediate (LXI) :

تستخدم هذه المجموعة من الأوامر لنقل عدد مكون من 16 بت (والمحدد فى الأمر على شكل 2 بايت) إلى زوج مسجلات محدد ، فعلى سبيل المثال، الأمر:

LXI H, 23A7H معناه القيام بتحميل العدد 0010 0011 فى المسجل H، بينما يتم تحميل العدد 10100111 فى المسجل L، وتكون هذه الأوامر بطول 3 بايت مما يتطلب 3 مواقع فى الذاكرة لتخزينها، حيث يخص البايت الأول شفرة عملية Op code والذى يُخزن فى موقع الذاكرة الأول، متبوعاً بالبايتين المناظرين للبيان، وحيث يتم تخزينها فى الذاكرة فى 3 مواقع متتالية ، وكما هو موضح فى شكل (9-12) .

البايت الأول 00100001 شفرة عمـــــــــلية (LXI H)

البايت الثانى 10100111 بيان بايت الدرجة السفلى (A7)

البايت الثالث 00100011 بيان بايت الدرجة العليـــا (23)

شكل (9-12) بايتات الأمر LXI H, 23A7H

مثال (9-2) :

اكتب برنامج لنقل بايت واحد من البيانات من موقع الذاكرة 0010H إلى موقع الذاكرة 1000H.

الحل :

الأمر	التعليق
LXI H, 0010H	تحميل زوج المسجلات H-L بموقع الذاكرة 0010H
MOV A, M	نقل محتويات موقع الذاكرة المشار إلية بواسطة زوج المسجلات H-L إلى المسجل (المركم) A .
LXI H, 1000H	تحميل زوج المسجلات H-L بموقع الذاكرة 1000H
MOV M, A	نقل محتويات المسجل (المركم) A إلى موقع الذاكرة المشار إلية بواسطة زوج المسجلات H-L .

ونلاحظ هنا أنه لايوجد أمر لنقل المحتويات مباشرة من موقع ذاكرة إلى موقع آخر، حيث يتم النقل فقط من خلال أحد مسجلات المعالج .

التحميل/التخزين المباشر للمركم Load/Store Accumulator Direct :

حيث يمكن التحميل المباشر للمركم Load Accumulator Direct (LDA) بالبايت المُخزن فى موقع الذاكرة والمحدد عنوانه فى الأمر، وبالمثل يمكن تخزين محتويات المركم Store Accumulator Direct (STA) فى موقع الذاكرة والمحدد عنوانه فى الأمر، ومن هنا نجد أننا أمام أوامر بطول 3-بايت، حيث يخص البايت الأول شفرة عملية

Op code، ويخص الثانى بايت الدرجة السفلى للعنوان، بينما يخص الثانى بايت الدرجة العليا للعنوان.

ومن هنا يمكن إعادة كتابة برنامج المثال (9-2) على النحو التالى:

الأمر	التعليق
LDA 0010H	تحميل المركم بمحتويات موقع الذاكرة 0010H
STA 1000H	تخزين محتويات المُراكِم فى موقع الذاكرة 0010H

التحميل/التخزين المباشر للمسجلين H ، و L :

فالأمر Load H , L Direct (LHLD) (أو التحميل المباشر للمسجلين H، و L)، يعنى تحميل محتويات الذاكرة المحدد عنوانها فى البايت الثانى والبايت الثالث من الأمر فى المسجل L، وتحميل البايت الموجود فى موقع الذاكرة التالى فى المسجل H، أما الأمر Store H , L Direct (SHLD) (أو التخزين المباشر للمسجلين H، وL)، فهو يعنى العملية العكسية، بمعنى نقل محتويات المسجل L إلى موقع الذاكرة المحدد عنوانها فى البايت الثانى والبايت الثالث من الأمر، ونقل محتويات المسجل H إلى موقع الذاكرة التالى.

فمثلاً، الأمر: LHLD 0A22H يعنى نقل محتويات موقع الذاكرة رقم 0A22H إلى المسجل L، ونقل نقل محتويات موقع الذاكرة التالى، أى رقم 0A23H إلى المسجل H، وكما هو موضح فى شكل (9-13)

أرقام مواقع الذاكرات	المحتويات		
0A21			
0A22	24H	← المسجل-L	00100100
0A23	73H	← المسجل-H	01110011
0A24			
0A25			

شكل (9-13) توضيح عملية للأمر LHLD

وبالمثل يمكن توضيح عملية للأمر SHLD فى شكل (9-14) .

أرقام مواقع الذاكرات	المحتويات		
23B1			
23B2			
23B3	03H	→ المسجل-L	01110011
23B4	A5H	→ المسجل-H	00100100
23B5			

شكل (9-14) توضيح عملية للأمر SHLD 23B3H

التحميل/التخزين الغير مباشر للمركم Load/Store Accumulator Indirect :

يعبر الأمر LDAX B عن تحميل المركم بمحتويات الموقع الموجود عنوانه فى زوج المسجلين B-C، وبالمثل يعبر الأمر LDAX D عن تحميل المركم بمحتويات الموقع الموجود عنوانه فى زوج المسجلين D-E.

أما الأمرين STAX B وSTAX D فيعبران عن تخزين محتويات المركم فى موقعى الذاكرة المشار إلى عنوانهما فى كل من زوجى المسجلين B-C و D-E على الترتيب.

وكل من هذه الأوامر الأربعة عبارة عن أمر بايت مفرد.

مثال (9-3) :

إشرح البرنامج التالى :

```
LXI    B, 2475H
LXI    D, 3794H
LDAX   B
MOV    L, A
LDAX   D
STAX   B
```

MOV A, L

STAX D

الحل :

الجدول التالى يوضح العملية التى يتم تأديتها لجميع هذه الأوامر .

الأمر	العملية
LXI B, 2475H	تحميل زوج المسجلين B-C بالمحتويات 2475H
LXI D, 3794H	تحميل زوج المسجلين D-E بالمحتويات 3794H
LDAX B	تحميل المركم A بمحتويات موقع الذاكرة المشار إليه بواسطة زوج المسجلين B-C (2475H)
MOV L, A	تحريك محتويات A إلى المسجل L
LDAX D	تحميل المركم A بمحتويات موقع الذاكرة المشار إليه بواسطة زوج المسجلين D-E (3794H)
STAX B	تخزين محتويات المركم A فى موقع الذاكرة المشار إليه بواسطة زوج المسجلين B-C (2475H)
MOV A, L	تحريك محتويات المسجل L إلى المركم A
STAX D	تخزين محتويات المركم A فى موقع الذاكرة المشار إليه بواسطة زوج المسجلين D-E

وباختصار، يقوم هذا البرنامج بتخزين العنوانين 2475H و3794H لموقعى ذاكرة فى كل من زوجى المسجلين B-C، وD-E على الترتيب، ثم عمل تغييرات فى محتويات هذه المواقع.

أمر "إستبدال" Exchange Instruction :

هذا الأمر XCHG – وهو أمر ببايت مفرد – ويعنى إستبدال محتويات أزواج المسجلات H-L، و D-E.

* ولاتتأثر القلابات الخمسة الخاصة بالعلامات بمجموعة أوامر نقل البيانات.

* ويبين جدول (9-7) جميع الأوامر الخاصة بمجموعة أوامر نقل البياتات بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code .

2- مجموعة اوامر الحساب Arithmetic Group Instruction :

أوامر الإضافة Add Instructions :

وتستخدم لإضافة محتويات مسجل محدد أو محتويات موقع ذاكرة أو بايت البيان فى الأمر نفسه، إلى محتويات المُراكِم، ويتم تخزين الناتج فى المُراكِم.

وفى حالة وجود محمول فى ناتج الجمع، تتهيأ إشارة المحمول (CY = 1)، وغير ذلك تكون محررة، كما تتأثر العلامات الأخرى وهذا يكون متوقفاً على ناتج الجمع.

وفى حالة وجود أحد المعاملات فى الذاكرة، يكون محتويات زوجى المسجلات H-L هو عنوان الذاكرة، اما أوامر الجمع فهى:

ADD r : أضف محتويات المسجل r .

ADD M : أضف محتويات موقع الذاكرة (العنوان فى زوجى المسجلات H-L).

ADI data : أضف بايت البيان فى الأمر نفسه.

كما توجد مجموعة أخرى من أوامر الجمع ، وفيها يضاف البت المحمول (CY) بالإضافة إلى محتويات المسجل المحدد، أو محتويات موقع الذاكرة، أو بايت البيان فى الأمر نفسه، وهى :

ADC r : أضف محتويات المسجل r بالمحمول .

ADC M : أضف محتويات موقع الذاكرة بالمحمول .

ACI data : أضف بايت البيان فى الأمر نفسه بالمحمول .

جدول (9-7)

الأمر			الأمر			الأمر		
شفرة Op(H)	المعامل	المسـ-مى	شفرة Op(H)	المعامل	المسمى	شفرة Op(H)	المعامل	المسـ-مى
77	M,A	MOV	53	D,E	MOV	7F	A,A	MOV
70	M,B		54	D,H		78	A,B	
71	M,C		55	D,L		79	A,C	
72	M,D		56	D,M		7A	A,D	
73	M,E		5F	E,A		7B	A,E	
74	M,H		58	E,B		7C	A,H	
75	M,L		59	E,C		7D	A,L	
3E	A,byte	MVI	5A	E,D		7E	A,M	
06	B,byte		5B	E,E		47	B,A	
0E	C,byte		5C	E,H		40	B,B	
16	D,byte		5D	E,L		41	B,C	
1E	E,byte		5E	E,M		42	B,D	
26	H,byte		67	H,A		43	B,E	
2E	L,byte		60	H,B		44	B,H	
36	Mbyte		61	H,C		45	B,L	
01	B,16-bit	LXI	62	H,D		46	B,M	
11	D,16-bit		63	H,E		4F	C,A	
21	H,16-bit		64	H,H		48	C,B	
31	SP,16-bit		65	H,L		49	C,C	

3A	16-bit addr	LDA	66	H,M		4A	C,D	
32	16-bit addr	STA	6F	L,A		4B	C,E	
2A	16-bit addr	LHLD	68	L,B		4C	C,H	
22	16-bit addr	SHLD	69	L,C		4D	C,L	
0A	B	LDAX	6A	L,D		4E	C,M	
1A	D		6B	L,E		57	D,A	
02	B	STAX	6C	L,H		50	D,B	
12	D		6D	L,L		51	D,C	
EB		XCHG	6E	L,M		52	D,D	

مثال (9-4) :

بفرض أن محتويات المركم: 2EH، ومحتويات المسجل C: 6CH، فيقوم الأمر ADD C بإجراء عملية الجمع كالتالى:

2EH = 00101110

6CH = 01101100

9AH = 01101010

ويبين الجدول التالى محتويات المركم A والمسجل C والعلامات التى تتلازم مع عملية تنفيذ الأمر ADD C .

المسجل/ العلامة	المحتويات		ملاحظات
	قبل الأمر ADD C	بعد الأمر ADD C	
A	00101110	10011010	نتيجة الجمع
C	01101100	01101100	لاتغيير
CY	Don't Care	0	لايوجد محمول
S	Don't Care	1	بت التاثير الأعلى للنتيجة
Z	Don't Care	0	نتيجة غير صفر
P	Don't Care	1	ندية زوجية
AC	Don't Care	1	محمول ناتج من البت 3

مثال (9-5) :

بفرض أن المركم يحتوى على: 14H، وأن بت المحمول مُهيأ (CY= 1)، فيكون تأثير الأمر: ACI 42H (ومعنى الأمر هنا هو: إضافة بايت البيان 42H مع المحمول مع محتوى المركم 14H) كالتالى:

المركم A	14H	=	00010100
بايت البيان	42H	=	01000010
المحمول (CY)			1
	57H	=	01010111

وفى نهاية الأمر ACI 42H، تصبح محتويات المركم: 57H ، كما تتحرر علامة الناقل (CY= 0) كما تتأثر العلامات الأخرى.

أوامر الطرح Subtract Instructions :

وتستخدم لطرح محتويات مسجل محدد، أو محتويات موقع ذاكرة، أو بايت البيان فى الأمر نفسه، من محتويات المركم، ويتم تخزين الناتج فى المركم.

وإذا كانت النتيجة سالبة، فسوف تتهيأ إشارة محمول (CY=1) والذى يبين أن خارج الطرح يكون على شكل مكمل الإثنين، وفى الحقيقة يتم تنفيذ عملية الطرح بإضافة مكمل الإثنين للمطروح إلى المطروح منه، كما تتأثر العلامات الأخرى.

أما أوامر الطرح فهى:

SUB r : إطرح محتويات المسجل r من المركم.

SUB M : إطرح محتويات موقع الذاكرة (العنوان فى زوجى المسجلات H مع L) من المركم.

SUI data : إطرح بايت البيان من المركم.

مثال (9-6) :

بإعتبار الأمر SUB M، وبفرض أن محتويات كل من موقع الذاكرة، والمسجلات، والعلامات كالتالى:

المركم : 3EH .

المسجل H : 00H .

المسجل L : 7CH .

محتويات موقع الذاكرة (007CH): 9FH .

CY = 0

S = 0

P = 1

Z = 0

AC = 1

وتكون عملية الطرح المُنفذة للأمر SUB M كالتالى:

المُراكِم	0011111	=	3EH
محتويات موقع الذاكرة (بمكمل الإثنين)	01100001	=	9FH
	10011111	=	9 FH

ولاتتأثر محتويات كل من موقع الذاكرة، وكذلك المسجلين H، و L بهذه الأمر، وتصبح محتويات المركم: 10011111، بينما تصبح قيود العلامات كالتالى:

CY = 1 ، مما يبين أن النتيجة سالبة .

S = 1 ، ويبيِّن أن بت التأثير الأعلى هو 1 .

P = 1 ، يبين ندية زوجية .

Z = 0 ، يبين أن النتيجة ليست مساوية للصفر .

AC = 0 ، يبين غياب المحمول المساعد .

وحيث أن محمول العلامة مهيأ ومبيناً نتيجة سالبة، كما تكون محتويات المركم على شكل مكمل الإثنين، ومن هنا تكون النتيجة الحقيقية: 61H -.

يجب ملاحظة أن تهيئة علامة المحمول فى عملية الطرح، فهذه العلامة خلال عملية الطرح تسمى فى الحقيقة "علامة إستعارة" Borrow flag، وإذا لم يتسبب إضافة مكمل الإثنين للمطروح فى إنتاج خرج محمول نهائى فسوف تتهيأ علامة المحمول (CY=1)، بينما فى حالة إنتاج المحمول، فسوف تتحرر علامة المحمول (CY=0).

كما توجد مجموعة أخرى من أوامر الطرح تطرح محتويات موقع الذاكرة، ومحتويات المسجل، أو بايت البيان فى الأمر نفسه، ويتم إستعارة علامة إستعارة (CY) من محتويات المركم، ويتم تخزين النتيجة فى المركم، وتشمل هذه الأوامر مايلى:

SBB r : إطرح محتويات المسجل r بالمحمول.

SBB M : إطرح محتويات موقع الذاكرة بالمحمول.

SBI data : إطرح بايت البيان فى الأمر نفسه بالمحمول.

وتتأثر كل العلامات بنفس الطريقة التى تم شرحها مسبقاً فى عملية الطرح العادية.

مثال (9-7) :

فى المثال السابق، إذا كان: CY= 1 ومطلوب تنفيذ الأمر SBB M، فسوف تتم عملية الطرح كالتالى:

المركم	0011 1110	=	3EH
طرح محمول	1		
	0011 1101		
محتويات موقع الذاكرة (بمكمل الإثنين)	0110 0001	=	9FH
	1001 1110		

وحيث أن عملية الإضافة لم تنتج محمول، وإشارة الإستعارة مهيأة (CY=1)، وتتبع تنفيذ هذا الأمر يبين نتيجة سالبة، كما يمكن بسهولة قيود العلامات الأخرى.

أوامر الزيادة والنقصان التدريجية Increment/Decrement Instructions :

تقوم أوامر الزيادة التدريجية بزيادة محتويات مسجل محدد أو محتويات موقع ذاكرة بمقدار 1، كما تقوم أوامر النقصان التدريجى بتقليل المحتويات بمقدار1، وتترك نتائج الزيادة أو النقصان فى نفس المسجل، أو فى نفس موقع الذاكرة.

وتؤثر هذه الأوامر على كل الإشارات عدا علامة المحمول حيث يتم حمايتها بواسطة هذه الأوامر، وتشمل مجموعة أوامر الزيادة والنقصان مايلى:

INR r : زيادة محتويات المسجل r بمقدار 1.

INR M : زيادة محتويات موقع الذاكرة (العنوان فى زوجى المسجلات H-L) بمقدار 1.

DCR r : نقصان محتويات المسجل r بمقدار 1 .

DCR M : نقصان محتويات موقع الذاكرة بمقدار 1.

أوامر الزيادة والنقصان التدريجية لزوج المسجلات :

يقوم الأمر INX rp بإضافة 1 لمحتويات زوج مسجلات محدد rp، بينما يقوم الأمر DCX rp بإنقاص محتويات زوج المسجلات rp بمقدار 1، حيث يمكن تطبيق هذا الأمر على أى زوج مسجلات (B ، و D ، و H)، والمسجل SP أيضاً.

وحيث أن هذه الأوامر لاتؤثر على قيود العلامات، فيمكن إستخدامها فى تعديل العنوان فى أى تتابع أوامر.

إضافة المسجلات الزوجية :

يقوم الأمر DAD rp بإضافة محتويات زوج مسجلات محدد r p إلى زوج المسجلات H-L، وتختزن النتيجة (16-بت) فى زوج المسجلاتH-L، ويتم تهيئة علامة المحمول فى حالة خروج ناقل نتيجة لإضافة 16-بت، ولاتتأثر أية علامات أخرى نتيجة هذه الأوامر.

أمر الضبط العشرى للمركم Decimal Adjust Accumulator Instruction :

يستخدم الأمر DAA عند إضافة أعداد عشرية، فعند إضافة الأعداد العشرية فربما يكون الناتج بالشفرة BCD غير صحيحة أو غير قانونية، ويعمل هذا الأمر كالتالى:

1- إذا كانت بتات التأثير الأدنى الأربعة الناتجة فى المركم غير قانونية بالشفرة BCD (بمعنى أنها أكبر من 9)، أو تكون علامة المحمول المساعد مهيأة (AC = 1)، فعندئذ يتم إضافة 0110 إلى المركم .

2- إذا كانت بتات التأثير الأعلى الأربعة الناتجة فى المركم غير قانونية بالشفرة BCD (بمعنى أنها أكبر من 9)، أو تكون علامة المحمول مهيأة (CY = 1)، فعندئذ يتم إضافة 0000 0110 إلى المركم.

ويعد هذا الأمر هو الوحيد الذى يتطلب فيه إستخدام علامة المحمول المساعد، وتتاثرجميع العلامات بهذا الأمر.

* ويبين جدول (9-8) جميع الأوامر الخاصة بمجموعة الأوامر بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code.

3- مجموعة اوامر المنطق Logic Group Instruction :

أوامر المنطق :

تستخدم هذه الأوامر فى تنفيذ عمليات المنطق AND ، و OR ، و EX-OR ، وأيضاً عمليات المقارنة Comparison operations، وتستخدم قاعدة البت مع البت bit-by-bit فى هذه العملية بين بتات المسجل المحدد وبتات موقع الذاكرة وأيضاً بايت البيان فى الأمر نفسه مع بتات المركم المناظرة. وتتأثر جميع العلامات، ولكن يعتمد تهيئة كل من علامة المحمول وعلامة المحمول المساعد على العملية التى يتم تأديتها علاوة على نتائج هذه العملية، وهو مايظهر فى جدول (9-9).

وفى حالة أمر المقارنة يتم طرح محتويات المسجل المحدد، وموقع الذاكرة وبايت البيان فى الأمرنفسه من محتويات المركم، وهنا لاتتغير محتويات المركم، بينما تظهر نتيجة المقارنة بعلامات الصفر والمحمول، حيث تتهيأ علامة الصفر (Z = 1) إذا كان كلا العددان متساويين، بينما تتهيأ علامة المحمول (CY = 1) إذا كانت محتويات المركم أقل من البايت الذى يتم مقارنته، أما العلامات الأخرى فتتأثر بنفس الطريقة كالحادثة فى عمليات الطرح.

جدول (9-8)

الأمر			الأمر			الأمر		
المســمى	المعامل	شفرة Op	المســمى	المعامل	شفرة Op	المســمى	المعامل	شفرة Op
ADD	A	87	SBB	A	9F	INX	B	03
	B	80		B	98		D	13
	C	81		C	99		H	23
	D	82		D	9A		SP	33
	E	83		E	9B	DCX	B	0B
	H	84		H	9C		D	1B
	L	85		L	9D		H	2B
	M	86		M	9E		SP	3B
ADC	A	8F	INR	A	3C	DAD	B	09
	B	88		B	04		D	19
	C	89		C	0C		H	29
	D	8A		D	14		SP	39
	E	8B		E	1C	ADI	Byte	C6
	H	8C		H	24	ACI	Byte	CE
	L	8D		L	2C	SUI	Byte	D6
	M	8E		M	34	SBI	Byte	DE
SUB	A	97	DCR	A	3D	DAA		27
	B	90		B	5D			
	C	91		C	0D			
	D	92		D	15			
	E	93		E	1D			
	H	94		H	25			
	L	95		L	2D			
	M	96		M	35			

جدول (9-10)

تهيئة العلامات	الأوامر	العملية
CY = 0 , AC = 1	ANA r ANA M ANI byte	AND
CY = 0 , AC = 0	XRA r XRA M XRI byte	EX-OR
CY = 0 , AC = 0	ORA r ORA M ORI byte	OR
Z=1 إذا كان (A) = بايت Z=1 إذا كان (A) > بايت	CMP r CMP M CPI byte	مقارنة

مثال (9-8) :

بفرض أن: AAH هى محتويات المركم، وأن: 0FH هى محتويات المسجل B، وبفرض الإعدادات التالية:

Z = 1 و CY = 1 و S = 1 و P = 1 و AC = 0 .

فإوجد محتويات المركم، والمسجل B، وإعدادات العلامات التى تتبع تنفيذ كل من الأوامر التالية:

ANA B

XRA B

ORA B

CMP B

الحل :

يتم تجميع المطلوب من هذا المثال فى جدول (9-10) التالى.

جدول (9-10)

CY	AC	Z	S	P	A	B	الأمر
العلامات					محتويات المسجلات		
0	1	0	0	1	00001010	00001111	ANA B
0	0	0	1	1	10100101	00001111	XRA B
0	0	0	1	1	10101111	00001111	ORA B
0	0	0	1	0	10101010	00001111	CMP B

فى أمر المقارنة يلاحظ أن محتويات المركم لاتتغير ومتتبعاً تنفيذ أمر CMP، كما نجد أن محتويات المسجل B تكون أقل من محتويات المركم A، فيكون: (CY = 0)، (Z = 0) .

أوامر الدوران Rotate Instructions :

وتسمى أيضاً أوامر الإزاحة Shift Instructions، وتخضع لإختلافين يتوقفان على طريقة إستخدام بت المحمول، ولايسمح للمعاملات فى هذه الأوامر كما أن العلامة الوحيدة المتأثرة هى علامة المحمول التى تتبع تنفيذ الأمر، وهذه الأوامر هى:

- دوران يسار المركم Rotate Accumulator Left (RLA) :

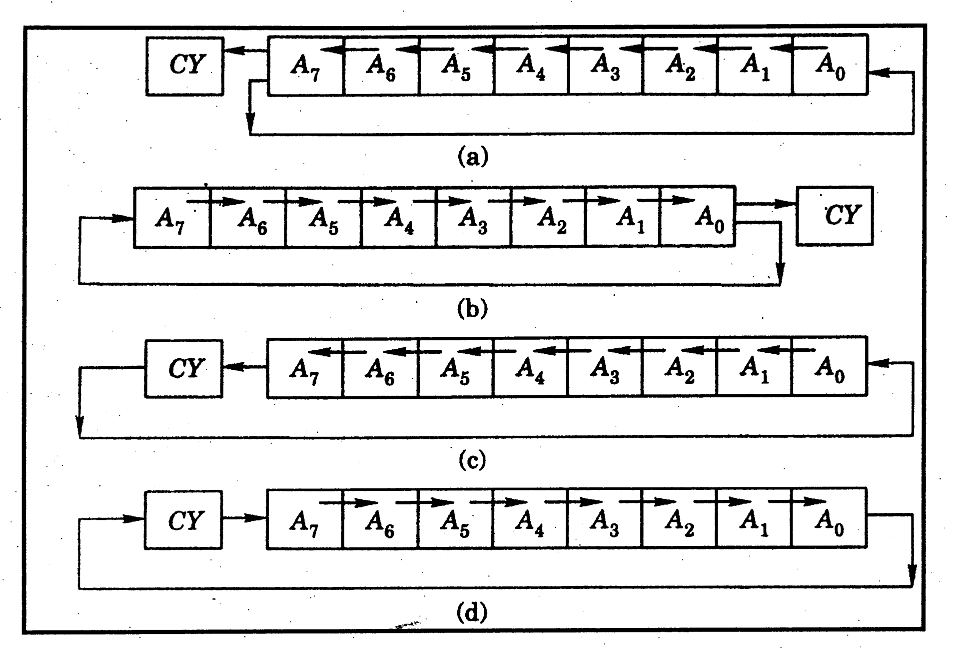
فهذا الدوران يهيأ علامة البت لتكون مساوية لبت التأثير الأعلى MSB للمركم، ثم تدور محتويات المركم لليسار بمقدار بت وذلك بإنتقال بتات التأثير الأعلى إلى مواقع بتات التأثير الأدنى كما هو موضح فى شكل (9-15-a) .

- دوران يمين المركم Rotate Accumulator Right (RRA) :

فهذا الدوران يهيأ علامة البت ليكون مساوياً لبت التأثير الأدنى LSB للمركم، ثم تدور محتويات المركم لليمين بمقدار بت وذلك بإنتقال بتات التأثير الأدنى إلى مواقع بتات التأثير الأعلى كما هو موضح فى شكل (9-15-b) .

- دوران يسار خلال المحمول Rotate Left through Carry (RAL) :

وفيه تدور محتويات المركم وعلامة المحمول بمقدار موقع بت إلى اليسار، حيث تنتقل علامة المحمول إلى بت التأثير الأدنى LSB كما يتم تهيئته ببت التأثير الأعلى MSB، كما هو موضح فى شكل (9-15-c).



شكل (9-15) أوامر التعاقب

- دوران يمين خلال المحمول Rotate Right through Carry (RAR) :

وفيه تدور محتويات المُراكِم وعلامة المحمول بمقدار موقع بت إلى اليمين، حيث تنتقل علامة المحمول إلى بت التأثير الأعلى MSB كما يتم تهيئته ببت التأثير الأدنى LSB، كما هو موضح فى شكل (9-15-d).

أوامر خاصة :

يقوم الأمر CMA بتكملة، أو عكس كل بت فى المركم، ولاتتأثر العلامات، ويقوم الأمر STC بتهيئة علامة المحمول إلى 1 (CY = 1)، كما أن الأمر CMC يكمل علامة المحمول، ولاتتأثر بقية العلامات بهذا النوع من الأوامر.

جدول (9-11)

الأمر			الأمر		
المسـمى	المعامل	شفرة Op	المسمى	المعامل	Opشفرة
ANA	A	A7	CMP	A	BF
	B	A0		B	B8
	C	A1		C	B9
	D	A2		D	BA
	E	A3		E	BB
	H	A4		H	BC
	L	A5		L	BD
	M	A6		M	BE
XRA	A	AF	ANI	byte	E6
	B	A8	XRI	byte	EE
	C	A9	ORI	byte	F6
	D	AA	CPI	byte	FE
	E	AB	RLC		07
	H	AC	RRC		0F
	L	AD	RAL		17
	M	AE	RAR		1F
ORA	A	B7	CMA		2F
	B	B0	STC		37
	C	B1	CMC		3F
	D	B2			
	E	B3			
	H	B4			
	L	B5			
	M	B6			

* ويبين جدول (9-11) جميع الأوامر الخاصة بمجموعة أوامر المنطق بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code.

4- مجموعة أوامر التفرع Branch-Group Instructions :

تعمل هذه الأوامر على تغيير التعاقب للبرنامج المنفذ ، وكما تم مناقشته من قبل ان المعالج الدقيق يقوم بإستحضار الأوامر من مواقع متجاورة للذاكرة، كما أن عنوان البايت التالى المطلوب إستحضاره من الذاكره يكون فى عداد البرنامج PC، والذى يزداد 1 أتوماتيكياً مع كل إستحضار لبايت من الذاكرة، ويمكن تغيير هذا التتابع فى إستحضار البايتات من الذاكرة بتغيير محتويات عداد البرنامج، ولهذا الغرض جاءت تلك الأوامر التالية: الوثب والإستدعاء والرجوع والبدء من جديد وتحويل محتويات H-L إلى عداد البرنامج.

ويمكن أن تكون الأوامر الثلاثة الأولى مشروطة أو تكون غير مشروطة، فإذا كانت مشروطة فلن يتم تنفيذ العملية إلا بتحقيق الشرط المحدد لتنفيذها، ويمكن أن تكون تلك الشروط المحددة كالآتى:

NZ ، أى غير صفر (Z = 0)
Z ، أى صفر (Z = 1)
NC ، أى لا محمول (NC = 0)
C ، أى محمول (C = 1)
PO، أى تطابق فردى (P = 0)
PE ، أى تطابق زوجى (P = 1)
P ، أى زائد (S = 0)
M ، أى ناقص (S = 1)

ولاتتأثر العلامات بهذه المجموعة من الأوامر.

أوامر الوثب Jump Instructions :

هى أوامر ذات 3-بايت، يحتوى البايت الأول من على شفرة العملية Op، بينما الثانى والثالث يحتويان على عنوان بـ 16-بت، ويمثل البايت الثانى بايت العنوان الأقل ، بينما يمثل البايت الثالث بايت العنوان الأعلى.

- وعند تنفيذ أمر وثب (غير مشروط)، والأمر كما ذكرنا هو أمر عنوانJMP addr يتم تحميل هذا العنوان فى عداد البرنامج PC، وعلى هذا ستقوم وحدة المعالج المركزى باستحضار الأمر التالى من الذاكرة عند هذا العنوان الجديد، وعندئذ سيستمر المعالج فى تنفيذ الأوامر بالتتابع إعتباراً من هذا العنوان، ويتسبب هذا الأمر فى مُضى البرنامج فى حلقة مستمرة، ويكون JMP هو آخر أمر فى البرنامج، كما يتم تحميل بايتات عنوان الأمر مع بداية العنوان فى البرنامج، وكلما وصل المعالج لهذا الأمر، يقوم بتهيئة عداد البرنامج لعنوان البداية، وعندئذ يبدأ البرنامج بالعمل مرة ثانية من نقطة البداية.

أما أوامر الوثب المشروطة (مثل أمر JC أى يتم الوثب فى وجود محمول)، فيتم تحميل عداد البرنامج ببايتات العنوان المحددة فى الأمر نفسه إذا تحقق الشرط: CY = 1، وإلا فسيستمر تنفيذ الأوامر بالتتابع المعتاد، ويمكن استخدام اوامر الوثب المشروطة للإحتفاظ فى مُضى برنامج ما فى حلقة مغلقة لحين إنتهاء الشرط الذى تم تحديده، والآتى بعد يوضح بعض أوامر الوثب المشروطة.

JNZ : وثب إذا لم تتهيأ علامة الصفر (Z = 0)

JZ : وثب إذا تهيأت علامة الصفر (Z = 1)

JNC : وثب إذا لم تتهيأ علامة المحمول (CY = 0)

JC : وثب إذا تهيأت علامة المحمول (CY = 1)

JPO : وثب إذا كانت نديات البايت فردية (P = 0)

JPE : وثب إذا كانت نديات البايت زوجية (P = 1)

JP : وثب إذا لم تتهيأ إشارة العلامة (S = 0)

JM : وثب إذا تهيأت إشارة العلامة (P = 1)

مثال (9-9) :

مطلوب كتابة برنامج لنقل بيان من 10 بايت من منطقة لأخرى فى الذاكرة، بفرض أن هذه البايتات موجودة فى مواقع متجاورة فى الذاكرة تبدأ من العنوان $(0100)_{16}$، ومطلوب نقلها لتبدأ من العنوان $(A200)_{16}$.

الحل :

يكون البرنامج المطلوب كالآتى :

LXI D, 0100H .... تحميل زوج المسجلات D-E بالعنوان 0100H .

LXI H, A200H ... تحميل زوج المسجلات H-L بالعنوان A200H .

MVI C,0AH ...... تحميل المسجل C بالعدد العشرى 10 .

الحلقة Loop :

LDAX D .... تحميل المركم بمحتويات زوج المسجلات D-E .

STAX H .... تخزين المركم .

INX H .... إزدياد بمقدار 1 لزوج المسجلات D-E .

INX H .... إزدياد بمقدار 1 لزوج المسجلات H-L .

DCR C .... انقاص بمقدار 1 من المسجل C .

JNZ LOOP ..... وثب للحلقة ، إذا لم تتهيأ علامة الصفر .

وفى البرنامج السابق، تم استخدام المسجل C كعداد، كما تم فرض أن الكلمة LOOP هى العنوان الذى يبدأ عنده يتم تخزين الأمر LDAX D، ويقوم الأمر JNZ باختبار علامة الصفر، وطالما لم يتم تهيئة هذه العلامة، فيتم إنتقال التحكم إلى العنوان LOOP.

<u>أوامر الإستدعاء Call Instructions :</u>

يستخدم أمر الإستدعاء للوثب إلى بداية عنوان لبرنامج جانبى Subroutine، والبرنامج الجانبى ماهو إلا برنامج صغير يقوم بأداء عمل ما، كضرب عددين على سبيل المثال، فإذا كان مطلوباً فى برنامج ما القيام بضرب رقمين محددين عدد من المرات، فيتم تخزين تعاقب الأوامر الخاصة بتأدية عملية الضرب هذه فى الذاكرة ثم استدعائها عند الإحتياج إليها.

ويحتوى أمر الإستدعاء على عنوان بدء البرنامج الجانبى فى البايت الثانى والثالث للأمر، وعند تنفيذ امر الإستدعاء، يتم تحميل عداد البرنامج بالعنوان المحدد فى الأمر، كما يتم العودة إلى تنفيذ البرنامج الرئيسى بنهاية تنفيذ البرنامج الجانبى باستخدام الأمر RET، ويمكن عمل هذا بحفظ محتويات عداد البرنامج فى قسم خاص فى ذاكرة القراءة والكتابة RAM خلال تنفيذ أمر الإستدعاء.

ويمكن أن يكون أمر الإستدعاء مشروطاً، وفى هذه الحالة يثب التنفيذ إلى العنوان المحدد فى الأمر فقط إذا تحقق الشرط المحدد، والآتى بعد يوضح بعض أوامر الإستدعاء المشروطة.

CNZ : إستدعاء إذا لم تتهيأ علامة الصفر (Z = 0)

CZ : إستدعاء إذا تهيأت علامة الصفر (Z = 1)

CNC : إستدعاء إذا لم تتهيأ علامة المحمول (CY = 0)

CC : إستدعاء إذا تهيأت علامة المحمول (CY = 1)

CPO : إستدعاء إذا كانت تطابقات البايت فردية (P = 0)

CPE : إستدعاء إذا كانت تطابقات البايت زوجية (P = 1)

CP : إستدعاء إذا لم تتهيأ إشارة العلامة (S = 0)

CM : إستدعاء إذا تهيأت إشارة العلامة (P = 1)

أوامر العودة Return Instructions :

فى نهاية البرنامج الجانبى، يقوم أمر العودة بنقل تنفيذ البرنامج للأمر التالى لأمر الإستدعاء فى تتابع البرنامج الرئيسى، ولايحتوى أمر العودة على العنوان، ويتم تحميل عداد البرنامج ببايتين القمة للـــ Stack الذى يتبع تنفيذ هذا الأمر، وهنا سيستمر تتابع البرنامج الرئيسى.

وكما ذكرنا أن أمر العودة يمكن أن يكون مشروطاً، أو غير مشروط، والآتى بعد يوضح بعض أوامر الإستدعاء المشروطة.

RNZ : عودة إذا لم تتهيأ علامة الصفر (Z = 0)

RZ : عودة إذا تهيأت علامة الصفر (Z = 1)

RNC : عودة إذا لم تتهيأ علامة المحمول (CY = 0)

RC : عودة إذا لم تهيأت علامة المحمول (CY = 1)

RPO : عودة إذا كانت نديات البايت فردية (P = 0)

RPE : عودة إذا كانت نديات البايت زوجية (P = 1)

RP : عودة إذا لم تتهيأ إشارة العلامة (S = 0)

RM : عودة إذا تهيأت إشارة العلامة (P = 1)

أمر البدء من جديد Restart Instruction :

الأمر	العنوان المنتقل إليه التحكم
RST 0	0000H
RST 1	0008H
RST 2	0010H
RST 3	0018H
RST 4	0020H
RST 5	0028H
RST 6	0030H
RST 7	0038H

هو امر إستدعاء خاص (RST n) مصمم أساساً للإستخدام مع الإعتراض، فيقوم هذا الأمر بتقديم أو دفع Push محتويات عداد البرنامج إلى التكديس Stack للتزود بعنوان عودة، ثم الوثب إلى أحد ثمانية عناوين، والآتى يوضح أوامر البدء من جديد والعناوين المناظرة التى ينتقل إليها التحكم لأداء التنفيذ اللاحق.

أمر تحريك محتويات H-L إلى عداد البرنامج PCHL Instruction :

يقوم هذا الأمر بتحريك محتويات زوج المسجلات H-L إلى عداد البرنامج، وبتنفيذ هذا الأمر يقفز تنفيذ البرنامج إلى العنوان المُخزن فى زوج المسجلات H - L.

جدول (9-12)

الأمر			الأمر		
المســـمى	المعامل	شفرة Op	المسمى	المعامل	شفرةOp
JMP	Addr	C3	RET		C_9
JNZ	Addr	C2	RNZ		C_0
JZ	Addr	CA	RZ		C_8
JNZ	Addr	D2	RNC		D_0
JC	Addr	DA	RC		D_8
JPO	Addr	E2	RPO		E_0
JPE	Addr	EA	RPE		E_8
JP	Addr	F2	RP		F_0
JM	Addr	FA	RM		F_8
PCHL		E9			
CALL	Addr	CD	RST	0	C7
CNZ	Addr	C4		1	CF
CZ	Addr	CC		2	D7
CNC	Addr	D4		3	DF
CC	Addr	DC		4	E7
CPO	Addr	E4		5	EF
CPE	Addr	EC		6	F7
CP	Addr	F4		7	FF
CM	Addr	FC			

* ولاتتأثر العلامات بهذه المجموعة من الأوامر .

* ويبين جدول (9-12) جميع الأوامر الخاصة بهذه المجموعة بدلالة الأسماء التذكيرية ، والمعاملات ، وشفرة العملية Op code.

*** وفى نهاية الفصل يمكننا القول :**

بأن قد تم التقديم والحديث عن المعالجات الدقيقة بطريقة تجعل المبتدئين يتفهمون المفاهيم الأساسية للمعالجات الدقيقة ، ومنذ تقديم أول معالج دقيق عام 1971 ، حدثت التطورات الهائلة فى المعالجات والتى أصبحت متاحة تجارياً ، وعلى الرغم من الإختلافات القليلة أو الكثيرة فى قواعد التشغيل فيما بينها ، إلا أنها تختلف فى تركيباتها البنائية ومجموعات الأوامر التى تخصها ، ولايُنصح للمبتدئين فى الخوض فى تفاصيل كل هذه المعالجات فى وقت واحد ، بل عليهم دراسة وفهم واحد من هذه المعالجات بالتفصيل ماأمكن ، وبعد ذلك يمكن تَعَلّم العديد من المعالجات الأخرى بدون صعوبات كثيرة ، من هذا المنطلق تم إختيار المعالج الدقيق إنتل 8085A للدراسة ، وإعطاء فكرة مستفيضة إلى حد ما عنه .

تدريبات

تدريب (9-1) :

إحسب حجم مجال عنوان الذاكرة للمعالجات الدقيقة التالية :

نوع المعالج	عرض ناقل البيان	عرض ناقل العنوان
8080A	8-بت	16-بت
6800	8-بت	16-بت
8086	16-بت	20-بت
9900	16-بت	16-بت
Z8000	16-بت	23-بت

تدريب (9-2) :

كم عدد الأوامر المختلفة التى يمكن تحقيقها لمعالج دقيق 8-بت ؟

تدريب (9-3) :

إذا كان المطلوب مسح Clear المركم فى المعالج الدقيق 8085A ، فإشرح الأوامر الممكن إستخدامها لتنفيذ ذلك .

تدريب (9-4) :

إكتب البرنامج اللازم لمسح موقع الذاكرة 01A0H فى المعالج الدقيق 8085A .



في هذا الكتاب تمت محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذى مستوى مناسب ويكون على دراية ومعرفة بنظريات الدوائر والإليكترونيات، وهذا الكتاب خطوة متواضعة جداً نحو تقديم أحد الكتب العلمية باللغة العربية.

ولانقول أبداً أن هذا الكتاب هو منتصف أو نهاية المطاف فى دراسة الإليكترونيات الرقمية، بل أنه - كما هو واضح من عنوانه - أساسيات فى دراسة هذا العلم الكبير الذى يتطور يوماً بعد يوم، وأأمل ان يتعلم مستخدم هذا الكتاب الكثير منه.

كما يحتوى الكتاب على عدة تدريبات فى نهاية كل فصل لقياس فهم الدارس لمحتويات الفصل، وفى النهاية أقول وبعد تَعَلُم بعض الشئ عن الإليكترونيات الرقمية، لاتتوقف عزيزى عند هذا الحد ولكن يمكنك الإلتحاق ببعض المستويات الأعلى لدراسة هذا العلم وأيضا دراسة الحاسبات والبرمجة، مع أجمل التمنيات بالتوفيق والنجاح.



المصطلحات

A

A.C. mains voltage	منبع جهد تغذية متردد
Access	مدخل
Access time	زمن دخول
Accumulator	مركم
Accuracy	دقة
Activate	إعداد-تنشيط-تجهيز
Address	عنوان
Address bus	ناقل العنوان
Algorithm	منهج
Alphanumeric number system	نظام الأعداد الهجائى العددى
Analog	تناظرى
Analog-to-digital converter	محول من تناظرى إلى رقمى
Application specific IC (ASIC)	دائرة تكاملية محددة التطبيقات
Architecture	تركيب بنائى
Arithmetic Logic Unit (ALU)	وحدة الحساب والمنطق
Asynchronous	غير متزامن
Asynchronous loading	تحميل غير متزامن

B

Barrier capacitance	سعة حاجزة
Base	قاعدة
Bidirectional-shift register	مسجلات إزاحة ثنائية
Binary information	معلومات ثنائية
Binary number system	النظام الثنائى للأعداد
Borrow flag	علامة إستعارة
Borrow output	خرج استعارة
Branch-Group Instructions	مجموعة أوامر التفرع
Breakdown voltage	جهد إنهيار
Buffer	عازل
Bus width	عرض الناقل
Bypass capacitor	مكثف إمرار

C

Call Instruction	أمر إستدعاء
Central Processor Unit CPU	وحدة المعالجة المركزية

Characteristic	خاصية
Chip	شريحة
Circulating shift register	مسجل الإزاحة الدائر
Code	شفرة – كود
Collector	مجمع
Comparator	مقارن
Comparison operations	عمليات المقارنة
Control bus	ناقل التحكم
Control-state counter	عداد حالة التحكم
Count sequence	إحصاء متعاقب
Counter	عداد
CRT display	مبين أنبوبة أشعة المهبط
Custom Programmed	البرمجة المخصوصة
Customize	تحويل الشئ

D

Data	بيان
Data path width	عرض مسار البيانات
Data selector	منتقى البيانات
Data transfere	نقل البيانات
Decimal number system	نظام الأعداد العشرى
Decoder	كاشف – مفسر شفرة
Decrement	نقصان تدرجى
Dedicated address bus	ناقل العنوان المخصص
Demultiplexer	مُوزع
Depletion region	منطقة إستنفاذ
Difference amplifier configuration	تشكيل مكبر الفرق
Digital	رقمى
Digital electronics	الإليكترونيات الرقمية
Digitally controlled switch	مفتاح تحكم رقمي
Direct memory access	الدخول المباشر إلى الذاكرة
Dual-slop	الميل المزدوج
Duration	مدى زمنى
Duty cycle	دورة العمل
Dynamic RAM (DRAM)	ذاكرة قراءة وكتابة متحركة

E

Electrostatic potential	جهد كهروستاتيكى
Emitter	باعث
Emitter follower	تابع باعث
Enabled input	دخل التمكين
Encoder	مشفر
Erasable	قابلة للمسح
Error	خطأ
Exchange Instruction	أمر "إستبدال"
Execution	تنفيذ

F

False data	بيانات كاذبة
Feedback	تغذية عكسية
Fetch	إستحضار
First-in-first-out (FIFO)	خرج أولا للداخل أولا
Fixed-function	محدد الوظيفة
Flags	علامات
Forward-bias	إنحياز أمامى
Fraction	جزء
Frequency division	مقسم تردد

G

Gate	بوابة
Grounded	موصل أرضى

H

Handshaking	نظام الاتصال بين الأجهزة الإليكترونية
Hardware	مكونات مادية
Hexadecimal number system	نظام الأعداد السداسى عشر
High-pass filter	مرشح تردد عالى
Hogging current	تيار تقوس
Hysteresis voltage	جهد تخلف

I

I/O devices	أجهزة الدخل والخرج
I/O line	خط الدخل/الخرج

Increment	زيادة تدريجية
Indicator	مؤشر -دليل-مُبين
Input buffer	عازل دخل
Input impedence	إعاقة الدخل
Instruction	أمر
Instruction set	مجموعة الأوامر
Integrated circuit (IC)	دائرة متكاملة
Integrated injection logic	منطق الحقن المتكامل
Integration time	زمن التكامل
Integrator	دائرة مكامل
Inverter	دائرة عكس

J

J-K master-slave flip flop	قلاب (J-K) التابع والمتبوع
Jump instruction	أمر وثب
Junction diode	وصلة ثنائية – موحد

K

Key-board	لوحة مفاتيح

L

Last-in-first-out (LIFO)	خرج أولا للداخل آخراً
Latch	ماسكة
Least Significant Bit (LSB)	بت التأثير الأصغر
Left-shift register	مسجل إزاحة يسار
Load Accumulator Direct (LDA)	تحميل مباشر للمركم
Logic	منطق
Low-pass filter	مرشح تردد منخفض

M

Magnetic core memories	ذاكرات القلب المغناطيسية
Malfunction	عطب – إتلاف
Mask Programmed	برمجة تنكرية
Memory	ذاكرة
Memory location	موقع ذاكرة
Merging components	دمج المكونات
Microprocessors	المعالجات الدقيقة
Minimize	يقلل-يصغر

Mnemonic	تذكيرى
Modulation	تعديل
Most Significant Bit (MSB)	بت التأثير الأكبر
Move instructions	أوامر الحركة
Multiplexer	مُجمع
Multiplexing	تعددى
Multivibrators	المتذبذبات المتعددة

N

Non-erasable	غير قابل للمسح
Non-overlapping	غير متراكب زمنياً

O

Octal number system	نظام الأعداد الثمانى
Offset	تجاوز
Operand	معامل
Operation codes	شفرات العملية
Operational Amplifiers	مكبرات العمليات
Oscillator	جهاز تذبذب
Over flow flag	علامة الفائض
Overlapping	تراكب زمنى
Overshoot	تجاوز

P

Package	ربطة-حزمة
Packaging	تحزيم-تربيط
Peak-to-peak	قمة لقمة
Peripheral devices	أجهزة طرفية
Peripherals	الطرفيات
Positive-edge-triggered	مشعلة بالحافة الموجبة
Program	برنامج
Programmable Array Logic (PAL)	منطق منظومة قابل للبرمجه
Programmable Logic Array (PLA)	منظومة منطق قابلة للبرمجه
Programmable logic devices	أجهزة منطقية قابلة للبرمجه
Programmer	مبرمج
Propagation delay time	زمن تأخير الإنتشار
Pulse width	عرض النبضة

Q

Quantization	التحويل الكمى
Quasi-stable	شبه مستقر

R

Random-Access Memory	ذاكرة الدخول العشوائى
Read and write memory (RAM)	ذاكرة القراءة والكتابة
Read Only Memory (ROM)	ذاكرة القراءة فقط
Recovery time	زمن الافاقة
Rectangular waveforms	أشكال الموجة المستطيلة
Refresh circuit	دائرة تنشيط
Register	مسجل
Reliability	إعتمادية
Reprogrammable	قابلة لإعادة البرمجة
Reset	تحرير
Restart Instruction	أمر بدء من جديد
Return Instruction	أمر عودة
Reverse-bias	إنحياز عكسى
Right-shift register	مسجل إزاحة يمين
Ring counter	عداد دائرى
Ripple action	فعل التموج
Ripple counter	عداد متموجة
Rising pulse edge	حافة نبضة صاعدة
Rotate Accumulator Left (RLA)	دوران يسار المركم
Rotate Accumulator Right (RRA)	دوران يمين المركم
Rotate Instruction	أمر دوران

S

Scratch-pad registers	مسجلات الذاكرة المؤقتة
Senser	محس
Sequentially accessed memory	ذاكرة الدخول المتعاقب
Series	سلسلة
Set	إمساك
Setteling time	زمن الإستقرار
Seven-segment display	وحدة العرض السباعية
Shift Instructions	أوامر الإزاحة

Shift register	مسجل إزاحة
Sinusoidal	إشارات جيبية
Software	برمجيات
Spacial code	تشفير فضائى – حيزى
Spacing in time	مباعدة زمنية
Spikes	مدببات – مسامير
Square wave	موجة مربعة
Square waveforms	أشكال موجة مربعة
Square-wave generator	مولد نبضات مربعة
Stack pointer	مؤشر المكدسة
Staircase	سلمية
Static RAM (SRAM)	ذاكرة قراءة وكتابة ساكنة
Steady state	حالة مستقرة
Steady-state conditions	ظروف الحالة الثابتة
Stepper motor	محرك خطوى
Storage capacitance	سعة خازنة
Storage time	زمن التخزين
Stray capacitance	مكثف شارد
Strobe pulse	نبضة وميض
Subroutine	برنامج جانبى
Sub-system	نظام فرعى
Successive-approximation	تعاقب تقريبى
Supply voltage	جهد التغذية
Sweep	ماسح
Symmetrical	متماثل
Synchronous	متزامن
Synchronous loading	تحميل متزامن

T

Technique	تقنية
Temperature sensitivity	الحساسية لدرجة الحرارة
Temporal code	تشفير موءقت
Terminal	نهاية
Threshold voltage	جهد حدى
Time delay devices	أجهزة تأخير الوقت

Time duration	فترة زمنية
Time interval	فترة زمنية – فاصل زمنى
Time period	مدة زمنية
Timer	ساعة – موقِت
Transients	العابرات
Transition capacitance	سعة إنتقالية
Two-dimensional X-Y addressing	"العنونة الثنائية الأبعاد X-Y"
U	
Ultraviolet radiation	أشعة فوق بنفسيجية
Unidirectional switch	مفتاح أحادى الإتجاه
Universal gate	بوابة عمومية
Universal register	مسجل عمومى
Unsymmetrical	غير متماثل
V	
Vacuum triode	صمام مفرغ ثلاثى
Volatile memory	ذاكرة متطايرة
W	
Write cycle time	زمن دورة الكتابة

الفهرس

الفصل الرابع

عائلات المنطق الرقمية

الفصل الخامس

تصميم الدوائر المنطقية التوافقية

الفصل السادس

تصميم المنطق التتابعى

الفصل السابع

دوائر التوقيت والمحولات

الفصل الثامن

ذاكرات أشباه الموصلات

الفصل التاسع

أساسيات المعالجات الدقيقة

أساسيات الإلكترونيات الرقمية الحديثة

Modern Digital Electronics

مهندس

ضياء العسال

أساسيات الإلكترونيات الرقمية الحديثة

مهندس

ضياء العسال

دار الكتب العلمية للنشر والتوزيع

أساسيات

الإلكترونيات الرقمية الحديثة

يوما بعد يوم تزداد وتتسع مجالات وتطبيقات الإليكترونيات الرقمية وفى الحقيقة يمكننا القول بإن الأنظمة الرقمية قد أصبحت تغزو كل مرافق الحياة.

ولقد أدى وجود الوظائف الرقمية للدوائر التكاملية إلى إتاحة الفرصة إلى تغيير فلسفة دراسة الإليكترونيات الرقمية من الأسلوب التقليدى باستخدام أجهزة محددة إلى أسلوب جديد يستخدم الدوائر المتكاملة الرقمية الحديثة.

وهذا الكتاب محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحدثية والدوائر المتكاملة ، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذو مستوى مناسب يكون على دراية ومعرفة بنظريات الدوائر والإليكترونيات.

والله الموفق

الناشر

ISBN 977-287-518-7



9789772875184

دار الكتب العلمية للنشر والتوزيع

٥٠ شارع الشيخ ريحان - عابدين - القاهرة

☎ ٧٩٥٤٢٢٩

WWW sbheg.com

e-mail: sbh@link.net